



P32L010 数据手册

ARM[®] Cortex[®]-M0+ 32 位微控制器

1 产品特性

- 内核：ARM® Cortex®-M0+ CPU 48MHz
- 64K 字节 FLASH，具有擦写保护功能
支持 ISP、ICP、IAP，4 级安全保护
- 22 字节 OTP
- 4K 字节 RAM，具备硬件奇偶校验功能
- 复位和电源管理
 - 上电和掉电复位（POR/BOR）
 - 可编程低电压检测器（LVD）
 - 低功耗模式（Sleep，DeepSleep）
0.28uA @ DeepSleep，CPU、RAM、各种寄存器及端口保持暂停状态
- 时钟管理
 - 4 ~ 32MHz 高频晶体振荡器
 - 32.768kHz 低频晶体振荡器
 - 内置 48MHz RC 振荡器
 - 内置 32.768kHz RC 振荡器
 - 时钟监测系统
- 多达 16+1 路 I/O 管脚
 - 所有 I/O 口支持具备滤波的中断功能
 - 所有 I/O 口支持具备滤波的唤醒功能
 - 所有 I/O 口支持迟滞及上拉输入
 - 所有 I/O 口支持推挽及开漏输出
- 定时器
 - 1 个 16 位高级定时器，支持 6 路输入捕获，支持 6 对具有死区的互补 PWM 输出，支持双点比较、支持 PWM 移相
 - 1 个 16 位通用定时器，支持 4 路 PWM 输出或输入捕获、支持多种编码计数
 - 3 个 16 位基本定时器
 - 1 个 16 位低功耗定时器，支持 PWM 输出、支持编码计数、支持低功耗唤醒
 - 1 个 RTC 日历时钟计时器，LSE 补偿精度达 0.06ppm，内建唤醒定时器
 - 1 个独立看门狗，采用 LSI 计数
- 通信接口
 - 2 路低功耗 UART，支持异步模式、同步模式，支持小数波特率，支持低功耗接收数据，支持可配置电平转换，支持 LIN
 - 1 路 I2C 接口，速率可达 1M bps，支持可配置电平转换，支持 SMBUS
 - 1 路 SPI 接口，支持 4~16bit 位宽，速率可达 24M bps
 - 1 路 IR 调制器，可编程占空比和极性
- CRC 硬件计算单元，支持 8 种算法
- 12 位模数转换器（ADC）
 - 高达 2M sps 转换速度
 - 具备 8 个转换结果寄存器
 - 内置电压参考、温度传感器
 - 支持模拟看门狗
- 2 路电压比较器，内置可编程参考电压
- 1 路低电压检测器，内置 8 阶比较基准，可监测端口电压及电源电压
- 标准 SWD 调试接口
- 安全特性
 - 80 比特 UID / 48 比特 UID
 - 符合 IEC/UL 60730 相关标准
 - 异常存储空间访问报错
 - 特殊 SFR 保护，防止误操作
 - 增强型专用固件保护区
- 工作温度：-40℃ ~ 85℃/105℃
- 工作电压：1.6V ~ 5.5V
- 速度等级：
 - 0 ~ 24MHz @ 1.60 ~ 5.5V
 - 0 ~ 48MHz @ 1.80 ~ 5.5V
- 产品封装：
 - TSSOP20、SOP16
 - QFN20

2 功能配置

P32L010 系列微控制器使用高性能的 ARM® Cortex®-M0+ 32 位 RISC 内核，内置高速存储器并配置丰富的增强型外设和 I/O 口。不同型号的功能配置略有不同，详见下表。

表 2-1 P32L010 系列功能配置表

		P32L010				
		F8P6	F6P6	F8U6	F6U6	D8M6
FLASH		64	32	64	32	64
SRAM		4	4	4	4	4
CPU频率		up to 48MHz				
工作电压		1.6V ~ 5.5V				
工作温度		-40°C ~ 85°C/105°C				
定时器	SysTick定时器	1				
	基本定时器	3				
	通用定时器	1				
	高级定时器	1				
	看门狗定时器	1				
	实时时钟定时器	1				
通信接口	UART	2				
	SPI	1				
	I2C	1				
	红外调制	1				
GPIO端口数		16+1 ^注		16+1 ^注		12+1 ^注
唤醒管脚数		16+1 ^注		16+1 ^注		12+1 ^注
电压比较器		2				
低电压检测器		1				
12位ADC 外部通道数+内部通道数		14外+2内		14外+2内		10外+2内
封装		TSSOP20		QFN20		SOP16

注：CPU 执行用户代码时，Reset 管脚可用作普通 GPIO。

3 管脚定义及功能说明

3.1 TSSOP20 管脚定义

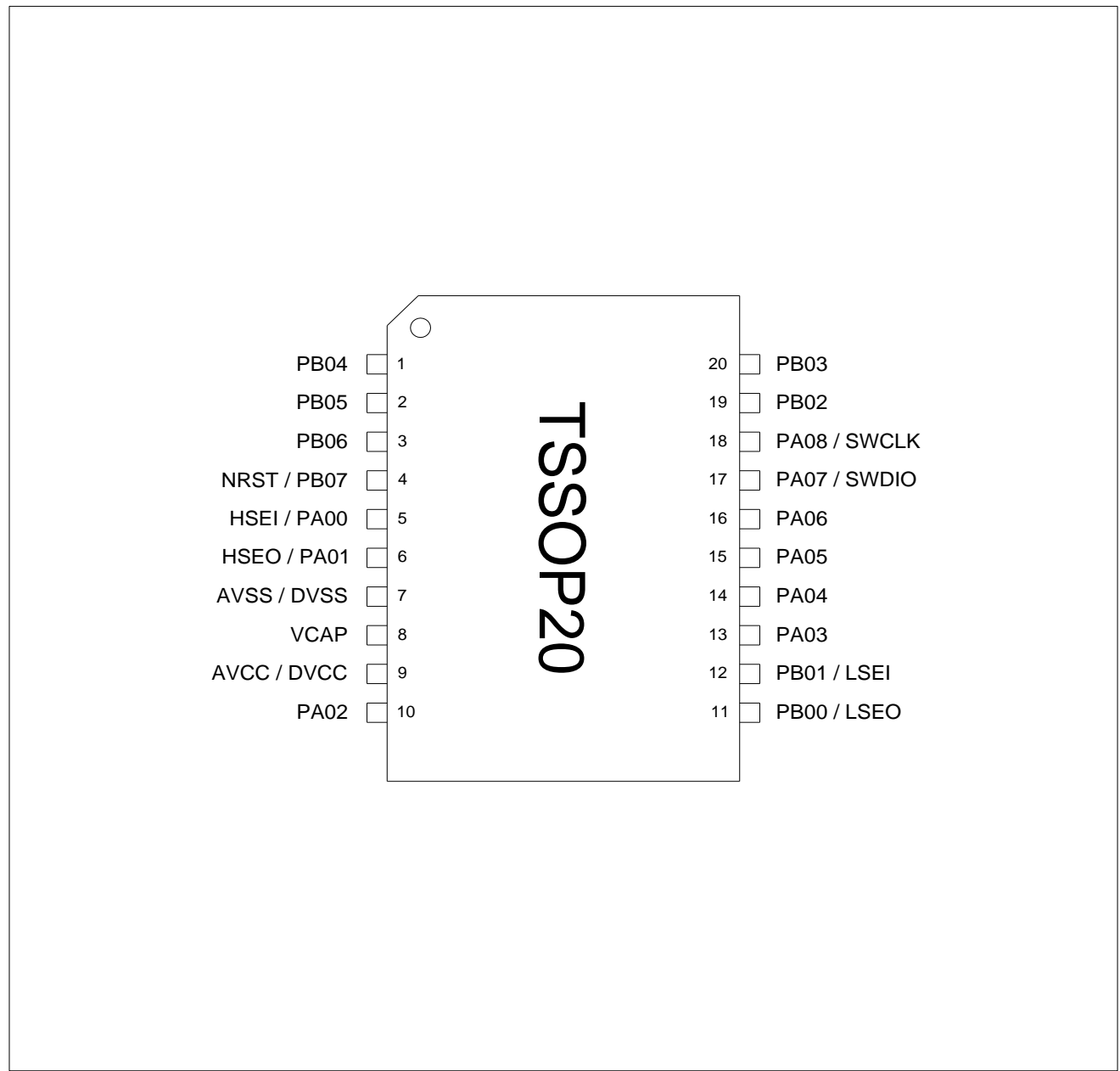


图 3-1 TSSOP20 管脚定义

3.2 QFN20 管脚定义

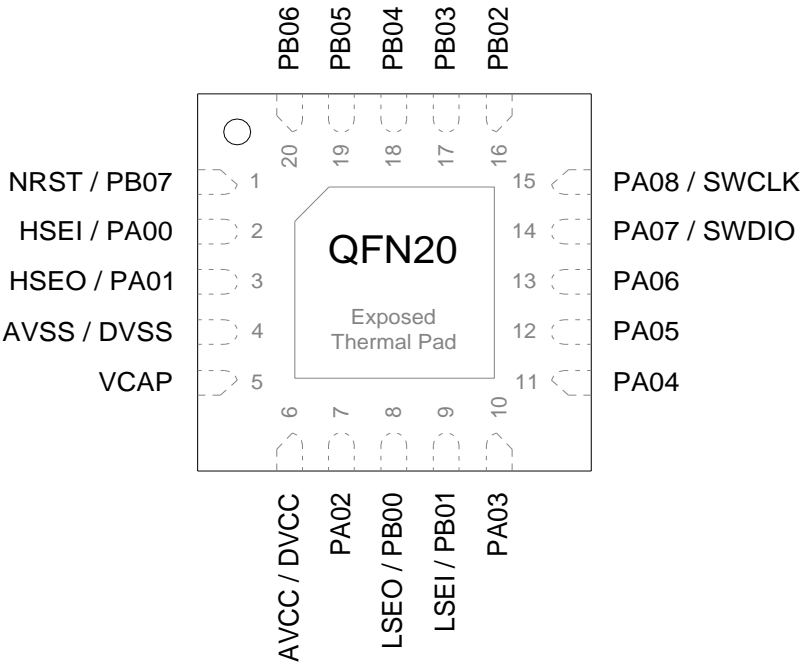


图 3-2 QFN20 管脚定义

注意:

- Exposed Thermal Pad 需连接到 DVSS。

3.3 SOP16 管脚定义

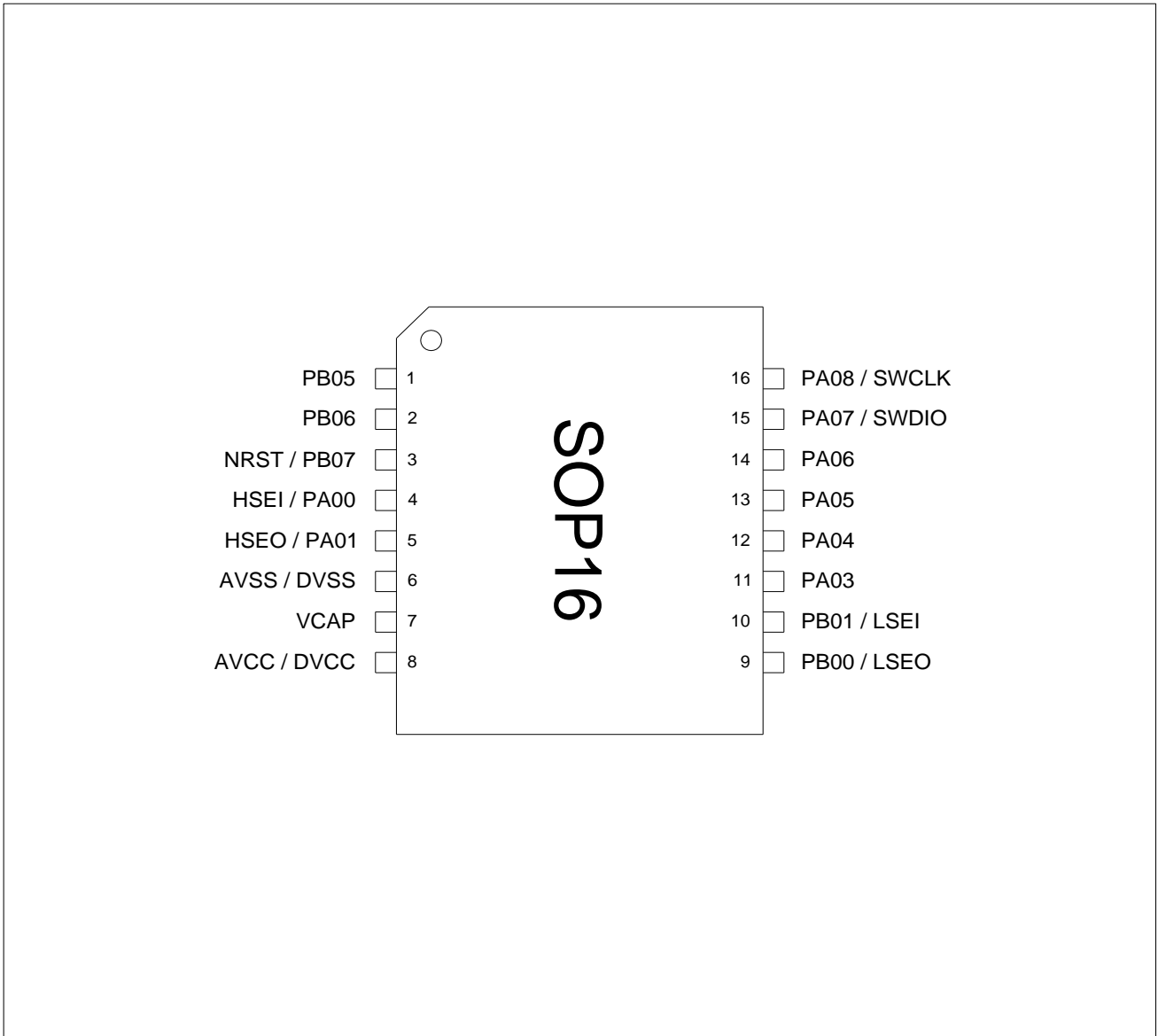


图 3-3 SOP16 管脚定义

注意：

- 需要将该封装未引出的 IO 管脚设为模拟功能。
- 该封装未引出的 IO 管脚详见管脚功能说明。

3.4 管脚功能说明

3.4.1 术语及符号

表 3-1 管脚功能相关术语及符号

名称	缩写	定义
管脚名	除非有特别说明，在复位后管脚的默认功能和管脚名相同	
管脚类型	S	电源管脚
	I	输入管脚
	I/O	输入/输出管脚
管脚架构	TTa	连接模拟功能的I/O口
	TC	标准的I/O口
	B	BOOT专用管脚
	RST	复位输入管脚
附加功能	数字功能	由 GPIOx_AFRy 寄存器配置
	模拟功能	由 GPIOx_ANALOG 寄存器配置

3.4.2 管脚功能说明

表 3-2 管脚功能说明

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
TSSOP20	QFN20	SOP16				数字功能	模拟功能
1	18	-	PB04	I/O	TTa	UART2_TXD、RTC_OUT、ADC_SAM、BTIM1_ETR、BTIM2_TOGP、GTIM1_CH3、ATIM_CH1	ADC_IN11、VC2_IN3
2	19	1	PB05	I/O	TTa	UART2_TXD、RTC_TAMP、SPI1_MISO、I2C1_SDA、GTIM1_ETR、GTIM1_CH2、ATIM_CH5	ADC_IN12、VC1_IN0
3	20	2	PB06	I/O	TTa	UART2_RXD、RTC_OUT、SPI1_MOSI、I2C1_SCL、ATIM_ETR、GTIM1_CH1、ATIM_CH5N	ADC_IN13、VC2_IN0
4	1	3	PB07 NRST	I	RST	GTIM1_ETR、ATIM_ETR、ATIM_BKIN	-

表 3-3 管脚功能说明 - 续 1

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
TSSOP20	QFN20	SOP16				数字功能	模拟功能
5	2	4	PA00	I/O	TTa	UART1_RXD、I2C1_SDA、SPI1_SCK、BTIM1_TOGP、BTIM3_ETR、ATIM_BK2IN、ATIM_CH4	HSEI、ADC_IN0、VC1_IN1
6	3	5	PA01	I/O	TTa	UART1_TXD、I2C1_SCL、SPI1_NCS、BTIM1_TOGN、GTIM1_CH3、ATIM_BKIN、ATIM_CH4N	HSEO、ADC_IN1
7	4	6	DVSS AVSS	S	-	供电电源负端	
8	5	7	VCAP	S	-	需外接电容，容值范围为：0.1uF ~ 1uF	
9	6	8	DVCC AVCC	S	-	供电电源正端	
10	7	-	PA02	I/O	TTa	PCLK_OUT、SPI1_NCS、VC1_OUT、IR_OUT、ATIM_ETR、ATIM_CH1N	ADC_IN2
11	8	9	PB00	I/O	TTa	UART1_RXD、UART2_CTS、SPI1_SCK、I2C1_SDA、LVD_OUT、BTIM3_TOGP、ATIM_CH1	LSEO、ADC_IN7
12	9	10	PB01	I/O	TTa	UART1_TXD、UART2_RTS、SPI1_NCS、I2C1_SCL、ADC_SAM、BTIM3_TOGN、ATIM_CH2	LSEI、ADC_IN8
13	10	11	PA03	I/O	TTa	UART2_TXD、LPTIM_CH1、SPI1_MISO、BTIM1_ETR、IR_OUT、GTIM1_CH4、ATIM_CH3	ADC_IN3、VC1_IN2、LVD_IN1
14	11	12	PA04	I/O	TTa	UART2_RXD、LPTIM_CH2、SPI1_MOSI、MCO_OUT、VC2_OUT、GTIM1_CH3、ATIM_CH1N	ADC_IN4
15	12	13	PA05	I/O	TTa	UART1_RXD、LPTIM_OUT、SPI1_SCK、I2C1_SDA、HEXEN、GTIM1_CH2、ATIM_CH2N	ADC_IN5、VC2_IN1

表 3-4 管脚功能说明 - 续 2

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
TSSOP20	QFN20	SOP16				数字功能	模拟功能
16	13	14	PA06	I/O	TTa	UART1_TXD、LPTIM_ETR、SPI1_MOSI、I2C1_SCL、BTIM2_ETR、GTIM1_CH1、ATIM_CH3N	ADC_IN6
17	14	15	PA07	I/O	TC	UART1_RXD、I2C1_SDA、SPI1_MISO、LPTIM_OUT、BTIM2_TOGP、ATIM_BKIN、ATIM_CH6	-
18	15	16	PA08	I/O	TC	UART1_TXD、I2C1_SCL、MCO_OUT、VC1_OUT、ATIM_BK2IN、ATIM_CH6N、BTIM2_TOGN、	-
19	16	-	PB02	I/O	TTa	UART2_TXD、UART1_CTS、SPI1_MISO、VC2_OUT、LPTIM_CH1、GTIM1_ETR、ATIM_CH2	ADC_IN9、VC2_IN2
20	17	-	PB03	I/O	TTa	UART2_RXD、UART1_RTS、SPI1_MOSI、MCO_OUT、BTIM2_TOGN、GTIM1_CH4、ATIM_CH2N	ADC_IN10、VC1_IN3

3.4.3 管脚模拟功能汇总

表 3-5 模拟功能汇总表

管脚 名称	模拟功能					
	HSE	LSE	ADC	VC1	VC2	LVD
PA00	HSEI		ADC_IN0	VC1_IN1		
PA01	HSEO		ADC_IN1			
PA02			ADC_IN2			
PA03			ADC_IN3	VC1_IN2		LVD_IN1
PA04			ADC_IN4			
PA05			ADC_IN5		VC2_IN1	
PA06			ADC_IN6			
PA07						
PA08						
PB00		LSEO	ADC_IN7			
PB01		LSEI	ADC_IN8			
PB02			ADC_IN9		VC2_IN2	
PB03			ADC_IN10	VC1_IN3		
PB04			ADC_IN11		VC2_IN3	
PB05			ADC_IN12	VC1_IN0		
PB06			ADC_IN13		VC2_IN0	
PB07						

3.4.4 管脚数字功能汇总

表 3-6 数字复用功能分配表

管脚名称	复用功能							
	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA00	GPIO	UART1_RXD	I2C1_SDA	SPI1_SCK	BTIM1_TOGP	BTIM3_ETR	ATIM_BK2IN	ATIM_CH4
PA01	GPIO	UART1_TXD	I2C1_SCL	SPI1_NCS	BTIM1_TOGN	GTIM1_CH3	ATIM_BKIN	ATIM_CH4N
PA02	GPIO	PCLK_OUT	-	SPI1_NCS	VC1_OUT	IR_OUT	ATIM_ETR	ATIM_CH1N
PA03	GPIO	UART2_TXD	LPTIM_CH1	SPI1_MISO	BTIM1_ETR	IR_OUT	GTIM1_CH4	ATIM_CH3
PA04	GPIO	UART2_RXD	LPTIM_CH2	SPI1_MOSI	MCO_OUT	VC2_OUT	GTIM1_CH3	ATIM_CH1N
PA05	GPIO	UART1_RXD	LPTIM_OUT	SPI1_SCK	I2C1_SDA	HEXEN	GTIM1_CH2	ATIM_CH2N
PA06	GPIO	UART1_TXD	LPTIM_ETR	SPI1_MOSI	I2C1_SCL	BTIM2_ETR	GTIM1_CH1	ATIM_CH3N
PA07	GPIO	UART1_RXD	I2C1_SDA	SPI1_MISO	LPTIM_OUT	BTIM2_TOGP	ATIM_BKIN	ATIM_CH6
PA08	GPIO	UART1_TXD	I2C1_SCL	MCO_OUT	VC1_OUT	BTIM2_TOGN	ATIM_BK2IN	ATIM_CH6N
PB00	GPIO	UART1_RXD	UART2_CTS	SPI1_SCK	I2C1_SDA	LVD_OUT	BTIM3_TOGP	ATIM_CH1
PB01	GPIO	UART1_TXD	UART2_RTS	SPI1_NCS	I2C1_SCL	ADC_SAM	BTIM3_TOGN	ATIM_CH2
PB02	GPIO	UART2_TXD	UART1_CTS	SPI1_MISO	VC2_OUT	LPTIM_CH1	GTIM1_ETR	ATIM_CH2
PB03	GPIO	UART2_RXD	UART1_RTS	SPI1_MOSI	MCO_OUT	BTIM2_TOGN	GTIM1_CH4	ATIM_CH2N
PB04	GPIO	UART2_TXD	RTC_OUT	ADC_SAM	BTIM1_ETR	BTIM2_TOGP	GTIM1_CH3	ATIM_CH1
PB05	GPIO	UART2_TXD	RTC_TAMP	SPI1_MISO	I2C1_SDA	GTIM1_ETR	GTIM1_CH2	ATIM_CH5
PB06	GPIO	UART2_RXD	RTC_OUT	SPI1_MOSI	I2C1_SCL	ATIM_ETR	GTIM1_CH1	ATIM_CH5N
PB07	GPIO	-	-	-	-	GTIM1_ETR	ATIM_ETR	ATIM_BKIN

4 系统架构

4.1 功能框图

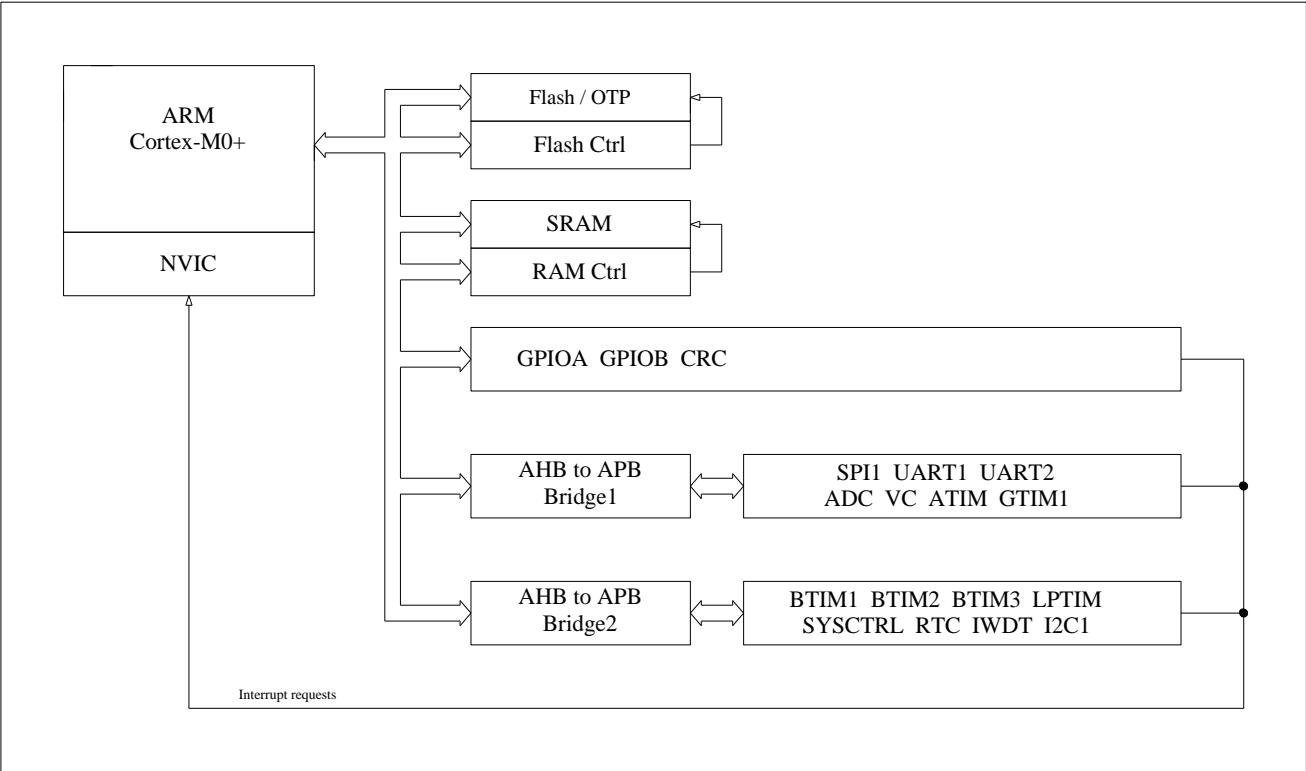


图 4-1 功能框图

4.2 地址映射

表 4-1 地址映射表

名称	边界地址	大小	对应外设
APB1外设	0x4000 0000 - 0x4000 03FF	1KB	ADC/VC/LVD
	0x4000 0800 - 0x4000 0BFF	1KB	SPI1
	0x4000 0C00 - 0x4000 0FFF	1KB	UART1
	0x4000 1000 - 0x4000 13FF	1KB	UART2
	0x4000 1400 - 0x4000 17FF	1KB	ATIM
	0x4000 1800 - 0x4000 1BFF	1KB	GTIM1
APB2外设	0x4000 4000 - 0x4000 43FF	1KB	SYSCTRL/IRMOD
	0x4000 4400 - 0x4000 47FF	1KB	RTC
	0x4000 4800 - 0x4000 4BFF	1KB	BTIM1/BTIM2/BTIM3
	0x4000 5000 - 0x4000 53FF	1KB	IWDT
	0x4000 5800 - 0x4000 5FFF	1KB	I2C1
	0x4000 6000 - 0x4000 7FFF	1KB	LPTIM
AHB外设	0x4002 2000 - 0x4002 23FF	1KB	FLASH CTRL
	0x4002 2400 - 0x4002 27FF	1KB	RAM CTRL
	0x4002 3000 - 0x4002 33FF	1KB	CRC
	0x4800 0000 - 0x4800 03FF	1KB	GPIOA/GPIOB
M0+外设	0xE000 0000 - 0xE00F FFFF	1MB	M0+内核外设

5 功能介绍

5.1 内核

本芯片所采用的 Cortex[®]-M0+处理器具有门数低、效能高的特点；专为要求面积优化、低功耗处理器的微控制器及深度嵌入式应用而设计。该处理器基于 ARMv6-M 架构，同时支持 Thumb[®]指令集、单周期输入/输出端口、32 周期硬件乘法器和低延迟中断响应时间。

该处理器提供的系统外设如下所示：

- 内部总线矩阵连接 AHB-Lite 接口，调试访问端口(DAP)
- 嵌套向量中断控制器(NVIC)
- 可选唤醒中断控制器(WIC)
- 断点和观察点单元(BPU)^注
- 串行线调试端口(SW-DP)

欲了解内核相关信息，请参考 Arm[®] Cortex[®]-M0+技术参考手册。

注：本芯片提供 4 个断点、1 个观察单元。

5.2 中断

ARM[®] Cortex[®]-M0+内核的嵌套向量中断控制器（NVIC），用于管理中断和异常。NVIC 和处理器内核紧密相连，可以实现低延迟的异常和中断处理。

处理器支持最多 32 个中断请求(IRQ)输入，支持多个内部异常。

本章节只介绍了处理器的 32 个外部中断请求(IRQ0 ~ IRQ31)，处理器内部异常的具体情况请参考“ARM[®] Cortex[®]-M0+ Technical Reference Manual”与“ARM[®] v6-M Architecture Reference Manual”。

- 16 个内部异常
- 32 个可屏蔽外部中断
- 4 个可编程的优先级
- 低延时的异常和中断处理
- 支持中断嵌套
- 中断向量表重映射

5.3 复位

本芯片支持以下 7 种系统复位，各复位源的复位范围略有不同。

复位源	复位范围
上电复位 POR	整个 MCU
掉电复位 BOR	整个 MCU
复位管脚复位 NRST	整个 MCU（除 RAM 控制器、RTC、LSE 外）
独立看门狗复位 IWDT	M0+内核 / 外设（除 RAM 控制器、RTC、LSE 外）
低电压检测器复位 LVD	M0+内核 / 外设（除 RAM 控制器、LVD、RTC、LSE 外）
内核 SYSRESETREQ 复位	M0+内核 / 外设（除 RAM 控制器、LVD、RTC、LSE 外）
内核 LOCKUP 故障复位	M0+内核 / 外设（除 RAM 控制器、LVD、RTC、LSE 外）

发生系统复位后，CPU 重新运行，大部分寄存器都被复位到默认值，程序从中断向量表的复位中断入口地址开始执行。复位完成后，用户可通过 `SYSCTRL_RESETFLAG` 寄存器查询本次系统复位的复位源；完成复位标志查询后需将该寄存器清零以便下次复位后查询复位源。

5.4 时钟系统

本芯片内置多个时钟源产生电路，通过分频器和多路选择器提供丰富多样的时钟供 CPU 及各种片内外设使用。

- 以下 4 个时钟源可以被配置为系统时钟：
 - 外部高速晶体振荡器时钟 HSE，可生成 4 ~ 32MHz 的时钟
 - 外部低速晶体振荡器时钟 LSE，可生成 32.768kHz 的时钟
 - 内部高速 RC 振荡器时钟 HSI，可生成 3 ~ 48MHz 的时钟
 - 内部低速 RC 振荡器时钟 LSI，可生成 32.768kHz 的时钟

5.5 引导模式

当芯片复位后的 150us 内，若 SWDIO 管脚未检测到持续的 50kHz 的方波则执行 FLASH 存储区的用户程序。当芯片复位后的 150us 内，若 SWDIO 管脚检测到持续的 50kHz 的方波则执行启动程序存储区的 Bootloader 程序，用户可使用 ISP 协议操作 FLASH 存储器和 OTP 存储器。FLASH 存储器支持读、写、擦等操作；OTP 存储器支持读、写操作。

5.6 工作模式

本产品在电源管理模块的控制下可实现三种工作模式。

各工作模式下可工作的功能模块不相同，如下所示：

- 运行模式（Active Mode）：CPU 运行，片内所有外设运行。
- 休眠模式（Sleep Mode）：CPU 停止，片内所有外设运行。
- 深度休眠模式（Deep Sleep Mode）：CPU 停止，低功耗片内外设运行。

本产品工作时可在三种工作模式之间自由切换。在运行模式下执行 WFI 指令，可使本产品进入休眠模式或深度休眠模式。从休眠模式或深度休眠模式通过中断唤醒，回到运行模式。当系统进入休眠模式及深度休眠模式时，GPIO 管脚的状态与运行模式下相同。在深度休眠模式下，高速时钟（HSE、HSI）自动停止，低速时钟（LSE、LSI）保持原状态不变。

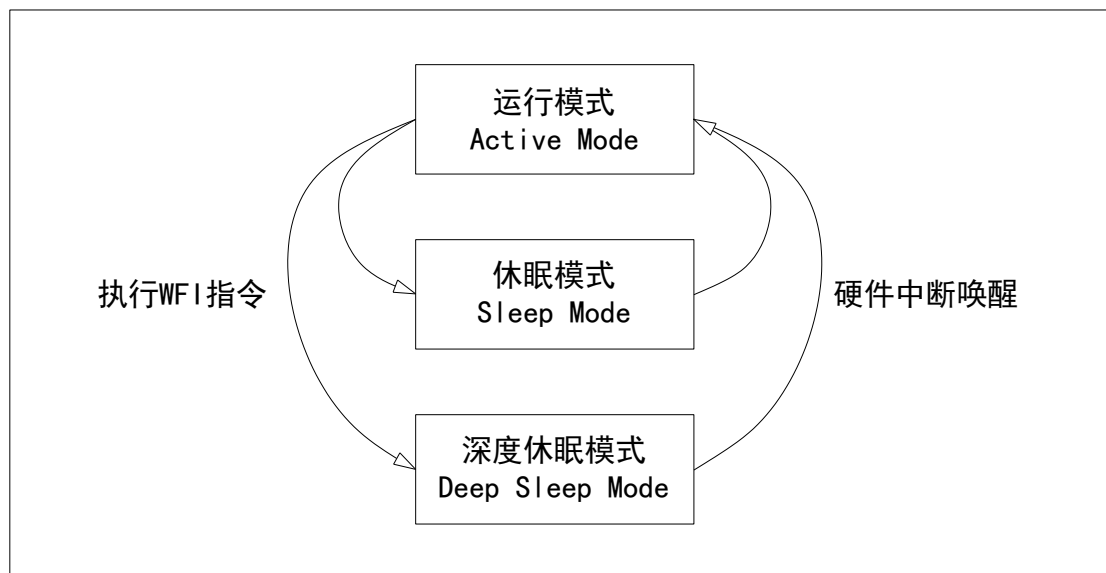


图 5-1 工作模式状态转换图

5.7 随机存储器（RAM）

本芯片内置一块容量为 4KB 的随机存储器（RAM）。数据在 RAM 中以小端模式存储，即最低字节地址空间存放数据的最低有效字节。本存储器支持三种读写操作方式：字节（8 比特）、半字（16 比特）、字（32 比特）。

- 多达 4KB 片上 RAM 存储器
- 访问速率为 HCLK
- 访问位宽支持字节（8 比特）、半字（16 比特）、字（32 比特）
- 具有奇偶校验功能

5.8 闪存存储器（FLASH）

本芯片内部集成了 64KB 嵌入式 FLASH 供用户使用，可用来存储应用程序及用户数据；可将 FLASH 存储器的其中一部分配置为专用固件区域，该区域内代码仅可执行不可读出。FLASH 存储器控制器为嵌入式片上 FLASH 存储器提供所有 FLASH 操作。FLASH 存储器具有编程和擦除功能以实现指令与数据的储存。

- 多达 64KB 片上 FLASH 存储器
- 多达 22 字节 OTP 存储器
- 支持 3 种访问位宽：字节（Byte）、半字（HalfWord）、全字（Word）
- 支持 3 种操作模式：读出、写入、擦除
- 支持 4 种安全保护：读保护、写保护、擦保护、专用固件区读保护

5.9 循环冗余校验(CRC)

循环冗余校验(CRC)计算单元将数据流作为输入，在生成多项式的控制下生成一个输出数。该输出数常应用于验证数据传输或数据存储的正确性和完整性。本芯片内置 CRC 计算单元，支持多种 CRC 算法。

- 8 种常用的算法
 - CRC16_IBM CRC16_MAXIM
 - CRC16_USB CRC16_MODBUS
 - CRC16_CCITT CRC16_CCITT_False
 - CRC16_X25 CRC16_XMODEM
- 3 种数据位宽读取：8bit, 16bit, 32bit

5.10 通用输入输出端口（GPIO）

本芯片最多支持 $16+1^{\text{注}}$ 个 GPIO 端口，实际可用的 GPIO 端口数量受封装限制，详见数据手册。GPIO 可配置为数字输入输出和模拟功能，支持外设功能复用，支持上升沿和下降沿 2 种中断源，可在深度休眠模式下通过外部中断唤醒 MCU 回到运行模式。

注：经用户程序配置后，NRST 管脚可用作 GPIO 输入管脚。

- 功能复用：每只管脚可配置为多种数字或模拟功能
- 输入模式：模拟输入、高阻输入、上拉输入
- 输出模式：模拟输出、推挽输出、开漏输出
- 信号输入：输入信号到达数据输入寄存器（GPIOx_IDR）及片内外设
- 信号输出：输出信号来源为数据输出寄存器（GPIOx_ODR）或片内外设
- 位宽自由：数据输出寄存器（GPIOx_ODR）支持 8bit、16bit、32bit 访问方式
- 原子操作：具备原子操作寄存器（GPIOx_BSRR、GPIOx_BRR、GPIOx_TOG）
- 中断滤波：集成硬件滤波电路，屏蔽毛刺信号
- 中断类型：上升沿中断、下降沿中断
- 中断唤醒：每只管脚均可将 MCU 从深度休眠模式唤醒
- 辅助功能：输出各种内部时钟、片内外设输入信号重定向

5.11 基本定时器（BTIM）

本芯片内部集成了 3 个基本定时器 BTIM，每个 BTIM 包含一个 16bit 计数器以及 16bit 预分频器。BTIM 支持定时器模式、计数器模式、触发启动模式和门控模式这 4 种工作模式，支持更新事件触发中断请求。

- 16bit 计数器
- 16bit 任意预分频器
- 单脉冲计数
- 门控功能
- 外部计数功能
- 触发启动功能
- 触发清零功能
- 中断功能

5.12 通用定时器（GTIM）

本芯片内部集成了 1 个通用定时器 GTIM, 该 GTIM 包含一个 16bit 计数器以及 16bit 预分频器。GTIM 支持多种工作：定时器模式、计数器模式、触发启动模式、门控模式、编码计数模式，支持多种事件触发中断请求。

- 16bit 计数器，加计数、减计数、加减计数
- 16bit 任意预分频器
- 4 路输入捕获、支持 3 通道异或
- 4 路输出比较通道，多种输出比较模式
- PWM 占空比调节范围 0% ~ 100%
- 支持多种从模式：
 - 支持多种编码计数模式，支持物理零点
 - 门控计数
 - 外部计数
 - 触发启动
 - 触发复位
- 中断功能

5.13 高级定时器（ATIM）

本芯片内部集成了 1 个高级定时器 ATIM，它包含一个 16bit 计数器以及 16bit 预分频器。ATIM 可输出 6 对具有死区及刹车的互补 PWM 信号，可捕获 6 路输入信号。ATIM 支持多种工作模式：定时器模式、计数器模式、触发启动模式、门控模式、编码计数模式，支持多种事件触发中断请求。

- 16bit 计数器，加计数、减计数、加减计数
- 16bit 任意预分频器
- 16bit 重复计数器
- 6 路输入捕获、支持 3 通道异或
- 6 对互补 PWM 通道，支持双沿独立死区
- 支持双点比较移相，支持逻辑与移相
- PWM 占空比调节范围 0% ~ 100%
- 支持两路刹车信号输入
- 触发输入用作计数时钟或逐周期电流管理
- 支持多种从模式：
 - 支持多种编码计数模式，支持物理零点
 - 门控计数
 - 外部计数
 - 触发启动
 - 触发复位
- 中断功能

5.14 独立看门狗定时器（IWDG）

本芯片内部集成高安全性的独立看门狗定时器(IWDG)，使用 LSI 时钟源进行计数。该独立看门狗可检测并解决由软件错误导致的故障，并在计数器达到给定的超时值时触发系统复位。IWDG 在深度休眠模式下可选择继续运行或暂停运行。

- 12bit 递减计数器
- 计时时钟源为 LSI
- 溢出周期为 122us ~ 64s
- 溢出可触发中断或复位
- 深度休眠模式下可继续运行或暂停运行

5.15 低功耗定时器(LPTIM)

LPTIM 是一个具有多种时钟源的 16 比特的定时器，能够在各种工作条件下保持运行状态。当选择 LSI/LSE 作为其时钟源时，LPTIM 可以定时将系统从 DeepSleep 模式下唤醒；当 LPTIM 没有时钟源，可作为“脉冲计数器”对脉冲信号进计数。LPTIM 还可以工作于正交编码模式，在低功耗模式下对正交编码信号进行计数。

- 16 bit 计数器
- 16 bit 自动重载寄存器
- 16 bit 比较寄存器，支持输出 PWM 信号
- 可编程预分频器，1 ~ 128 分频
- 多种计数时钟
 - PCLK、LSI、LSE
 - 输入到管脚的脉冲信号
 - 输入到管脚的正交编码信号
- 支持 DeepSleep 模式下工作，溢出中断可唤醒 MCU
- 工作于低功耗定时模式时，唤醒周期为 61us ~ 256s

5.16 实时时钟(RTC)

实时时钟（RTC）是一个专用的计数器/定时器。可提供日历信息，包括年份、月份、日、小时、分钟、秒、亚秒以及星期；具有两个独立闹钟，适用于需要周期性定时的场景。可在 DeepSleep 模式下运行，适用于要求低功耗的场景。

- 日历功能：
 - 支持亚秒读数
 - 支持小时、分钟、秒计时
 - 支持星期、年份、月份、日计时
 - 支持闰年自动修正
 - 支持 12/24 小时制
 - 支持 32.768KHz ~ 32MHz 晶体准确计时
- 闹钟功能：
 - 两组独立闹钟
 - 定时精确到秒
- 中断功能：
 - 闹钟中断，精确到秒
 - 周期性中断，0.5s ~ 1month
 - 自动唤醒中断，61us ~ 145hour
- 校准补偿功能：
 - 最高补偿精度，0.06ppm
- 安全保护
 - 寄存器锁定，防止意外修改
 - 数据防呆，无效数据无法写入
 - 入侵检测，记录入侵时刻点
- 可工作于运行模式、休眠模式和深度休眠模式

5.17 通用异步收发器 (UART)

本芯片内部集成 2 个 UART 模块，支持异步全双工、单线半双工模式和同步半双工；支持 LIN 通信；支持硬件数据流控和多机通信；支持驱动使能；支持小数波特率发生器；支持深度休眠模式下接收数据。

- 支持双时钟域驱动
 - 配置时钟 PCLK
 - 传输时钟 UCLK
- 可编程数据帧结构
 - 数据字长：8/9 位
 - 校验位：无校验/奇校验/偶校验
 - 停止位长度：1/1.5/2 位
- 16 位整数、4 位小数波特率发生器
- 多功能超时定时器，波特率自适应、各种超时检测^{注意}
- 支持异步模式
 - 全双工
 - 单线半双工
- 支持同步模式
 - 单线半双工，同 SPI 主机模式单线半双工
 - 单工只发，同 SPI 主机模式单工只发
 - 单工只收，同 SPI 主机模式单工只收
- 支持 LIN 模式^{注意}
- 支持硬件流控 RTS、CTS
- 支持多机通信
- 低功耗模式下接收数据
- 支持与工作电压低于 MCU 的器件通信（借助 VC）
- 支持 485 驱动使能(DE)

注意 1：仅 UART1 支持 LIN、超时定时器。

注意 2：UART1/UART2 可借助片内外设互联与 BTIM / GTIM / ATIM 的从模式协同工作实现超时定时器相关功能。

5.18 串行外设接口(SPI)

串行外设接口（SPI）是一种同步串行数据通信接口，常用于 MCU 与外部设备之间进行同步串行通信。本芯片内部集成 1 个串行外设 SPI 接口，支持双向全双工、单线半双工和单工通信模式，可配置 MCU 作为主机或从机，支持多主机通信模式。

- 支持主机模式、从机模式
- 支持全双工、单线半双工、单工
- 可选的 4 位到 16 位数据帧宽度
- 支持收发数据 LSB 或 MSB 在前
- 可编程时钟极性和时钟相位
- 主机模式下通信速率高达 PCLK/2
- 从机模式下通信速率高达 PCLK/2
- 支持多机通信模式
- 8 个带标志位的中断源
- 主机模式支持帧间间隔调整

5.19 I2C 接口（I2C）

本芯片内部集成 1 个 I2C 控制器，能按照设定的传输速率（标准，快速，高速）将需要发送的数据按照 I2C 规范串行发送到 I2C 总线上，并对通信过程中的状态进行检测，另外还支持多主机通信中的总线冲突和仲裁处理。

- 支持主机发送/接收，从机发送/接收四种工作模式
- 支持时钟延展(时钟同步)和多主机通信冲突仲裁
- 支持标准(100Kbps)/快速(400Kbps)/高速(1Mbps)三种工作速率
- 支持 7bit 寻址功能
- 支持 3 个从机地址
- 支持广播地址
- 支持输入信号噪声过滤功能
- 支持中断状态查询功能
- 支持与工作电压低于 MCU 的器件通信（借助 VC）
- 支持 SMBUS 超时检测

5.20 红外调制器(IRMOD)

本芯片内部集成红外调制器(IRMOD)，借助 GTIM 的输出比较通道和 UART 的 TXD 信号，可输出多种红外调制波形。另外，通过 GTIM/ATIM 的从模式也能实现红外调制。

- 载波信号占空比可任意调节
- 多种调制信号：GTIM1_CHx / UARTx_TXD / 软件控制位
- 两种调制方式：逻辑与，逻辑或
- 两种输出电平：正向、反向

5.21 模数转换器(ADC)

本芯片内部集成了1个12位分辨率、最高2M sps转换速度的逐次比较型模数转换器(SAR ADC)，最多可将16路模拟信号转换为数字信号。

- 12位分辨率，8个转换结果寄存器
- 最高转换速率为2M sps
- 16个输入转换通道：
 - 14个外部管脚输入
 - 1个内置温度传感器
 - 1个内置BGR 1.2V基准
- 参考源固定为AVCC
- 转换通道输入范围：0 ~ AVCC
- 每个通道采样时长可独立配置
- 两种转换模式：
 - 序列单次转换
 - 序列持续转换
- 每个序列可转换1~8个通道
- 支持模拟看门狗
- 支持片内外设自动触发ADC转换

5.22 模拟电压比较器(VC)

本芯片内部集成 2 个模拟电压比较器，支持从管脚输出比较结果。模拟电压比较器具备迟滞功能、滤波功能、极性选择功能、窗口比较功能。其中断，可唤醒 DeepSleep 状态下的 MCU。

- 2 个模拟电压比较器单元
- 多达 4 路外部模拟信号输入
- 具备 2 路内部模拟输入信号：
 - 参考源输出电压
 - 内置 1.2V 基准电压
- 参考源可输出 8 阶参考电压
- 参考源来源为 AVCC 或 VCAP
- 可选择输出极性
- 支持迟滞功能
- 支持 BLANK 消隐
- 支持窗口比较功能
- 支持数字滤波
- 支持 3 种中断触发方式，可组合使用
 - 高电平触发
 - 上升沿触发
 - 下降沿触发
- 支持低功耗运行，可唤醒 DeepSleep 状态下的 MCU

5.23 可编程电压检测器 (LVD)

LVD 可用于监测 AVCC 及芯片管脚的电压，当被监测电压与 LVD 阈值的比较结果满足触发条件时，将产生 LVD 中断或复位信号，用户可使用该信号处理一些紧急任务。

- 2 路监测源，AVCC、LVD_IN1 管脚输入
- 8 阶阈值电压，范围 1.8V ~ 4.6V
- 8 种触发条件，高电平、上升沿、下降沿组合
- 2 种触发结果，复位、中断
- 16 阶滤波可配置
- 具备迟滞功能，强力抗干扰

5.24 数字签名

数字签名主要用来存放芯片唯一身份标识（UID）、产品型号、FLASH 容量、RAM 容量、芯片管脚数量等信息，可通过 ISP、SWD 或 CPU 进行读取。数字签名相关信息在出厂时写入，用户固件或外部设备可通过读取数字签名来对芯片的合法性进行验证。

- 80bit LUID / 48bit SUID 存储区
- 16 字节产品型号 ASCII 码存储区
- 4 字节 FLASH 容量存储区
- 2 字节 RAM 容量存储区
- 1 字节管脚数量存储区

6 典型应用电路图

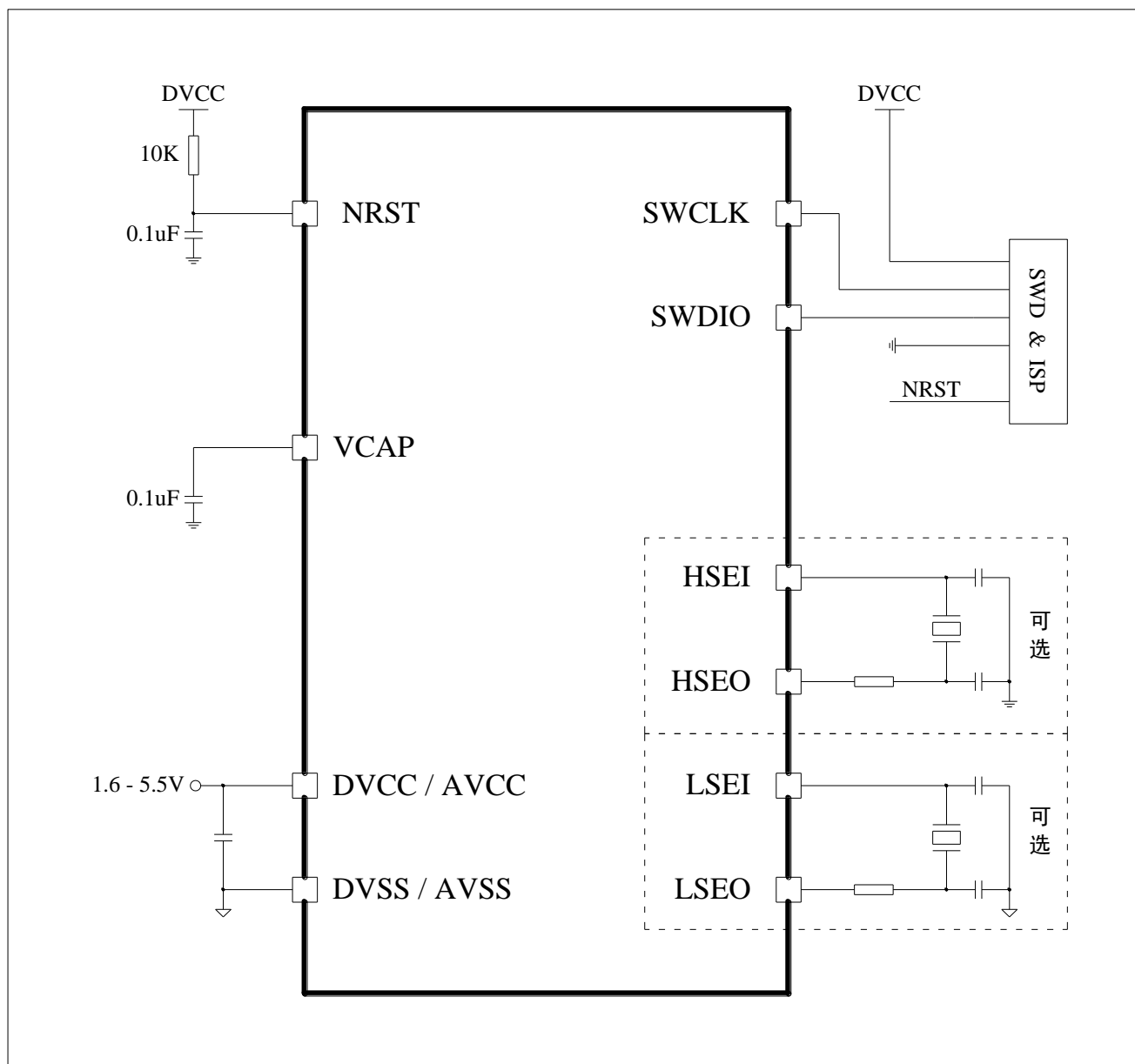


图 6-1 典型应用电路图

注意:

- 电源处需外接去耦电容，去耦电容尽量靠近相应电源管脚。
- VCAP 管脚需外接电容，其容值范围为：0.1uF ~ 1uF。

7 电气特性

7.1 参数条件

除非特别说明，所有的电压值都以 VSS 为基准。

7.1.1 最大值和最小值

除非特别说明，在环境温度、电源电压和时钟频率的最坏条件下，通过在 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{A\text{max}}$ (由所选温度范围给出)环境下对 100%产品的测试来得出各项参数的最大值和最小值保证。

在表格下方的注解中可能会提示有些数据是通过推算、设计模拟和/或工艺特性得到的，这些数据不是在生产线上测试得到的。在推算的基础上，最小值和最大值是通过样本测试后，取其平均值再加減三倍的标准分布（平均 $\pm 3\Sigma$ ）得到。

7.1.2 典型值

除非特别说明，典型值是基于 $T_A = 25^{\circ}\text{C}$ 和 $V_{CC} = 3.3\text{V}$ 测试环境的。这些数据仅用于设计指导而未经实验验证。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均 $\pm 2\Sigma$)。

7.1.3 典型曲线

除非特别说明，所有的典型曲线仅用于设计指导而未经实验验证。

7.1.4 负载电容

测量管脚参数时的负载条件如下图所示：

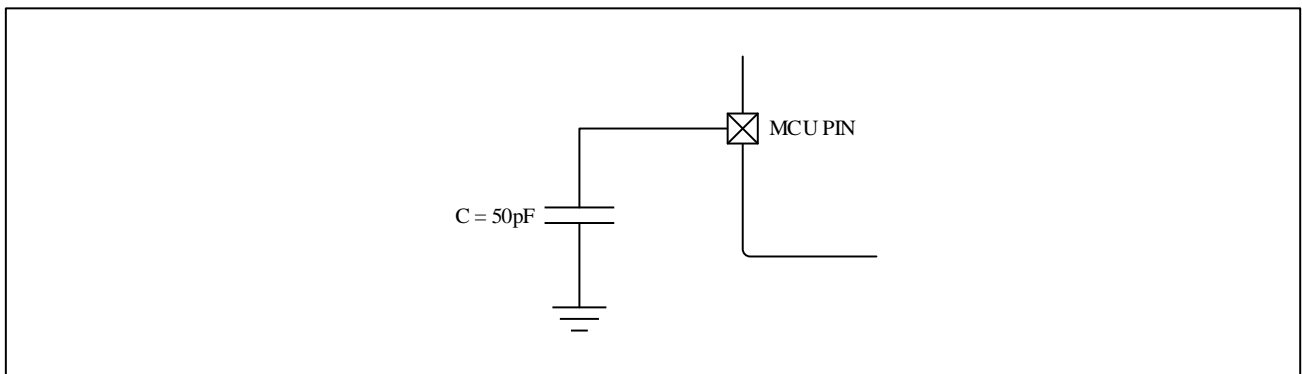


图 7-1 管脚负载条件

7.1.5 管脚输入电压

管脚输入电压的测量方式如下图所示：

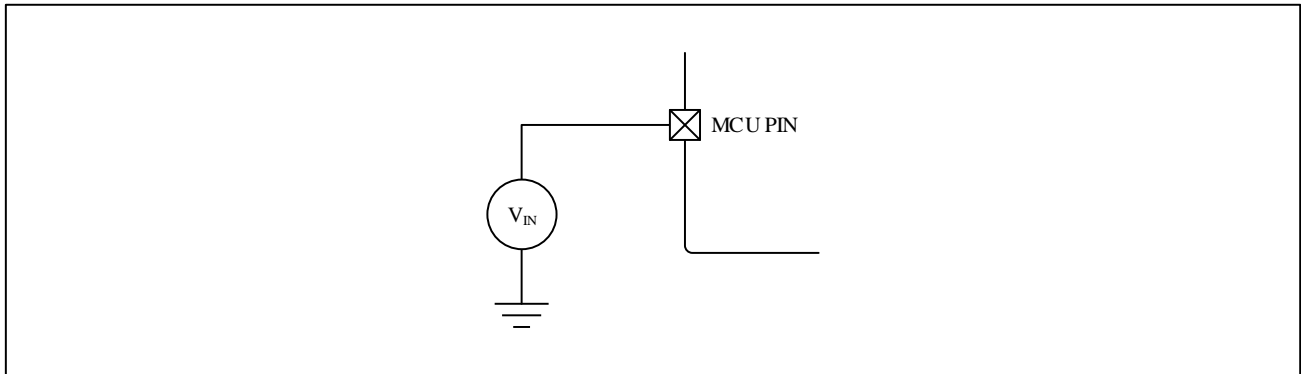


图 7-2 管脚输入电压

7.1.6 电源系统

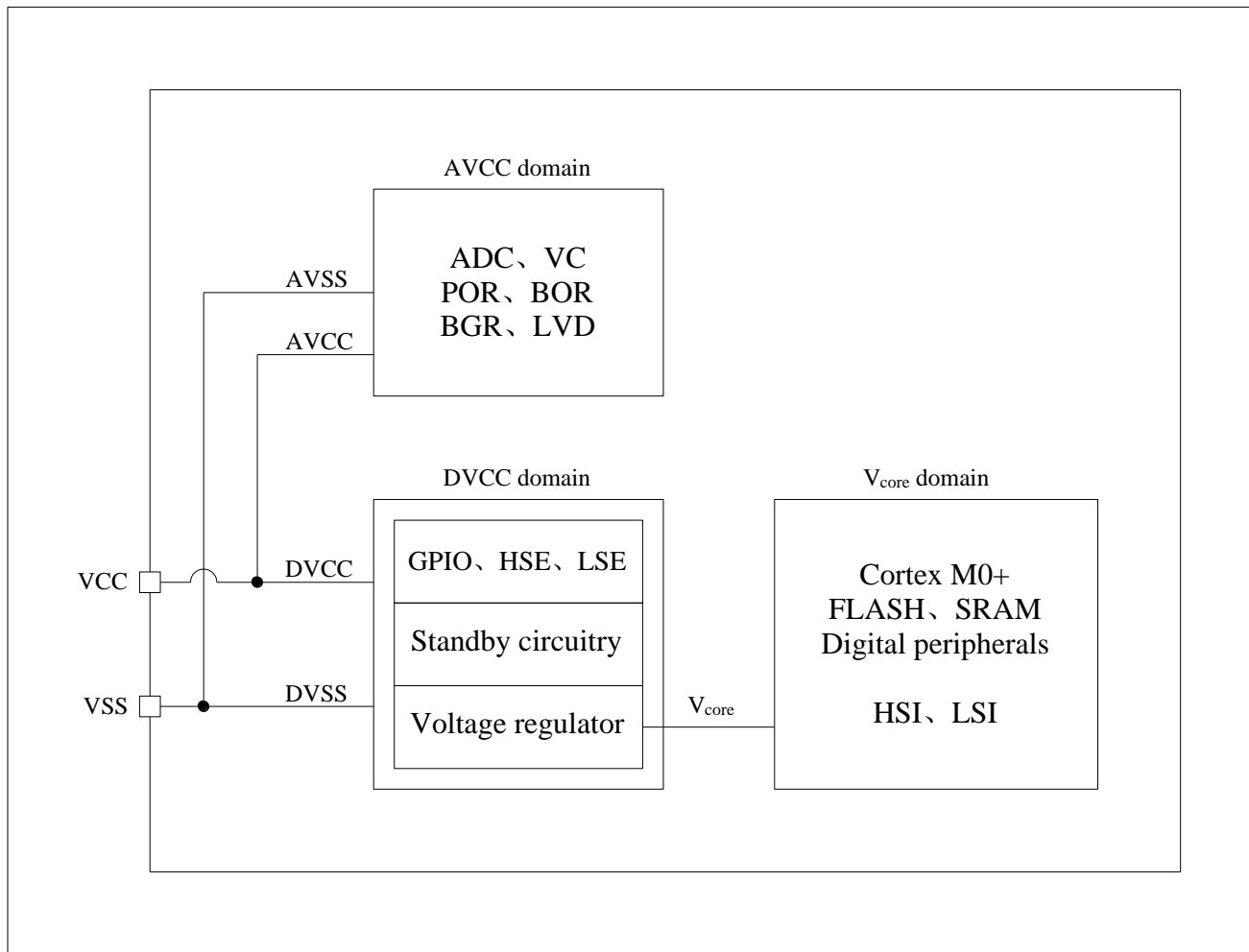


图 7-3 电源系统

7.1.7 电流消耗测试

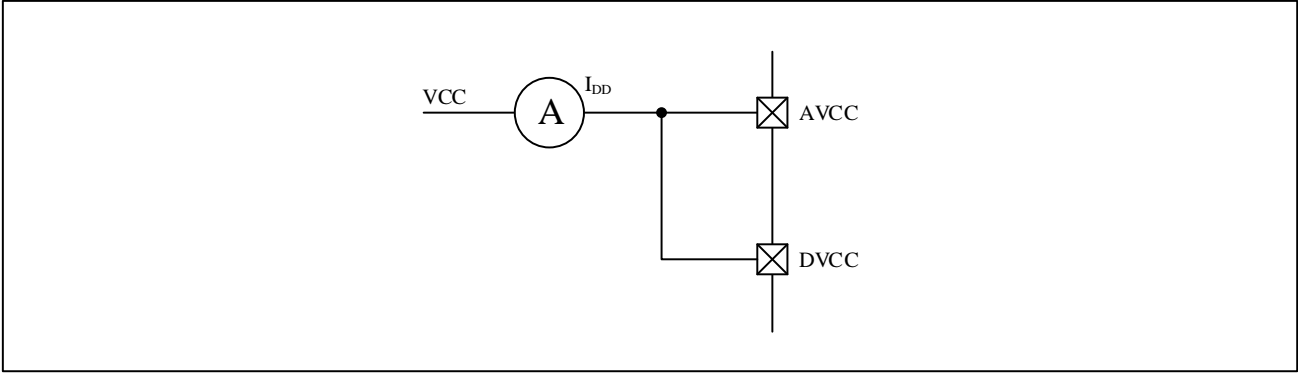


图 7-4 电流消耗测试方法

7.2 极限参数

高于表 7-1、表 7-2 和表 7-3 所列的绝对最大额定值的载荷可能会对芯片造成永久性的损坏。这些只是压力额定值，并不表示芯片在这种条件下能够正确工作。长时间处于最大额定条件下可能会影响芯片的可靠性。

表 7-1 电压特性^{注1}

符号	描述	最小值	最大值	单位
DVCC-DVSS	数字电源供电电压	-0.3	6.0	V
AVCC-AVSS	模拟电源供电电压	-0.3	6.0	V
DVCC-AVCC	DVCC与AVCC的差值	-	0.3	V
DVSS-AVSS	DVSS与AVSS的差值	-	0.05	V
ΔDVCCx	不同DVCC管脚间的压差	-	0.05	V
V _{IN} ^{注2}	IO口输入电压	VSS-0.3	VCC+0.3	V
V _{ESD} (HBM)	静电放电电压（人体模式）	参见ESD特性表		kV

注 1：所有的电源（AVCC，DVCC）和地（AVSS，DVSS）管脚必须一直接在外接电源上，并保持在许可范围。

注 2：V_{IN} 的最大值是不能超过的，同时参见表 7-2 的最大允许注入电流值。

表 7-2 电流特性

符号	描述	最大值	单位
ΣI _{VCC}	全部VCC供电线的灌电流总和（流入） ^{注1}	100	mA
ΣI _{VSS}	全部VSS供电线的拉电流总和（流出） ^{注1}	-100	
I _{VCC} (PIN)	单个VCC供电线的灌电流总和（流入） ^{注1}	100	
I _{VSS} (PIN)	单个VSS供电线的拉电流总和（流出） ^{注1}	-100	
I _{IO} (PIN)	单个I/O或控制管脚灌入的电流	+25	
	单个I/O或控制管脚输出的电流	-25	
ΣI _{IO} (PIN)	全部I/O或控制管脚灌入的电流总和	+80	
	全部I/O或控制管脚输出的电流总和	-80	
I _{INJ} (PIN) ^{注2、注3}	TC和RST管脚的注入电流	±5	
	TTa管脚的注入电流	±5	
ΣI _{INJ} (PIN)	全部I/O或控制管脚注入的电流总和 ^{注4}	±25	

注 1：所有的电源（AVCC，DVCC）和地（AVSS，DVSS）管脚必须一直接在外接电源上，并保持在许可范围。

注 2：I_{INJ}(PIN)绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 I_{INJ}(PIN)不超过其最大值。当 V_{IN} > VCC 时，有一个正向注入电流；当 V_{IN} < VSS 时，有一个反向注入电流。

注 3：反向注入电流会干扰器件的模拟性能。

注 4：当几个 I/O 口同时有注入电流时，ΣI_{INJ}(PIN)的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 ΣI_{INJ}(PIN)最大值的特性。

表 7-3 温度特性

符号	描述	值	单位
T _{STG}	储存温度范围	-65 至 +150	°C
T _J	最大结温	105	

7.3 工作条件

7.3.1 一般工作条件

表 7-4 一般工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部AHB总线频率	DVCC≥1.8V	0	48	MHz
f _{PCLK}	内部APB总线频率				
f _{HCLK}	内部AHB总线频率	DVCC≥1.6V	0	24	
f _{PCLK}	内部APB总线频率				
DVCC	数字工作电压	-	1.6	5.5	V
AVCC	模拟工作电压	须等于DVCC	1.6	5.5	
V _{IN}	I/O输入电压	TC I/O	-0.3	DVCC+0.3	V
		TTa I/O	-0.3	DVCC+0.3	
		BOOT	-0.3	DVCC+0.3	
P _D	功率耗散	参见9.3热特征参数			
T _A	环境温度	最大功率耗散	-40	85	°C
		低功率耗散 ^注	-40	105	
T _J	结温范围	-	-40	105	°C

注：在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}(参见 8.3 热特征参数)，T_A 可以扩展到这个范围。

7.3.2 上电/掉电时的工作条件

下表中给出的参数是在一般工作条件下测试得到的。

表 7-5 上电/掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{DVCC}	DVCC上升速率	-	0	10000	us/V
	DVCC下降速率		20	10000	
t _{AVCC}	AVCC上升速率	-	0	10000	
	AVCC下降速率		20	10000	

7.3.3 内置复位和电源控制电路特性

下表中给出的参数是在一般工作条件下测试得到的。

表 7-6 内置复位和电源控制电路特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{POR/BOR}	上电 / 掉电复位门限	下降沿	1.45 ^{注1}	1.50	1.55	V
		上升沿	1.50 ^{注2}	1.55	1.60	
V _{BORhyst} ^{注3}	BOR 迟滞	-	-	50	-	mV
t _{RSTTEMPO} ^{注3}	复位持续时间	-	4	6	18	ms

注 1：产品的特性由设计保证至最小的数值 V_{POR/BOR}。

注 2：由参数推导，不在生产中测试。

注 3：由设计保证，不在生产中测试。

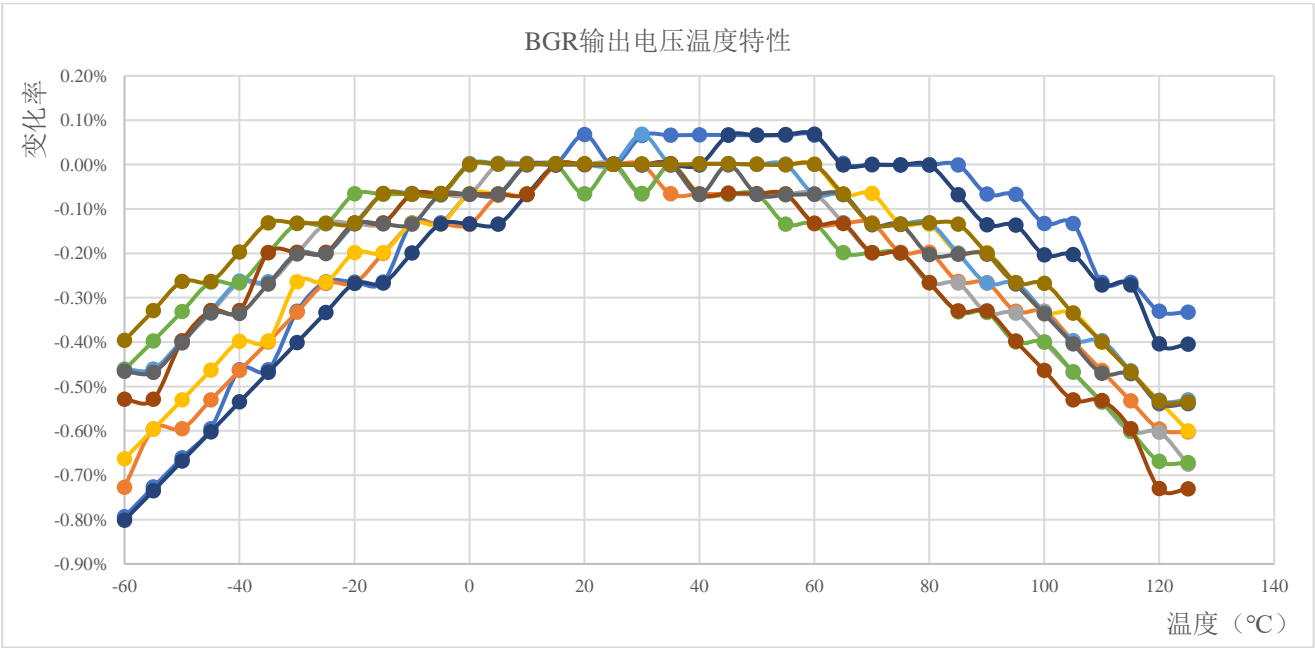
7.3.4 内部参考电压

表 7-7 内部参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V _{REFINT1V2}	内部1.2V参考电压	-40°C < T _A < 105°C		1.21 ^{注2}		V
T _{Coeff} ^{注1}	温度系数	-	-40	-	+40	ppm/°C
t _{setup}	建立时间	-	-	45	-	us

注 1：由设计保证，不在生产中测试。多颗芯片的实测数据如下图所示。

注 2：每颗芯片内部 1.2V 参考电压的实际值存储于 FLASH 中，详见参考手册 ADC 章节。



7.3.5 供电电流特性

电流消耗是受多种因素影响的，例如：工作电压、环境温度、I/O 管脚负载、软件程序配置、工作频率、I/O 口开关速率、以及程序运行时取指令的存储位置等等。

图 7-4 测试方式显示了测试电流消耗的电路。

所有运行模式的电流消耗测量结果，均基于测试 While(1)或 CoreMark 时相同的有限代码。

MCU 处于如下测试条件：

- 全部 I/O 口处于模拟输入状态
- 根据当前 HCLK 的频率，合理配置 FLASH 访问速度
- 当外设使能时， $f_{PCLK} = f_{HCLK}$
- 当使能 LSE 时，其驱动能力取最小值

7.3.5.1 Active 模式电流消耗

表 7-8 Active 模式典型及最大电流消耗

符号	参数	取指来源	外设状态	时钟来源	f _{HCLK}	典型值 ^{注1}			最大值 ^{注2}			单位
						25℃	85℃	105℃	25℃	85℃	105℃	
I _{DD1}	运行模式的供电电流，程序执行 while(1)	FLASH	全部关闭	HSI	48MHz	2.56	2.64	2.66	2.85	2.97	3.00	mA
					24MHz	1.85	1.91	1.93	2.07	2.15	2.17	
					16MHz	1.42	1.47	1.49	1.60	1.66	1.69	
					8MHz	1.49	1.54	1.56	1.67	1.73	1.76	
					4MHz	0.91	0.96	0.97	1.04	1.09	1.11	
				LSE ^{注3}	32.768KHz	72.8	79.9	87.1	92.3	99.1	107.0	uA
				LSI	32.768KHz	73.2	80.2	87.3	92.5	99.4	107.1	
			全部打开	HSI	48MHz	4.16	4.26	4.28	4.63	4.74	4.79	mA
					24MHz	2.65	2.72	2.74	2.96	3.04	3.08	
					16MHz	1.95	2.01	2.03	2.19	2.26	2.28	
					8MHz	1.83	1.89	1.92	2.02	2.07	2.09	
					4MHz	1.05	1.09	1.11	1.18	1.24	1.25	
				LSE ^{注3}	32.768KHz	74.0	81.1	88.2	93.5	100.3	108.3	uA
				LSI	32.768KHz	74.2	81.3	88.4	93.7	100.6	108.4	
		RAM	全部关闭	HSI	48MHz	2.51	2.55	2.57	2.80	2.85	2.88	mA
					24MHz	1.44	1.47	1.48	1.61	1.65	1.67	
					16MHz	1.09	1.11	1.12	1.21	1.25	1.26	
					8MHz	0.73	0.75	0.76	0.82	0.85	0.86	
					4MHz	0.55	0.57	0.58	0.62	0.65	0.66	
				LSE ^{注3}	32.768KHz	70.1	76.2	82.7	89.2	95.1	102.2	uA
				LSI	32.768KHz	70.3	76.4	82.9	89.4	95.3	102.4	
			全部打开	HSI	48MHz	4.12	4.17	4.19	4.58	4.65	4.68	mA
					24MHz	2.24	2.28	2.29	2.50	2.55	2.57	
					16MHz	1.62	1.65	1.66	1.81	1.84	1.86	
					8MHz	0.99	1.01	1.03	1.11	1.14	1.16	
					4MHz	0.68	0.70	0.71	0.77	0.79	0.81	
				LSE ^{注3}	32.768KHz	71.1	77.2	83.7	90.3	96.2	103.3	uA
				LSI	32.768KHz	71.3	77.4	83.8	90.6	96.4	103.4	

注 1：数据基于 VCC 为 3.3V 时的表征结果，除非另有说明，否则未经生产测试。

注 2：数据基于 VCC 为全工作电压范围时的表征结果，除非另有说明，否则未经生产测试。

注 3：数据基于 LSE 驱动能力为 2 时的表征结果

7.3.5.2 CoreMark 运行电流消耗

表 7-9 CoreMark 运行电流消耗

符号	参数	取指来源	外设状态	时钟来源	f _{HCLK}	典型值 ^注	单位
I _{DD1}	运行CoreMark的供电电流	FLASH	全部关闭	HSI	48MHz	2.56	mA
					24MHz	1.71	

注：数据基于 VCC 为 3.3V 时的表征结果，除非另有说明，否则未经生产测试。

7.3.5.3 Sleep 模式电流消耗

表 7-10 Sleep 模式典型及最大电流消耗

符号	参数	取指来源	外设状态	时钟来源	f _{HCLK}	典型值 ^{注1}			最大值 ^{注2}			单位
						25℃	85℃	105℃	25℃	85℃	105℃	
IDD2	休眠模式的供电电流	FLASH	全部关闭	HSI	48MHz	0.89	0.91	0.92	1.00	1.03	1.04	mA
					24MHz	0.64	0.66	0.67	0.72	0.75	0.76	
					16MHz	0.55	0.57	0.58	0.62	0.65	0.66	
					8MHz	0.46	0.48	0.49	0.53	0.55	0.56	
					4MHz	0.42	0.44	0.45	0.48	0.50	0.51	
				LSE ^{注3}	32.768KHz	69.0	75.5	82.4	88.0	94.2	101.7	uA
				LSI	32.768KHz	69.2	75.7	82.5	88.1	94.4	101.8	
			全部打开	HSI	48MHz	2.47	2.51	2.52	2.75	2.81	2.82	mA
					24MHz	1.44	1.47	1.48	1.61	1.65	1.66	
					16MHz	1.08	1.11	1.12	1.21	1.25	1.26	
					8MHz	0.73	0.75	0.76	0.82	0.85	0.86	
					4MHz	0.55	0.57	0.58	0.62	0.65	0.66	
				LSE ^{注3}	32.768KHz	70.1	76.6	83.5	89.2	95.4	102.9	uA
				LSI	32.768KHz	70.3	76.8	83.6	89.3	95.6	103.1	

注 1：数据基于 VCC 为 3.3V 时的表征结果，除非另有说明，否则未经生产测试。

注 2：数据基于 VCC 为全工作电压范围时的表征结果，除非另有说明，否则未经生产测试。

注 3：数据基于 LSE 驱动能力为 2 时的表征结果

7.3.5.4 DeepSleep 模式电流消耗

表 7-11 DeepSleep 模式典型及最大电流消耗

符号	参数	外设状态 ^{注3}	典型值 ^{注1}			最大值 ^{注2}			单位
			25℃	85℃	105℃	25℃	85℃	105℃	
IDD3	深度休眠模式的供电电流 ^{注4}	All Lowpower Peripheral Off	0.28	1.11	2.46	0.37	1.43	3.12	uA
		LSE+RTC On	0.63	1.53	2.92	0.77	1.90	3.66	
		IWDT On	0.88	1.83	3.23	1.02	2.23	3.98	
		LSI+LPTIM On	0.94	1.90	3.31	1.08	2.31	4.04	
		LVD On	1.06	2.04	3.44	1.73	3.07	4.84	
		LSE+RTC+IWDT On	1.22	2.26	3.69	1.42	2.71	4.50	
		LSE+RTC+IWDT+LVD On	1.98	3.16	4.64	2.78	4.32	6.19	

注 1：数据基于 VCC 为 3.3V 时的表征结果，除非另有说明，否则未经生产测试。

注 2：数据基于 VCC 为全工作电压范围时的表征结果，除非另有说明，否则未经生产测试。

注 3：RTC 使能时，计时时钟为 LSE (Driver=0)；LVD 使能时，关闭滤波功能；IWDT 使能时，DeepSleep 模式下暂停计数；LPTIM 使能时，工作模式为定时模式，工作时钟为 LSI。

注 4：系统时钟来源为 HSE 或 HSI，该时钟在深度休眠模式下已自动关闭。

7.3.5.5 IO 系统电流消耗

I/O 系统的电流消耗包括两个部分：静态和动态

● I/O 静态电流消耗

当全部的 I/O 管脚由外部保持低电平时，I/O 口处于输入模式并打开内部上拉的情况下，会产生电流消耗。这部分的数据可以简单的通过 I/O 特性表中的上拉电阻值来计算。

作为输出管脚，任何外部的下拉或者外部负载也需要考虑电流消耗。

如果 I/O 口的输入电平是中间电平，将会不断引起内置施密特触发器翻转，导致额外的随机电流消耗（尽管很小），如果不需要实时判断电平翻转情况，那应该将 I/O 口置于模拟模式以避免这一点。

注：由于外部电磁噪声，任何浮动输入管脚也可能稳定到中间电压电平或无意中切换。为避免与浮动管脚相关的电流消耗，它们必须配置为模拟模式，或在内部强制为确定的数字值。这可以通过使用上拉/下拉电阻或通过将管脚配置为输出模式来完成。

● I/O 动态电流消耗

除了之前测量的内部外设电流消耗外，应用程序使用 I/O 也会影响电流消耗。当 I/O 管脚切换时，它使用来自 I/O 电源电压的电流为 I/O 管脚电路供电，并对连接到该管脚的容性负载（内部或外部）进行充电和放电：

$$I_{sw} = V_{CCIO} * f_{sw} * C$$

其中：

I_{sw} 是开关 I/O 为容性负载充电/放电所吸收的电流

V_{CCIO} 是 I/O 的供电电压

f_{sw} 是 I/O 开关切换频率

C 是由 I/O 口向外看出去的总电容： $C = C_{INT} + C_{EXT} + C_S$

C_S 是 PCB 板包括焊盘的寄生电容

测试管脚被配置成推拉输出模式并由软件以固定的频率不断翻转。

表 7-12 开关输出 I/O 电流消耗

符号	范围	条件	I/O翻转频率	典型值	单位
I_{sw}	I/O电流消耗	$V_{CCIO} = 3.3V$ $C_{EXT} = 0pF$ $C = C_{INT} + C_{EXT} + C_S$	4MHz	0.18	mA
			8MHz	0.37	
			16MHz	0.76	
			24MHz	1.39	
		$V_{CCIO} = 3.3V$ $C_{EXT} = 22pF$ $C = C_{INT} + C_{EXT} + C_S$	4MHz	0.49	
			8MHz	0.94	
			16MHz	2.38	
			24MHz	3.99	
		$V_{CCIO} = 3.3V$ $C_{EXT} = 47pF$ $C = C_{INT} + C_{EXT} + C_S$	4MHz	0.81	
			8MHz	1.70	
			16MHz	3.67	

注： $C_S = 7pF$ （估计值）

7.3.6 低功耗模式及其唤醒时间

下表给出的唤醒时间是在 HSIOSC 的唤醒阶段测试得到的。
从 Sleep 模式及 DeepSleep 模式唤醒后，SYSCLK 时钟源设置保持不变。
所有测试环境均来自表 7-4 一般工作条件中总结的环境温度和电源电压条件下。

表 7-13 DeepSleep 唤醒时间

符号	参数	典型值	最大值	单位
twUSLEEP	从Sleep唤醒	4		HCLK
twUDEEP	从DeepSleep唤醒	5.5	6.5	us

7.3.7 外部时钟源特性

7.3.7.1 外部输入的高速时钟

在外部输入模式下，HSE 振荡器被关闭，此时的输入管脚是一个标准的 GPIO。
外部时钟信号须遵守 I/O 特性章节的要求。推荐的时钟输入波形如下图所示。

表 7-14 外部高速时钟输入特性

符号	参数 ^{注1}	最小值	典型值	最大值	单位
fHSE_EXT	用户外部时钟源频率	1	-	32	MHz
VHSEH	HSEI输入管脚高电平电压	0.7 VCCIO	-	VCCIO	V
VHSEL	HSEI输入管脚低电平电压	VSS	-	0.3 VCCIO	
tw(HSEH) tw(HSEL)	HSEI输入高/低电平时间	15	-	-	ns
tr(HSE) tr(HSE)	HSEI输入升/降沿时间	-	-	20	

注 1：由设计保证，量产过程不会测试。

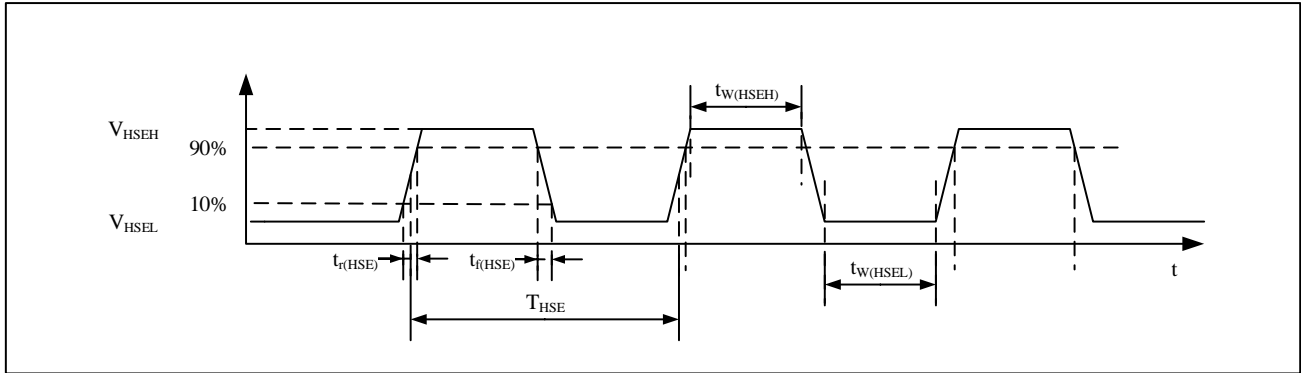


图 7-5 高速外部时钟源交流时序

7.3.7.2 外部输入的低速时钟

在外部输入模式下，LSE 振荡器被关闭，此时的输入管脚是一个标准的 GPIO。
外部时钟信号须遵守 I/O 特性章节的要求。推荐的时钟输入波形如下图所示。

表 7-15 外部低速时钟输入特性

符号	参数 ^注	最小值	典型值	最大值	单位
f_{LSE_EXT}	用户外部时钟源频率		32.768	100	kHz
V_{LSEH}	LSEI输入管脚高电平电压	$0.7 V_{CCIO}$	-	V_{CCIO}	V
V_{LSEL}	LSEI输入管脚低电平电压	VSS	-	$0.3 V_{CCIO}$	
$t_{W(LSEH)}$ $t_{W(LSEL)}$	LSEI输入高/低电平时间	450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	LSEI输入升/降沿时间	-	-	50	

注：由设计保证，量产过程不会测试。

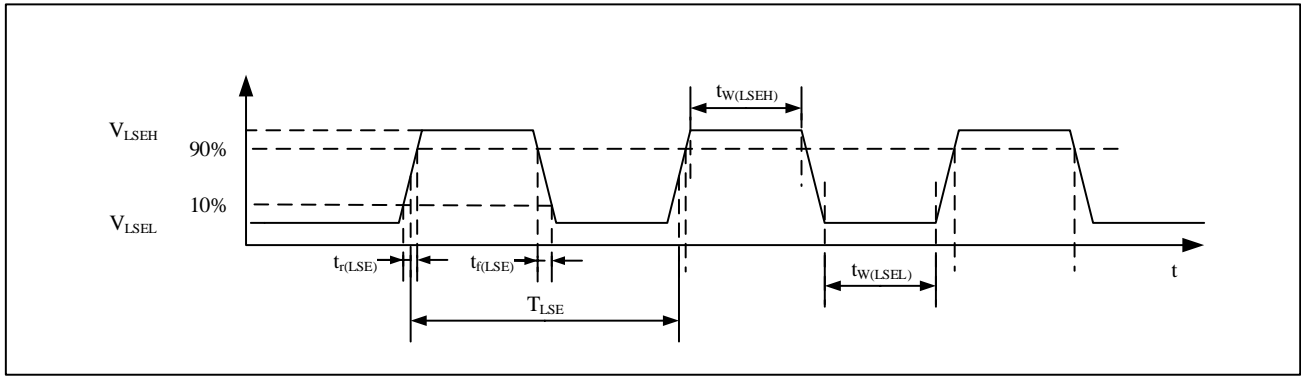


图 7-6 低速外部时钟源交流时序

7.3.7.3 由晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个 4 到 32MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节给出的所有信息都是基于下表中所述的典型外部组件的设计模拟结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器管脚，以减少输出失真和启动稳定时间。有关谐振器特性(频率、封装、精度)的更多细节，请参阅晶体谐振器制造商。

表 7-16 HSE 振荡器特性

符号	参数	条件 ^{注1}	最小值 ^{注2}	典型值	最大值 ^{注3}	单位
f_{HSEI}	振荡频率	-	4	-	32	MHz
R_F	反馈电阻	-	-	330	-	k Ω
I_{DD}	电流消耗	启动 ^{注3}	-	-	700	μA
		VCC = 3.3V, Rm = 45 Ω CL = 10pF @ 8MHz HSE.Driver = 2	-	300	-	
		VCC = 3.3V, Rm = 30 Ω CL = 20pF @ 32MHz HSE.Driver = 5	-	500	-	
$t_{SU(HSE)}$ ^{注4}	启动时间	VCC稳定	-	2	-	ms

注 1：由晶体/陶瓷谐振器制造商提供的谐振器特性。

注 2：设计保证，不经生产测试。

注 3：该消耗水平发生在 $t_{su(HSE)}$ 启动时间的前 2/3。

注 4： $t_{su(HSE)}$ 是从启动(通过软件)到达到稳定的 8MHz 振荡的启动时间。这个值是标准晶体谐振器的测量值，它可以随晶体制造商的不同而显著变化。

7.3.7.4 由晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的管脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表 7-17 LSE 振荡器特性

符号	参数	条件	最小值 ^{注1}	典型值	最大值 ^{注1}	单位
f_{LSEI}	振荡频率	-	-	32.768	-	kHz
I_{DD}	电流消耗	LSE.DRIVER = 0001	-	0.33	-	uA
		LSE.DRIVER = 0011	-	0.41	-	
		LSE.DRIVER = 0101	-	0.49	-	
		LSE.DRIVER = 0111	-	0.56	-	
		LSE.DRIVER = 1001	-	1.38	-	
		LSE.DRIVER = 1011	-	1.46	-	
		LSE.DRIVER = 1101	-	1.54	-	
		LSE.DRIVER = 1111	-	1.61	-	
$t_{SU(LSE)}$ ^{注2}	启动时间	VCC稳定	-	2	-	s

注 1：设计保证，不经生产测试。

注 2： $t_{su(LSE)}$ 是从启用(通过软件)到达到稳定的 32.768 kHz 振荡的启动时间。这个值是对标准晶体测量的，它可以随着晶体制造商的不同而显著变化。

7.3.8 内部时钟源特性

下表中给出的测试数据基于表 7-4 一般工作条件提示的测试环境抽样测试。

7.3.8.1 内部高速 RC 振荡器 (HSIOSC)

表 7-18 HSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	振荡频率	-	-	48	-	MHz
$\text{Duty}_{(\text{HSI})}$	占空比	-	45	-	55	%
$\text{ACC}_{(\text{HSI})}$	频率精度	$\text{TA} = +25^{\circ}\text{C}$	-0.5	-	+0.5	%
		$\text{TA} = -20^{\circ}\text{C} \sim +50^{\circ}\text{C}$	-1.0	-	+1.0	
		$\text{TA} = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	-2.0	-	+2.0	
		$\text{TA} = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$	-2.5	-	+2.5	
$t_{\text{SU}(\text{HSI})}$	建立时间	-	5.5	-	6.0	us
$I_{\text{DD}(\text{HSI})}$	启动电流	-	-	300	-	uA

7.3.8.2 内部低速 RC 振荡器 (LSI)

表 7-19 LSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	振荡频率	-	-	32.768	-	kHz
$\text{Duty}_{(\text{LSI})}$	占空比	-	30	-	70	%
$\text{ACC}_{(\text{LSI})}$	频率精度	$\text{TA} = +25^{\circ}\text{C}$	-0.5	-	+0.5	%
		$\text{TA} = -20^{\circ}\text{C} \sim +50^{\circ}\text{C}$	-2	-	+2	
		$\text{TA} = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$	-3	-	+3	
$t_{\text{SU}(\text{LSI})}$	建立时间	-	-	-	50	us
$I_{\text{DD}(\text{LSI})}$	工作电流	-	-	0.6	-	uA

7.3.9 存储器特性

未特别说明的情况下，下列数据针对-40℃ ~ +85℃测试环境。

表 7-20 FLASH 特性

符号	参数	条件	最小值	典型值	最大值 ^{注1}	单位
T _{prog8}	字节编程时间	-	-	31	-	us
T _{prog16}	半字编程时间	-	-	39	-	
T _{prog32}	字编程时间	-	-	55	-	
T _{erase1}	页面擦除时间	-	-	2.5	-	ms
T _{erase2}	整片擦除时间	-	-	35	-	
I _{DD}	供电电流	写模式	-	-	2	mA
		擦除模式	-	-	1	
V _{prog}	编程电压	-	同DVCC / AVCC			V

注 1：由设计保障，非量产实测。

表 7-21 FLASH 寿命和数据保存期限

符号	参数	条件	最小值 ^{注1}	单位
N _{NED}	擦写寿命	T _A = -40℃ ~ +85℃	10k	次
t _{RET}	数据保存期限	T _A = -40℃ ~ +85℃	25	年

注 1：由综合评估得出，非量产实测。

7.3.10ESD 特性

使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

表 7-22 ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A = +25^{\circ}C$ Conforming to JEDEC JS-001:2023	6	kV
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$T_A = +25^{\circ}C$ Conforming to JEDEC JS-001:2022	2	
$V_{ESD(MM)}$	静电放电电压 (机器模型)	$T_A = +25^{\circ}C$ Conforming to JES22-A115C:2010	± 200	V
LU	静态Latch-Up	$T_A = +105^{\circ}C$ Conforming to JESD78F	± 600	mA

7.3.11 I/O 特性

7.3.11.1 通用输入输出特性

无特别声明的情况下，下表给出的测试数据基于一般工作条件测试所得。
全部的 I/O 口按 CMOS 和 TTL 兼容的方式设计。

表 7-23 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	TC和TTa I/O	-	-	$0.3 V_{CCIO}$	V
V_{IH}	高电平输入电压	TC和TTa I/O	$0.7 V_{CCIO}$	-	-	V
V_{hys}	迟滞电压	TC和TTa I/O	-	$450^{注1}$	-	mV
I_{lkg}	输入漏电流	TC和TTa I/O 数字模式 $V_{SS} \leq V_{IN} \leq DV_{CC}$	-	-	± 0.1	uA
		TTa I/O 模拟模式 $V_{SS} \leq V_{IN} \leq DV_{CC}$	-	-	± 0.2	
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	55	-	70	k Ω
C_{IO}	I/O管脚电容	-	-	5	-	pF

注 1：基于设计和仿真的数据，未实测。

7.3.11.2 输出驱动能力

GPIO 的管脚可以灌入或拉出多达±8mA 的电流，对输出的 VOH 和 VOL 要求不严格的时候可以多达±20mA。实际应用中，必须限制可以驱动电流的 I/O 管脚数量，以遵守第 7.2 节中指定的绝对最大额定值：

- VCCIO 上所有 I/O 提供的电流总和加上 DVCC 上提供的 MCU 的最大消耗，不能超过绝对最大额定值 ΣI_{VCC} （见表 7-1）。
- VSS 上所有 I/O 吸收的电流之和，加上 VSS 上吸收的 MCU 的最大消耗，不能超过绝对最大额定值 ΣI_{VSS} （见表 7-1）。

7.3.11.3 输出电平电压

无特别声明的情况下，下表给出的测试数据基于表 7-4 一般工作条件提示的测试环境。全部的 I/O 口按 CMOS 和 TTL 兼容的方式设计。

表 7-24 输出电压特性

符号	参数	条件	最小值	最大值	单位
VOHD	输出高电平时的电压	Sourcing 8mA ^{注1} DVCC = 3.3V	3.02	-	V
		Sourcing 16mA ^{注2} DVCC = 3.3V	2.75	-	
VOLD	输出低电平时的电压	Sinking 10mA ^{注1} DVCC = 3.3V	-	0.28	V
		Sinking 20mA ^{注2} DVCC = 3.3V	-	0.60	

注 1：所有输出组合的最大总电流 IOH(max) 和 IOL(max) 不应超过 40 mA。

注 2：所有输出组合的最大总电流 IOH(max) 和 IOL(max) 不应超过 100 mA。

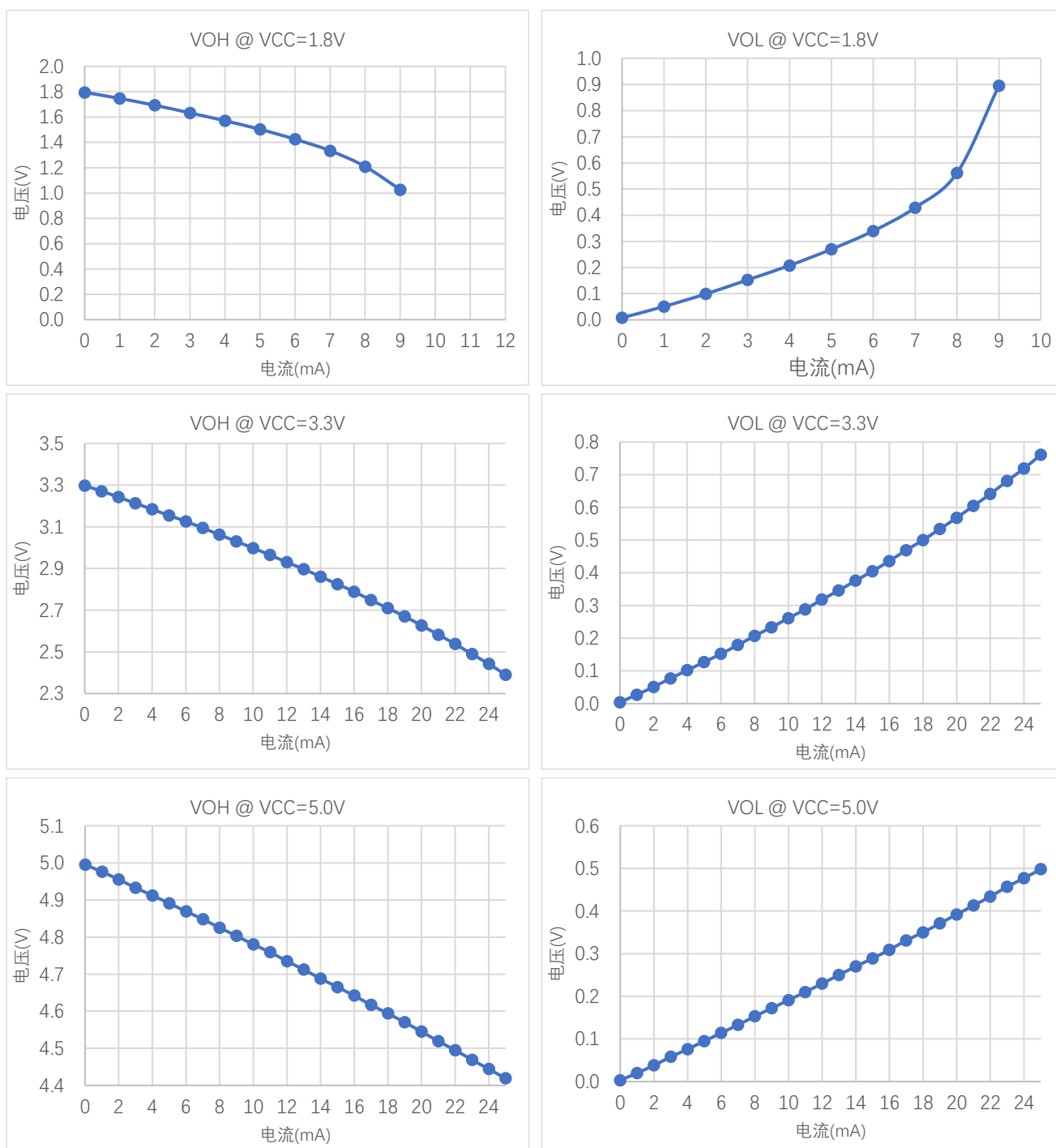


图 7-7 VOH / VOL 典型曲线

7.3.11.4 输入/输出交流特性

对于 I/O 口的交流特性的值和定义，由下列图表分别给出。
无特别声明的情况下，下表给出的测试数据基于表 7-4 一般工作条件提示的测试环境。

表 7-25 输入输出交流特性

符号	参数	条件	最小值	最大值	单位
f _{max}	最大频率 ^{注3}	C _L = 30pF, DVCC ≥ 2.7V	-	50	MHz
		C _L = 50pF, DVCC ≥ 2.7V	-	30	
		C _L = 50pF, 2.4V ≤ DVCC ≤ 2.7V	-	20	
t _f	下降沿时间	C _L = 30pF, DVCC ≥ 2.7V	-	5	ns
		C _L = 50pF, DVCC ≥ 2.7V	-	8	
		C _L = 50pF, 2.4V ≤ DVCC ≤ 2.7V	-	12	
t _r	上升沿时间	C _L = 30pF, DVCC ≥ 2.7V	-	5	ns
		C _L = 50pF, DVCC ≥ 2.7V	-	8	
		C _L = 50pF, 2.4V ≤ DVCC ≤ 2.7V	-	12	

- 注 1：该表基于设计和仿真的数据，未实测。
- 注 2：I/O 口速度由寄存器的值决定，详情请参见用户手册的相关章节。
- 注 3：最大频率由下图定义。

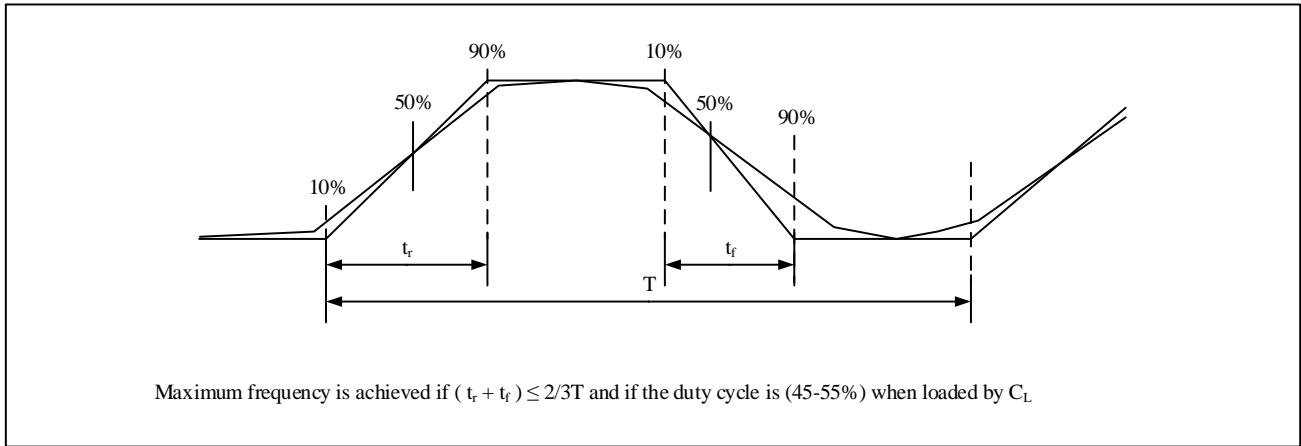


图 7-8 I/O 口交流特性定义

7.3.12NRST 管脚特性

NRST 管脚内部连接了一个永久性的上拉电阻 R_{PU} 。
无特别声明的情况下，下表中给出的测试数据基于表 7-4 一般工作条件提示的测试环境。

表 7-26 NRST 管脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	-	-	-	0.3 DVCC	V
V_{IH}	高电平输入电压	-	0.7 DVCC	-	-	V
V_{hys}	迟滞电压	-	-	300	-	mV
R_{PU}	弱上拉等效电阻	-	-	7	-	kΩ
$V_{F(NRST)}$	复位脉冲宽度	-	20	-	-	us

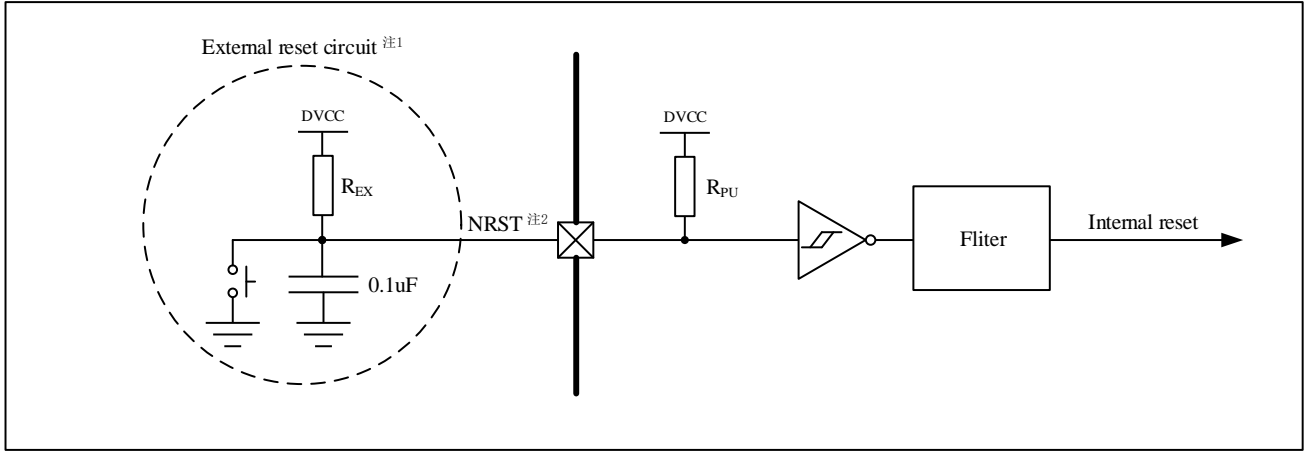


图 7-9 I/O 推荐的 NRST 管脚电路

注 1：外部电阻和电容应尽量靠近 NRST 管脚。
注 2：须确保复位时的管脚输入电压低于上表中的 V_{IL} 最大值否则不能确保复位操作。

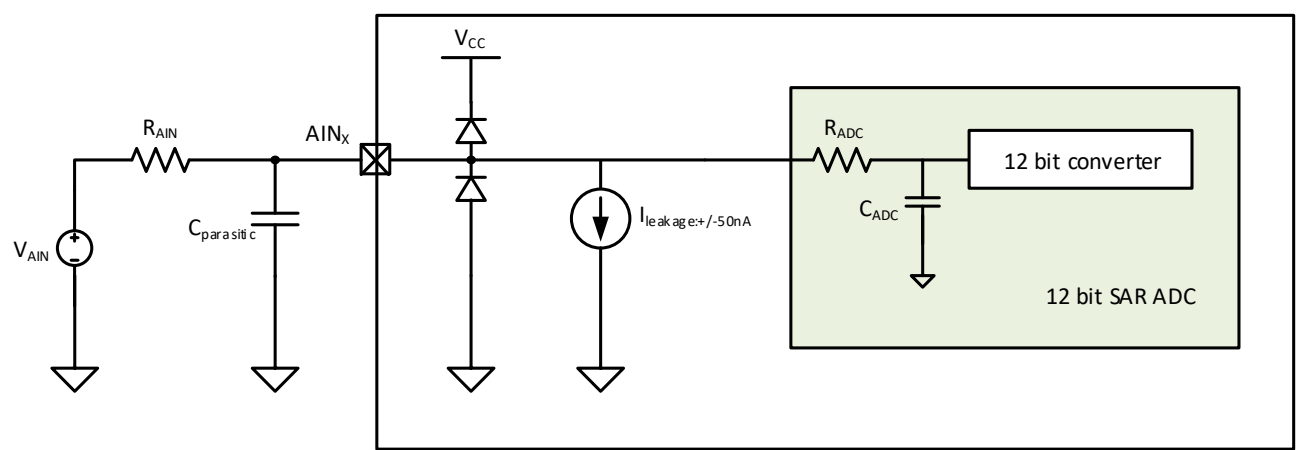
7.3.13ADC 特性

无特别声明的情况下，下表中给出的测试数据基于表 7-4 一般工作条件提示的测试环境。

表 7-27 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
ICC	ADC电流消耗	AVCC=3.3V		300		uA
V _{th}	ADC开启时的 供电电压	-	1.6	-	-	V
V _{AIN}	转换电压范围		0	-	AVCC	V
R _{AIN}	输入阻抗	-	详见最大输入阻抗表			kΩ
C _{AIN}	内置采保电容	-	-	4	-	pF
R _{ADC}	模拟开关阻抗		-	1.8	-	kΩ
t _s	采样时间	-	6	-	390	t _{ADCCLK}
t _{conv}	逐次比较时间	-	15			t _{ADCCLK}
f _{conv}	转换速率	1.6V ≤ AVCC < 1.8V	-	-	200k	sps
		1.8V ≤ AVCC < 2.2V	-	-	500k	
		2.2V ≤ AVCC < 3.0V	-	-	1M	
		3.0V ≤ AVCC ≤ 5.5V	-	-	2M	
ENOB	有效位	AVCC = 1.8V	-	9.8	-	bit
		AVCC = 2.8V		10.1		
		AVCC = 3.3V		10.3		
		AVCC = 5.5V	-	10.5	-	
DNL	差分线性误差	-	-1	-	1	LSB
INL	积分线性误差	-	-4	-	4	LSB

ADC 典型应用电路图如下所示：



对于 0.5LSB 采样误差精度要求的条件下，外部输入阻抗最大值的计算公式如下：

$$R_{AIN} = \frac{M}{f_{ADCCLK} * C_{ADC} * (N + 1) * \ln(2)} - R_{ADC}$$

其中 f_{ADCCLK} 为 ADC 工作时钟的频率可通过 ADC_CR.CLKSRC 进行配置；N 为 ADC 分辨率，取 12；M 为采样过程时长，由 ADC_SAMPLE.SQRCHx 位域设定，如下表所示。

表 7-28 ADC 采样过程时长

SAMPLE.SQRCHx	采样过程时长	SAMPLE.SQRCHx	采样过程时长
0000	$t_{\text{ADCCLK}} \times 6$	1000	$t_{\text{ADCCLK}} \times 54$
0001	$t_{\text{ADCCLK}} \times 7$	1001	$t_{\text{ADCCLK}} \times 70$
0010	$t_{\text{ADCCLK}} \times 9$	1010	$t_{\text{ADCCLK}} \times 102$
0011	$t_{\text{ADCCLK}} \times 12$	1011	$t_{\text{ADCCLK}} \times 134$
0100	$t_{\text{ADCCLK}} \times 18$	1100	$t_{\text{ADCCLK}} \times 166$
0101	$t_{\text{ADCCLK}} \times 24$	1101	$t_{\text{ADCCLK}} \times 198$
0110	$t_{\text{ADCCLK}} \times 30$	1110	$t_{\text{ADCCLK}} \times 262$
0111	$t_{\text{ADCCLK}} \times 42$	1111	$t_{\text{ADCCLK}} \times 390$

下表为 ADC 时钟频率 f_{ADCCLK} 、采样过程时长及外部电阻 R_{AIN} 的关系(误差 0.5LSB 的条件下)。

表 7-29 最大输入阻抗表

采样过程 持续时钟数量	$R_{\text{AIN_MAX}}$		
	$f_{\text{ADCCLK}}=48\text{MHz}$	$f_{\text{ADCCLK}}=24\text{MHz}$	$f_{\text{ADCCLK}}=4\text{MHz}$
6	1.7 k Ω	5 k Ω	40 k Ω
7	2.3 k Ω	6 k Ω	46 k Ω
9	3.4 k Ω	8 k Ω	60 k Ω
12	5 k Ω	12 k Ω	81 k Ω
18	8 k Ω	19 k Ω	123 k Ω
30	15 k Ω	33 k Ω	206 k Ω
70	38 k Ω	79 k Ω	484 k Ω
134	75 k Ω	153 k Ω	928 k Ω
198	113 k Ω	227 k Ω	1370 k Ω
390	224 k Ω	449 k Ω	2700 k Ω

7.3.14温度传感器特性

表 7-30 内置温度传感器特性

符号	参数	最小值	典型值	最大值	单位
TL	VSENSE随温度线性度	-	±2	±5	°C
V _{IH}	平均斜率	2.52	2.55	2.58	mV/°C
V _{TS25}	25°C对应电压	0.73	0.76	0.79	V
t _{setup}	建立时间	-	-	40	us

7.3.15电压比较器特性

表 7-31 电压比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IN}	输入电压范围		0	-	AVCC	V
I _{DD}	电流消耗	低速 ^{注1}	-	0.25	0.39	uA
		高速 ^{注2}	-	39	55	
I _{DDREF}	VC参考源 电流消耗	VC参考源为AVCC	-	V _{AVCC} / 0.39	-	uA
		VC参考源为VCAP	-	4	-	
t _{resp}	响应时间	低速	-	3	7	us
		高速	-	0.1	0.2	
t _{setup}	建立时间	-	-	0.5	-	us
V _{offset}	偏置电压	-	-	±5	±10	mV
V _{hys}	迟滞电压	无迟滞	-	0	-	mV
		有迟滞	-	20	-	

注 1：负端来源选择内置 1.2V 基准电压时，该功耗将增加 21~29uA。

注 2：该功耗由两部分组成：VC 自身功耗及 BGR 模块功耗。

7.3.16可编程电压检测器特性

表 7-32 可编程电压检测器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IN}	输入电压范围	-	0	-	AVCC	V
V _{TH}	检测阈值	LVD_CR0.VTH = 0x00	0.95×V _{TH}	1.8	1.05×V _{TH}	V
		LVD_CR0.VTH = 0x01		2.2		
		LVD_CR0.VTH = 0x02		2.6		
		LVD_CR0.VTH = 0x03		3.0		
		LVD_CR0.VTH = 0x04		3.4		
		LVD_CR0.VTH = 0x05		3.8		
		LVD_CR0.VTH = 0x06		4.2		
		LVD_CR0.VTH = 0x07		4.6		
I _{DD}	功耗	-	-	760	-	nA
t _{resp}	响应时间	-	-	10	-	us
t _{setup}	建立时间	-	-	10	-	us
V _{hys}	迟滞电压	-	-	40	-	mV

7.3.17通信接口

7.3.17.1 I2C 接口特征参数

- I2C 接口符合 I2C-bus 规范和用户手册中：
 - Standard-mode(Sm):最高比特率 100k bit/s
 - Fast-mode(Fm):最高比特率 400k bit/s
 - Fast-mode Plus(Fm+):最高比特率 1M bit/s
 - 当 I2C 外设配置正确时，I2C 时序要求由设计保证。
 - SDA 和 SCL I/O 要求满足以下限制：
 - SDA 和 SCL I/O 管脚不是“真正的”开漏。
 - 当配置为开漏时，连接在 I/O 管脚和 DVCC 之间的 PMOS 被禁用，但仍然存在。
- 有关 I2C I/O 特性，请参阅 I/O 特性章节。

表 7-33 I2C 特性

符号	参数	标准模式 100k		快速模式 400k		高速模式 1M		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL时钟低时间	4.7	-	1.25	-	0.5	-	us
$t_{w(SCLH)}$	SCL时钟高时间	4.0	-	0.6	-	0.26	-	
$t_{su(SDA)}$	SDA建立时间	250	-	100	-	50	-	ns
$t_h(SDA)$	SDA数据保持时间	0	-	0	-	0	-	
$t_h(STA)$	开始条件保持时间	2.5	-	0.625	-	0.25	-	us
$t_{su(STA)}$	重复的开始条件建立时间	2.5	-	0.6	-	0.25	-	
$t_{su(STO)}$	停止条件建立时间	0.25	-	0.25	-	0.25	-	
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	0.5	-	

注：由设计保证，不在生产中测试。

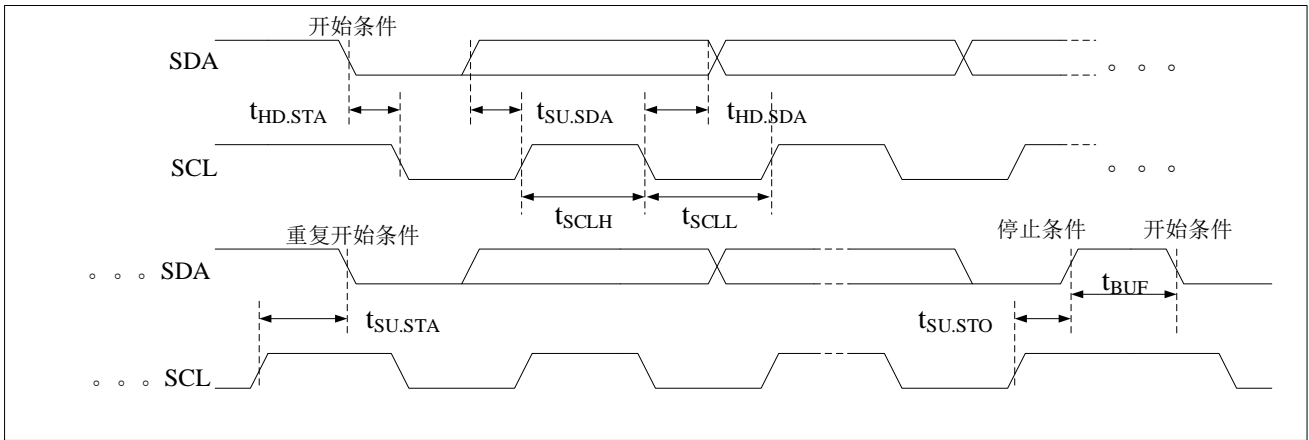


图 7-10 I2C 时序图

7.3.17.2 SPI 接口特征参数

表 7-34 SPI 特性

符号	参数	条件	最小值	最大值	单位
t _c (SCK)	SPI时钟周期	主模式 f _{PCLK} = 48MHz	41.6	-	ns
		从模式	28.5	-	
t _{su} (NCS)	NCS 建立时间	从模式	1	-	
t _h (NCS)	NCS 保持时间	从模式	1	-	
t _w (SCKH) t _w (SCKL)	SCK 高低电平时间	主模式 / 从模式	0.5×t _c (SCK)	-	
t _{su} (MI) t _{su} (SI)	数据输入建立时间	主模式	1	-	
		从模式	1	-	
t _h (MI) t _h (SI)	数据输入保持时间	主模式	1	-	
		从模式	2	-	
t _v (MO)	数据输出保持时间	主模式	2.1	-	
t _v (SO)	数据输出有效时间	从模式	-	10	

注：数据基于表征结果，未经生产测试。

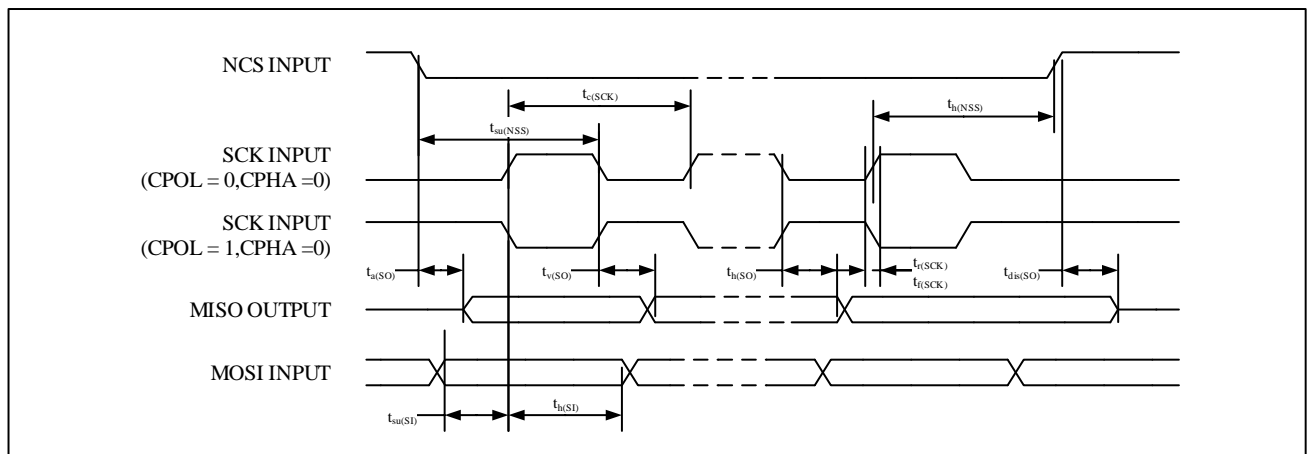


图 7-11 SPI 时序图 – 从机模式 CPHA=0

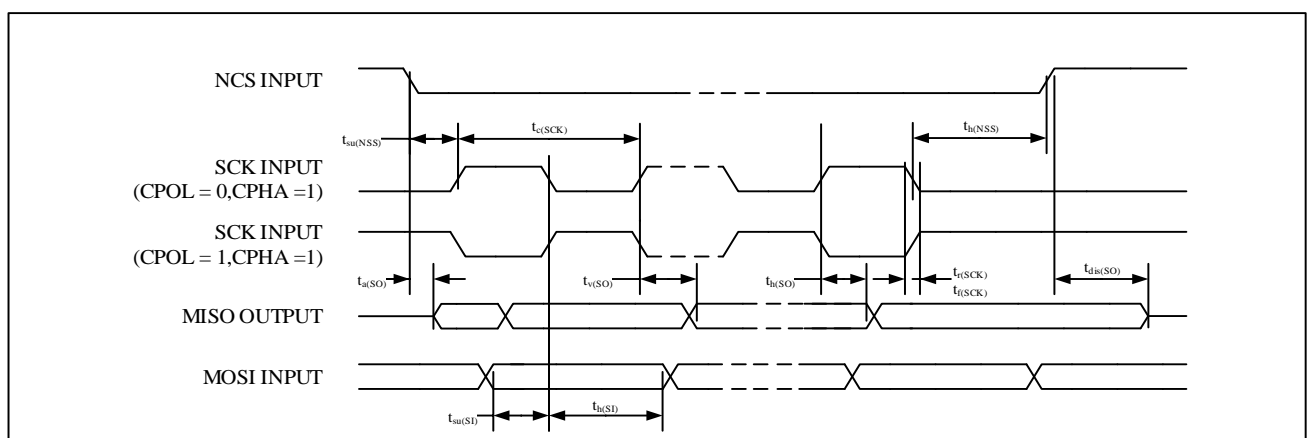


图 7-12 SPI 时序图 – 从机模式 CPHA=1

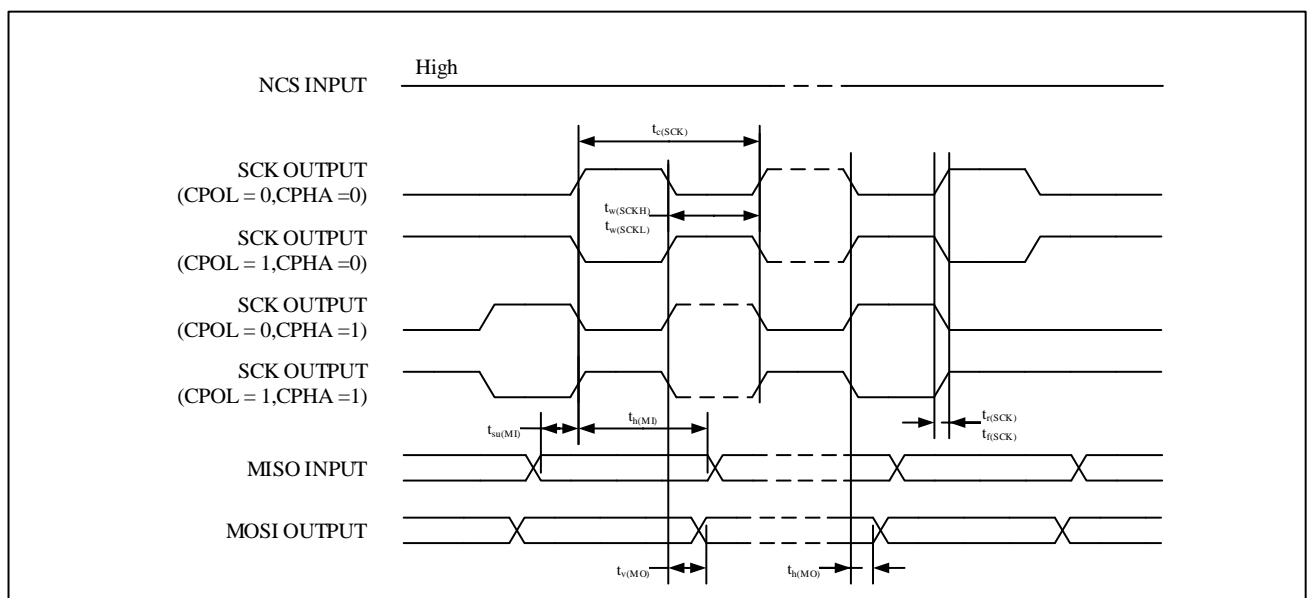
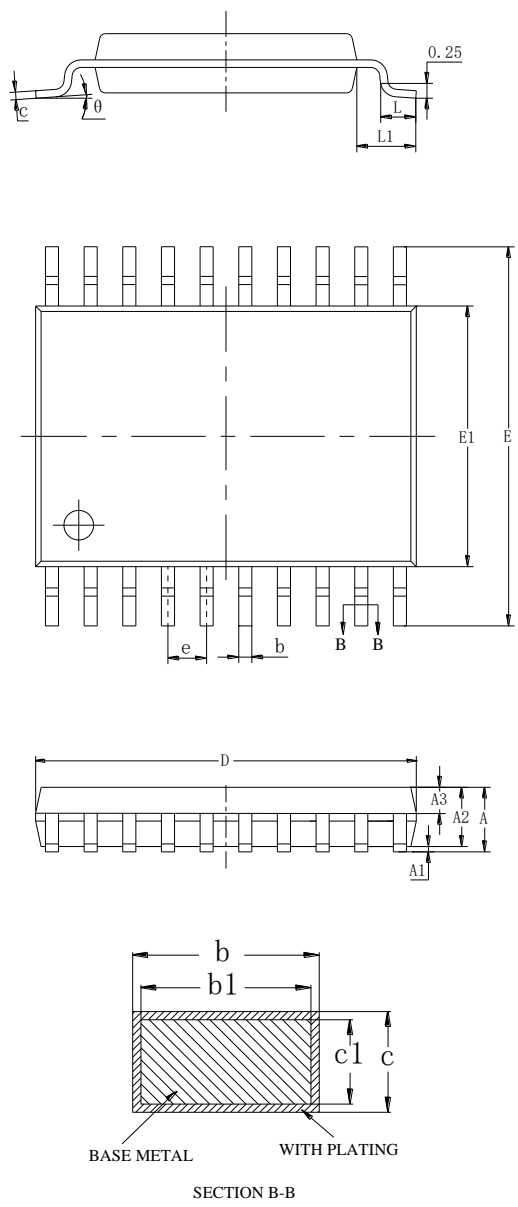


图 7-13 SPI 时序图 – 主机模式

8 封装信息

8.1 封装尺寸

8.1.1 TSSOP20 封装信息

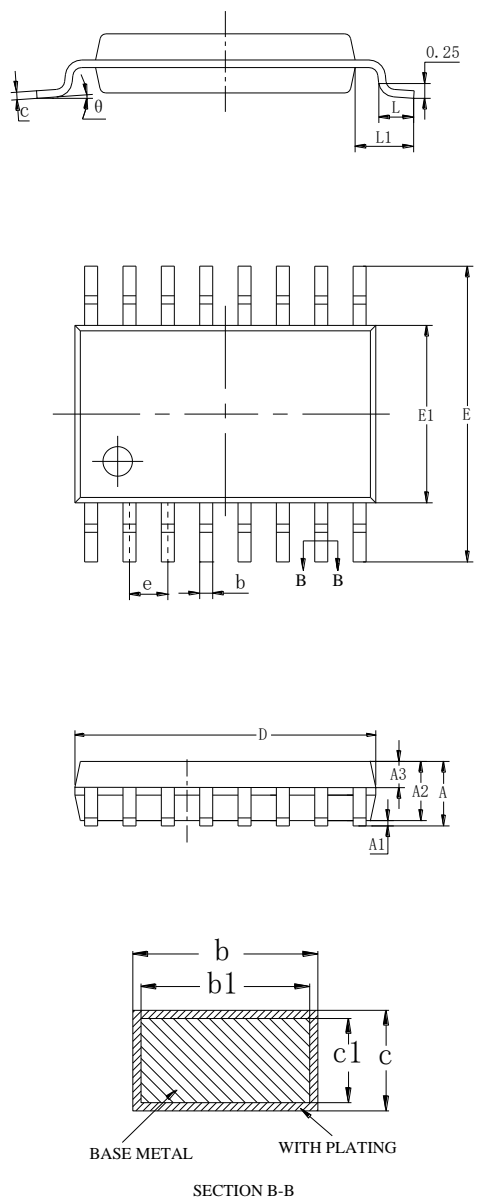


Symbol	TSSOP20 Millimeter		
	Min	Nom	Max
A	--	--	1.20
A1	0.05	--	0.15
A2	0.80	1.00	1.05
A3	0.39	0.44	0.49
b	0.20	--	0.28
b1	0.19	0.22	0.25
c	0.13	--	0.18
c1	0.12	0.13	0.14
D	6.40	6.50	6.60
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0	--	8°

NOTE:

- Dimensions “D” and “E1” do not include mold flash.

8.1.2 SOP16 封装信息

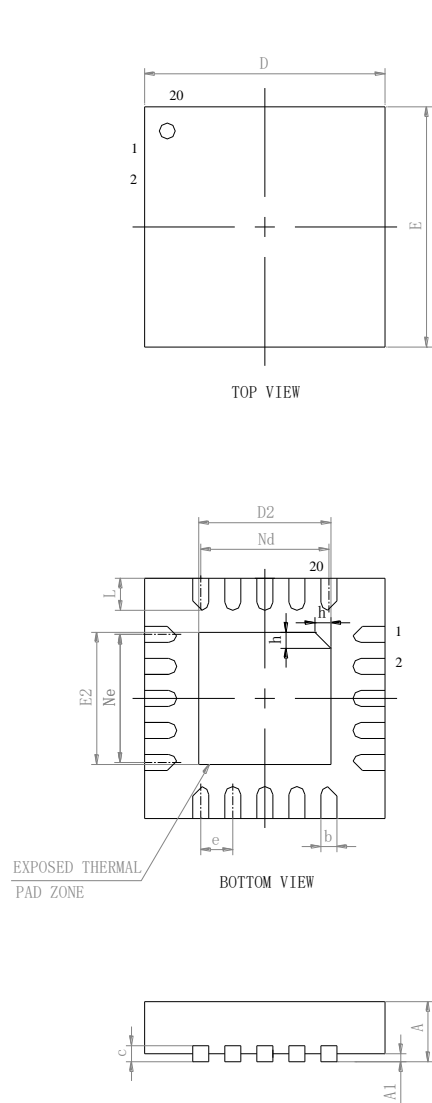


NOTE:

- Dimensions “D” and “E1” do not include mold flash.

Symbol	SOP16 Millimeter		
	Min	Nom	Max
A	1.25	1.50	1.75
A1	0.0	--	0.1
A2	1.25	1.45	1.65
A3	0.55	0.65	0.75
b	0.36	--	0.51
b1	0.35	0.40	0.45
c	0.17	--	0.25
c1	0.17	0.20	0.23
D	9.8	9.9	10.0
E	5.8	6.0	6.2
E1	3.8	3.9	4.1
e	1.27 BSC		
L	0.45	0.60	0.80
L1	1.04 REF		
θ	0	--	8°

8.1.3 QFN20 封装信息

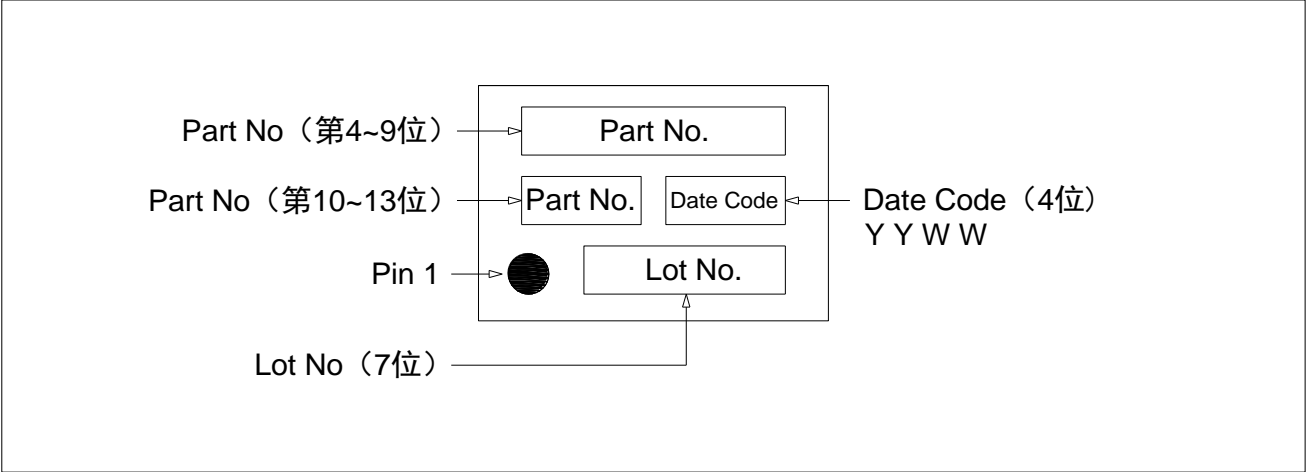


Symbol	3x3x0.5 Millimeter		
	Min	Nom	Max
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
b	0.15	0.20	0.25
c	0.15 REF		
D	2.90	3.00	3.10
D2	1.60	1.70	1.80
e	0.40 BSC		
Ne	1.60 BSC		
Nd	1.60 BSC		
E	2.90	3.00	3.10
E2	1.60	1.70	1.80
L	0.25	0.30	0.35
h	0.20	0.25	0.30

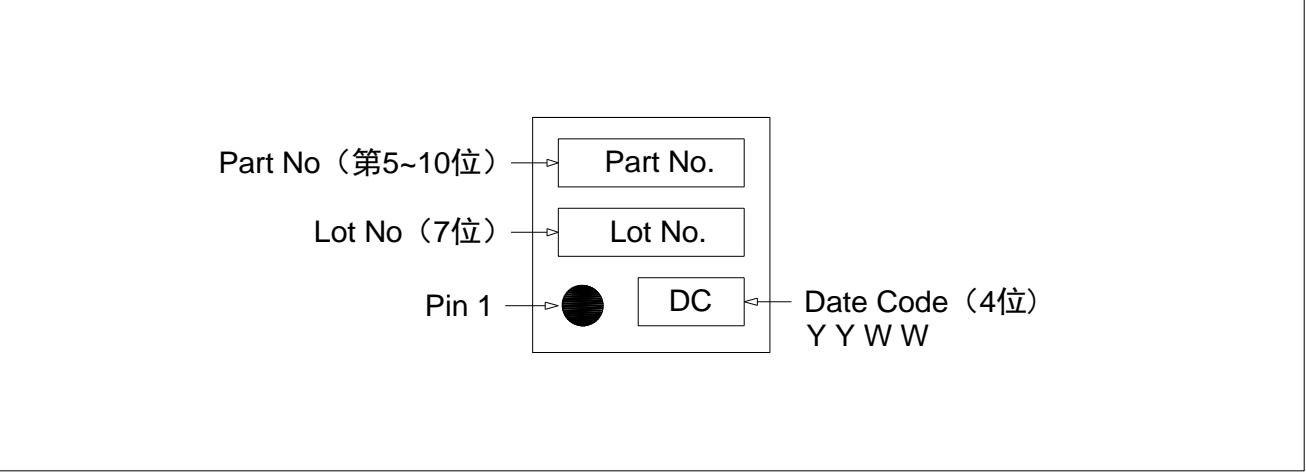
8.2 丝印说明

以下给出各封装正面丝印的 Pin 1 位置和信息说明。

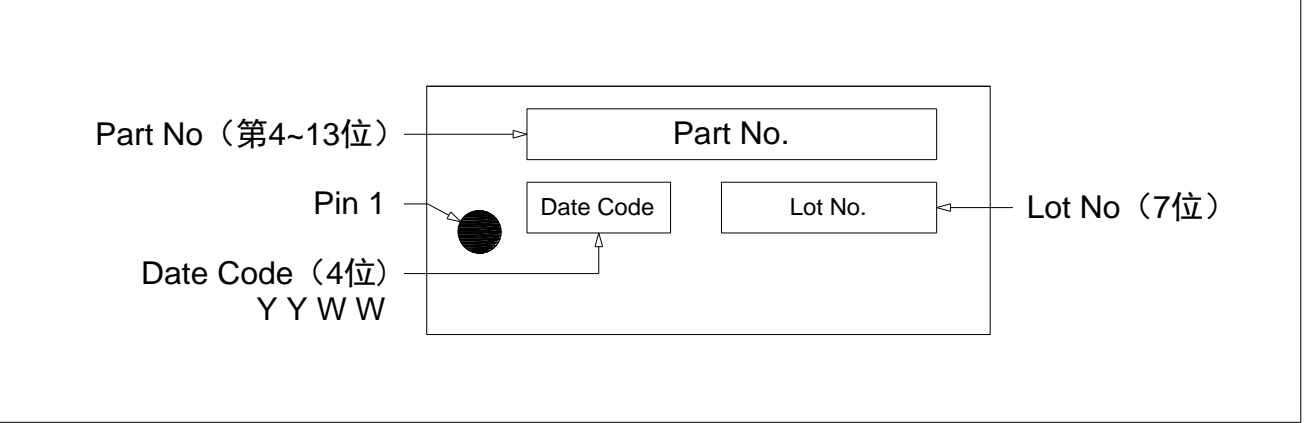
TSSOP20 封装



QFN20 封装



SOP16 封装



8.3 热特征参数

芯片的最大结温 T_{Jmax} 不得达到表 7-3 中给出的最大结温值。

芯片的最大结温 T_{Jmax} ，可由下式计算：

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

式中：

T_{Amax} 为最大环境温度，单位是℃

Θ_J 为对应封装的结-环境热阻，单位是℃/W

P_{Dmax} 是 P_{INTmax} 和 $P_{I/Omax}$ 的和 ($P_{Dmax} = P_{INTmax} + P_{I/Omax}$)

P_{INTmax} 是 I_{DD} 和 V_{cc} 的乘积，用瓦特表示，这也是芯片内部功耗的最大值

$P_{I/Omax}$ 表示输出引脚上的最大功耗，其中：

$$P_{I/Omax} = \Sigma (V_{OL} \times I_{OL}) + \Sigma ((V_{cc} - V_{OH}) \times I_{OH})$$

需要将 I/O 口的实际电平情况和电流情况纳入精确计算。

表 8-1 封装温度特性

符号	结-环境热阻范围	值	单位
Θ_J	TSSOP20 – 6.5x6.4	76	℃/W
	SOP16 – 9.9x6.0	88	
	QFN20 - 3x3	90	

版本记录

版本	修订日期	修订说明
Beta 0.1	2024-3-15	内测版发布
Rev 1.0	2024-4-11	初版发布
Rev 1.1	2024-5-27	按Grace要求调整FLASH擦写寿命
Rev 1.2	2024-6-27	更新VC电气参数
Rev 1.3	2024-7-25	添加供电电流特性章节中LSE Driver配置说明 修订供电电流特性章节中的ICC参数 修订内部参考电压参数，添加温度特性曲线