



十速

TM52F1376/78

规格书 *Rev 0.92*

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

修改纪录

版次	生效日	修订内容概要
V0.90	Sep, 2021	新颁。
V0.91	Nov, 2021	1. 重新定义引脚变化唤醒中断。 2. 修改暂停模式下的工作电流。 3. 新增 TM52F1376H SOP28 封装。 4. 其他描述错误修正。
V0.92	Nov, 2021	1. 新增型号 TM52F1378。 2. 修改 ADC 参考电压选择。 3. 修改 QFN28 封装类型 (PIN25: P3.4 → P1.1)。 4. 其他描述错误修正。

目录

修改纪录.....	2
TM52 系列 F1xxx 家族	6
概述.....	7
系统框图.....	7
基本功能.....	8
IC 引脚图	12
引脚描述.....	17
引脚汇总.....	18
功能描述.....	19
1. CPU 核心.....	19
1.1 累加器 (ACC)	19
1.2 B 寄存器 (B)	19
1.3 堆栈指针 (SP)	20
1.4 数据指针 (DPTRs)	20
1.5 程序状态字 (PSW)	21
2. 存储器.....	22
2.1 程序存储器	22
2.1.1 程序存储器的功能分区.....	22
2.1.2 FLASH ICP 模式.....	23
2.1.3 闪存 IAP 模式	23
2.1.4 IAP 模式访问例程	24
2.1.5 闪存 ISP 模式	25
2.2 EEPROM 数据存储器	26
2.3 数据存储器	28
2.3.1 IRAM	28
2.3.2 XRAM.....	28
2.3.3 SFRs	28
3. 低电压复位和低电压检测.....	30
4. 复位.....	33
4.1 上电复位	33
4.2 外部引脚复位	33
4.3 软件复位	33
4.4 看门狗定时器复位	33
4.5 低电压复位	33

5. 时钟电路和工作模式.....	35
5.1 时钟电路.....	35
5.2 操作模式.....	37
6. 中断和唤醒.....	39
6.1 中断使能和优先级控制.....	39
6.2 关于中断子程序的建议.....	39
6.3 引脚中断和 LVD 中断.....	43
6.4 空闲模式唤醒和中断.....	47
6.5 停止/暂停模式唤醒和中断.....	47
7. I/O 端口.....	49
7.1 端口 0~端口 3.....	49
8. 定时器.....	55
8.1 Timer0/1.....	55
8.2 Timer2.....	58
8.3 Timer3.....	60
8.4 T0O 和 T2O 输出控制.....	60
9. UARTs.....	61
10. PWMs.....	64
11. ADC.....	68
11.1 ADC 通道.....	69
11.2 ADC 转换时间.....	70
12. S/W 控制的 LCD 驱动器.....	73
13. LED 控制器/驱动器.....	75
13.1 LED 正反扫模式.....	75
13.2 LED 点矩阵模式.....	78
14. 循环冗余校验码 (CRC).....	80
15. 乘法器和除法器.....	81
16. 主 I ² C 接口.....	83
17. 从机 I ² C 接口.....	87
18. 在线仿真器 (ICE) 模式.....	90
SFR & CFGW 映像.....	91
SFR & CFGW 说明.....	93
指令集.....	104

电气特性.....	107
1. 最大绝对额定值.....	107
2. DC 特性.....	107
3. 时钟时序.....	109
4. 复位时序特性.....	109
5. ADC 电气特性.....	109
6. 特性曲线图.....	110
封装说明.....	113

TM52 系列 F1xxx 家族
共同特性

CPU	闪存程序存储器	RAM 字节	双时钟	工作模式	Timer0 Timer1 Timer2	UART	实时 Timer3	LVD	LVR
快速8051 (2T)	8K~64K 有 IAP, ISP, ICP	512 ~ 4352	SXT SRC FXT FRC	快钟 慢钟 空闲 停止 暂停	8051标准		15-bit	16 阶	8~16 阶

注：IAP, ISP 只针对 Flash 类型的程序存储器

家族成员特性

P/N	程序存储器	数据存储器	RAM 字节	IO 引脚	PWM	SAR ADC	触摸按键	LCD	LED	串口
TM52-F1716	闪存 16K 字节	EEPROM 128字节	1280	30	16位x3 8位x3	12位 16通道	20通道	8com	BiD 4Cx6S	SPI UARTx2 I ² C
TM52-F1732	闪存 32K 字节	EEPROM 128字节	1280	30	16位x3 8位x3	12位 16通道	20通道	8com	BiD 4Cx6S	SPI UARTx2 I ² C
TM52-F1378	闪存 8K 字节	EEPROM 128字节	512	30	16位x3	12位 24通道	-	30com	BiD 4Cx6S Dot 8x8	UARTx2 I ² C
TM52-F1376	闪存 16K 字节	EEPROM 128字节	512	30	16位x3	12位 24通道	-	30com	BiD 4Cx6S Dot 8x8	UARTx2 I ² C
TM52-F1373	闪存 32K 字节	EEPROM 128字节	1280	26	16位x3	12位 16通道	20通道	8com	BiD 4Cx6S Dot 8x8	SPI UARTx2 I ² C
TM52-F1777	闪存 64K 字节	EEPROM 128字节	4352	42	16位x9	12位 45通道	21通道 x 2	4Cx20S ~ 8Cx16S	Matrix 8x8 Dot 7x8	SPI UARTx3 I ² C

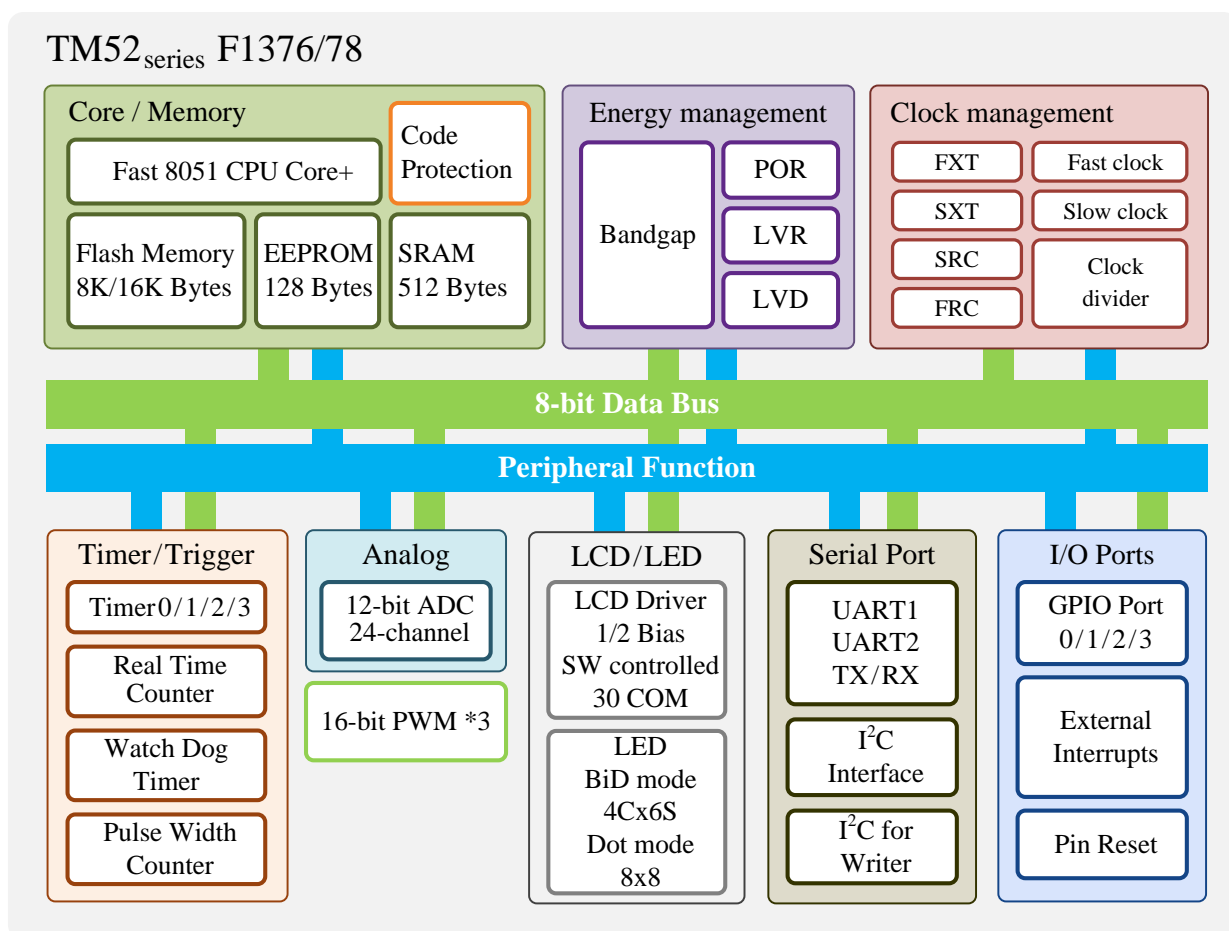
P/N	工作电压	工作电流					最大系统时钟(Hz)			
		快钟 FRC	慢钟 SRC	空闲 SRC	停止	暂停	SXT	SRC	FXT	FRC
TM52-F1716 TM52-F1732	2.5~5.5V	3.5mA	0.18mA	0.15mA	7uA@5V 1.4uA@3V	-	32K	80K	16M	14.7456M
TM52-F1378 TM52-F1376	2.2~5.5V	10mA	2.6mA	40uA	0.4uA@5V 0.1uA@3V	23uA@5V 5.5uA@3V	32K	130K	18M	18.432M
TM52-F1373	2.3~5.5V	4mA	0.22mA	0.2mA	10uA@5V 4uA@3V	13uA@5V 6uA@3V	32K	80K	18M	18.432M
TM52-F1777	2.5~5.5V	TBD	TBD	TBD	TBD	TBD	32K	80K	18M	18.432M

概述

TM52 系列 F1376/78 是一个新的，快速的 8051 架构，与业界标准 8051 指令集完全兼容的 8 位单片机，并保持了 8051 外围的功能模块。通常情况下，**TM52** 执行指令，比传统的 8051 架构快六倍。

TM52-F1376/78 通过集成多种功能在芯片上，提供更高的性能，更低的成本，能快速进入市场，包括 8K/16K 字节的 Flash 程序存储器，128 字节的 EEPROM 数据存储器，512 字节 SRAM，低电压复位 (LVR)，低电压检测 (LVD)，双时钟省电工作模式，8051 标准 UART 和定时器 Timer0/Timer1/Timer2，实时计时器 Timer3，LCD/LED 驱动器，3 组 16 位脉冲宽度调制器，24 通道的 12 位模数转换器 (ADC)，I²C 串口和看门狗定时器 (WDT)。它的高可靠性和低功耗的特性，可广泛适用于消费电子及家用电器产品。

系统框图



注：8K 字节闪存程序存储器 (TM52F1378)

16K 字节闪存程序存储器 (TM52F1376)

基本功能

1. 标准 8051 指令集，快速的机器周期

- 指令执行比传统 8051 快六倍

2. FLASH 程序存储器

- 8K 字节闪存程序存储器(TM52F1378)
- 16K 字节闪存程序存储器(TM52F1376)
- 支持 ICP(在线编程)或 ISP(在系统编程)的闪存程序码
- 在 IAP(在应用编程)模式可以作为 EEPROM，以字节的方式存取
- 程序码保护功能
- 内建 IAP 防死机看门狗模式
- 至少 1,000 次的擦写次数
- 至少 10 年的数据保存时间

3. 128 字节 EEPROM 数据存储器

- 至少 5 万次的擦写次数
- 至少 10 年的数据保存时间

4. 总计 512 字节 SRAM(IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 256 字节 XRAM 在 8051 外部数据存储器区(由 MOVX 指令存取)

5. 4 种系统时钟类型选择

- 快时钟使用外部 1~18MHz 晶体(FXT)
- 快时钟使用内部 RC(FRC, 18.432 MHz)
- 慢时钟使用外部 32768 Hz 晶体(SXT)
- 慢时钟使用内部 RC(SRC, 130 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1/2

- 16 位 Timer0，支持 T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1
- 16 位 Timer2，支持 T2O 时钟输出供蜂鸣器应用

7. 15 位 Timer3

- 时钟源为慢时钟或 FRC/512
- 中断期可选时钟除以 32768/16384/8192/4096/2048/1024/512/256 选项

8. UARTs

- UART1, 8051 标准 UART
- UART2, 第二组额外 UART, 仅支持 mode1 和 mode3
- 带 UART 引脚选择选项

9. 3个独立的 16 位的 PWM 有预分频器/周期调整

- 具有 PWM0/PWM1/PWM2 中断

10. I²C 接口 (主/从)

11. 12 位 ADC, 具有 22 个通道的外部引脚输入和 2 通道内部参考电压

- 通道内部参考电压源 (VBG): 1.20V @ $V_{CC} = 5V \sim 2.5V$, 25°C
- 通道内部参考电压源: $1/4 V_{CC}$
- ADC 基准电压源: $2.5V/V_{CC}$

12. LCD 控制器/驱动器

- 软件控制 COM00~07, COM10~17, COM20~25, COM30~37 (最多 30 引脚)
- 1/2 LCD 偏压

13. LED 控制器/驱动器

- 支持 COM 死区防闪烁
- 支持暂停功能
- 支持亮度均匀/增强模式
- 【正反扫模式 (BiD Matrix)】
- 4C x 6S, 10 引脚, 最多 48 点
- 三组 8 段亮度可调
- 【点矩阵模式 (Dot Matrix)】
- 8C x 8S, 9 引脚, 最高 64 点
- 8 段亮度可调

14. 13 来源, 4 中断优先级

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 下降沿/低电平中断
- 端口 0/1/2/3 引脚电平变化从停止/暂停模式唤醒中断
- UART1/UART2 TX/RX 中断
- LVD 中断
- ADC 中断
- I²C 中断
- PWM0/PWM1/PWM2 中断

15. 引脚中断能将停止/暂停模式下的 CPU 唤醒

- P3.2/P3.3 (INT0/INT1) 中断和唤醒
- 每个引脚可以定义为唤醒中断引脚（通过引脚电平变化）

16. 最大 30 可编程 I/O 引脚

- CMOS 推挽输出
- 开漏输出
- 施密特触发输入
- 引脚上拉/下拉可以使能/禁止
- 所有引脚均具有高灌电流（60mA @ $V_{CC} = 5V$, $V_{OL} = 0.1V_{CC}$ ）

17. 独立的 RC 振荡看门狗定时器

- 240ms/120ms/60ms/30ms 可选择的看门狗超时选项

18. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

19. 16 级低电压复位

- 4.15V/4.01V/3.87V/3.73V/3.59V/3.45V/3.31V/3.17V/
3.03V/2.89V/2.75V/2.61V/2.47V/2.33V/2.19V/2.05V

20. 16 级低电压检测

- 4.15V/4.01V/3.87V/3.73V/3.59V/3.45V/3.31V/3.17V/
3.03V/2.89V/2.75V/2.61V/2.47V/2.33V/2.19V/2.05V

21. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/停止模式/暂停模式

22. 集成的 16 位循环冗余校验功能**23. 乘法与除法**

- 8 位乘法器和除法器（标准 8051）
- 16 位乘法器和除法器
- 32 位÷16 位除法器

24. 在板仿真/ICE 接口

- 使用 P3.0/P3.1 引脚或 P0.0/P0.1 引脚
- 与 ICP 编程引脚共享

25. 工作电压

- $V_{CC} = 2.2V \sim 5.5V$ @ $F_{SYSCLK}=18.432MHz$ ($-40^{\circ}C \sim +85^{\circ}C$)
- $I_{CC} = 0.1\mu A$ @停止模式, $PWRS AV=1$, $V_{CC}=3V$
- $I_{CC} = 5.5\mu A$ @暂停模式, $PWRS AV=1$, $V_{CC}=3V$
- $I_{CC} = 16\mu A$ @空闲模式, $PWRS AV=1$, $V_{CC}=3V$

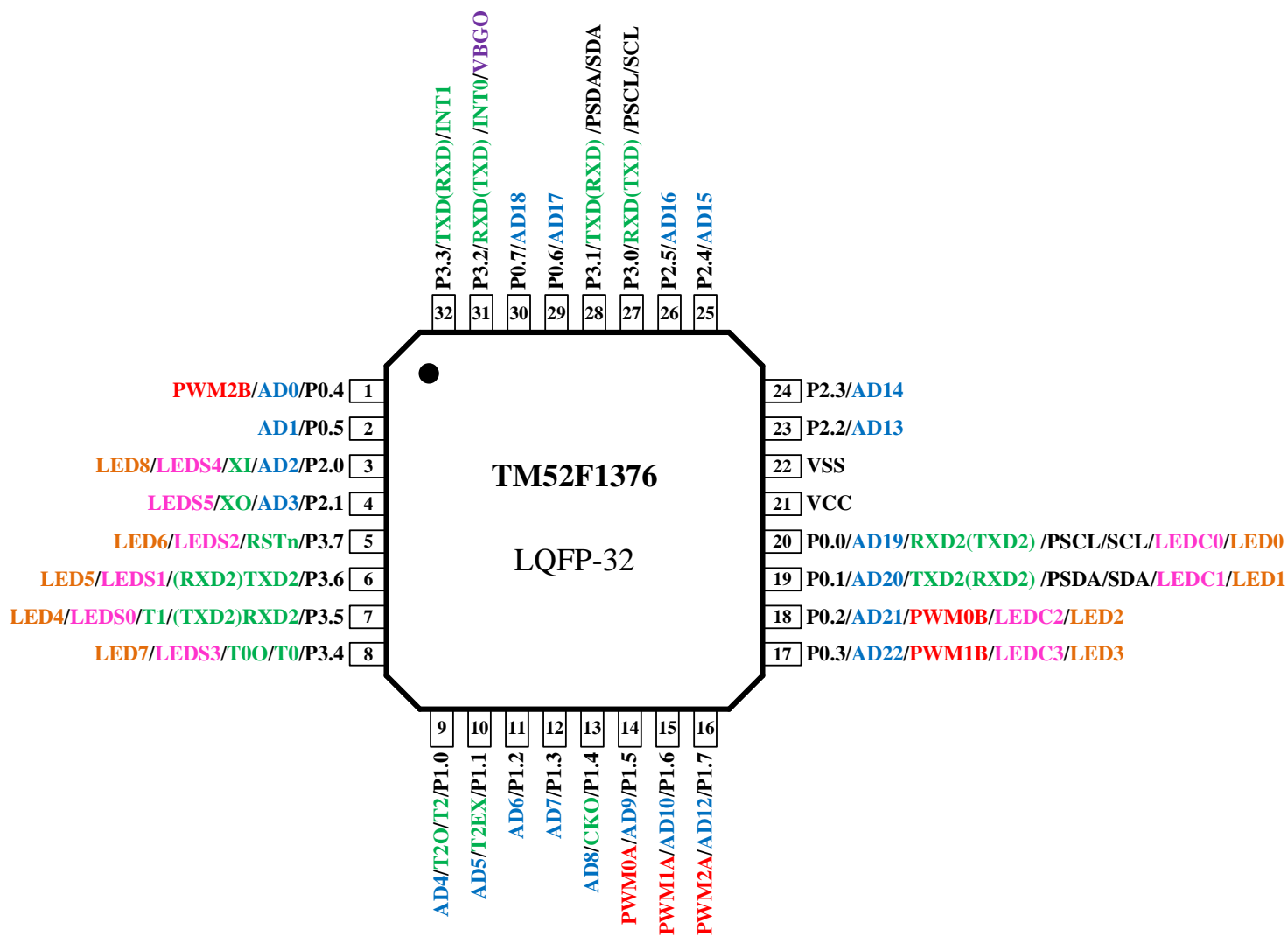
26. 工作温度范围

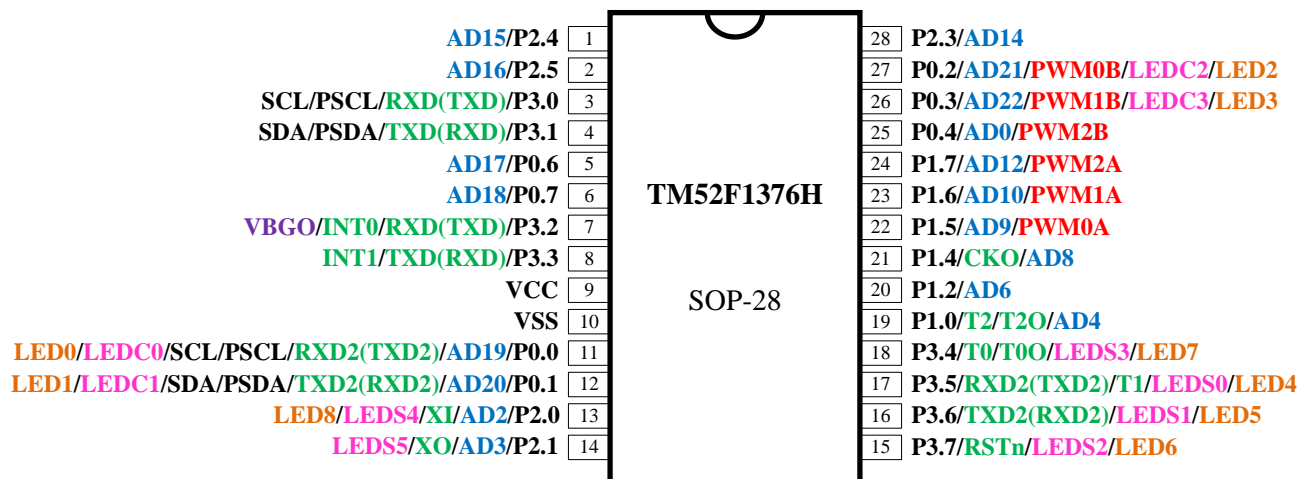
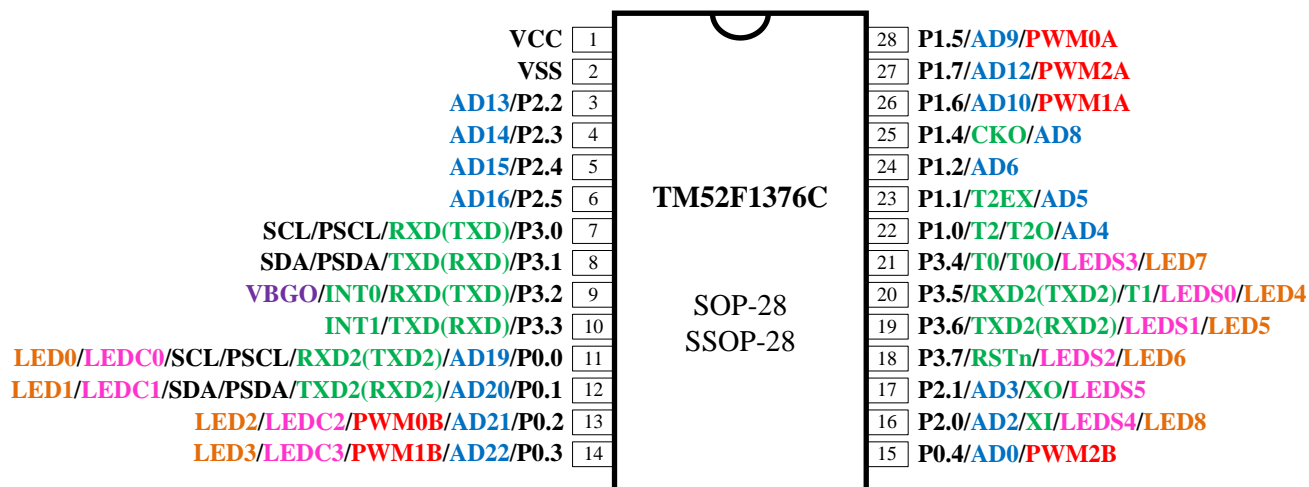
- $-40^{\circ}C \sim +85^{\circ}C$

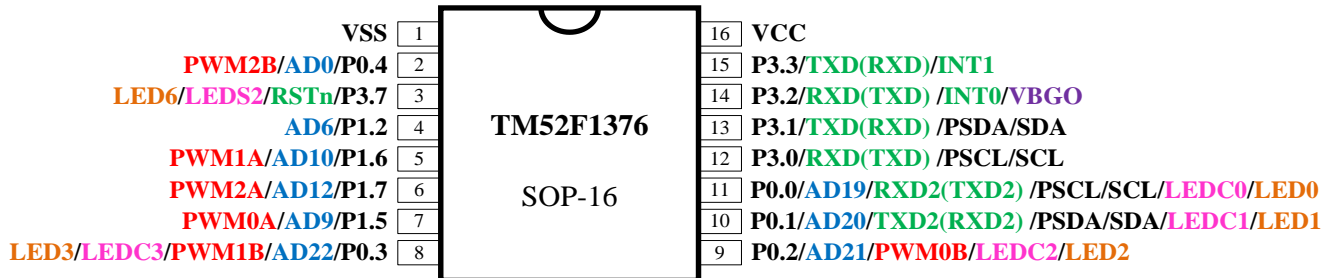
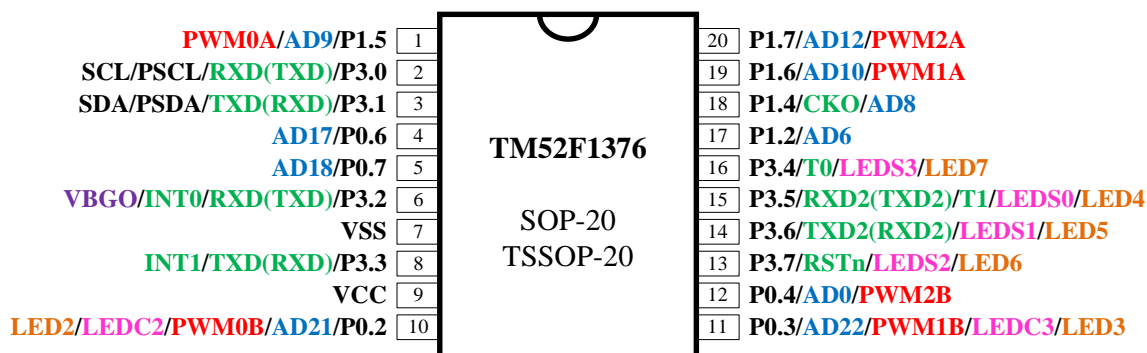
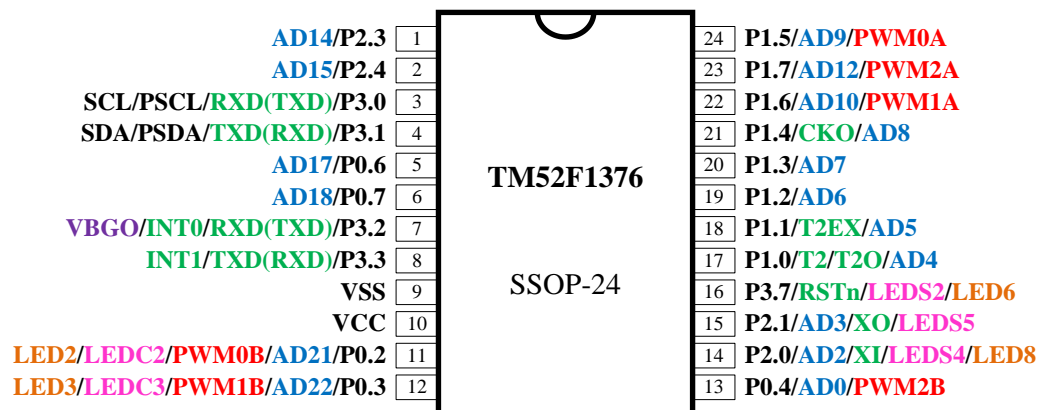
27. 封装类型

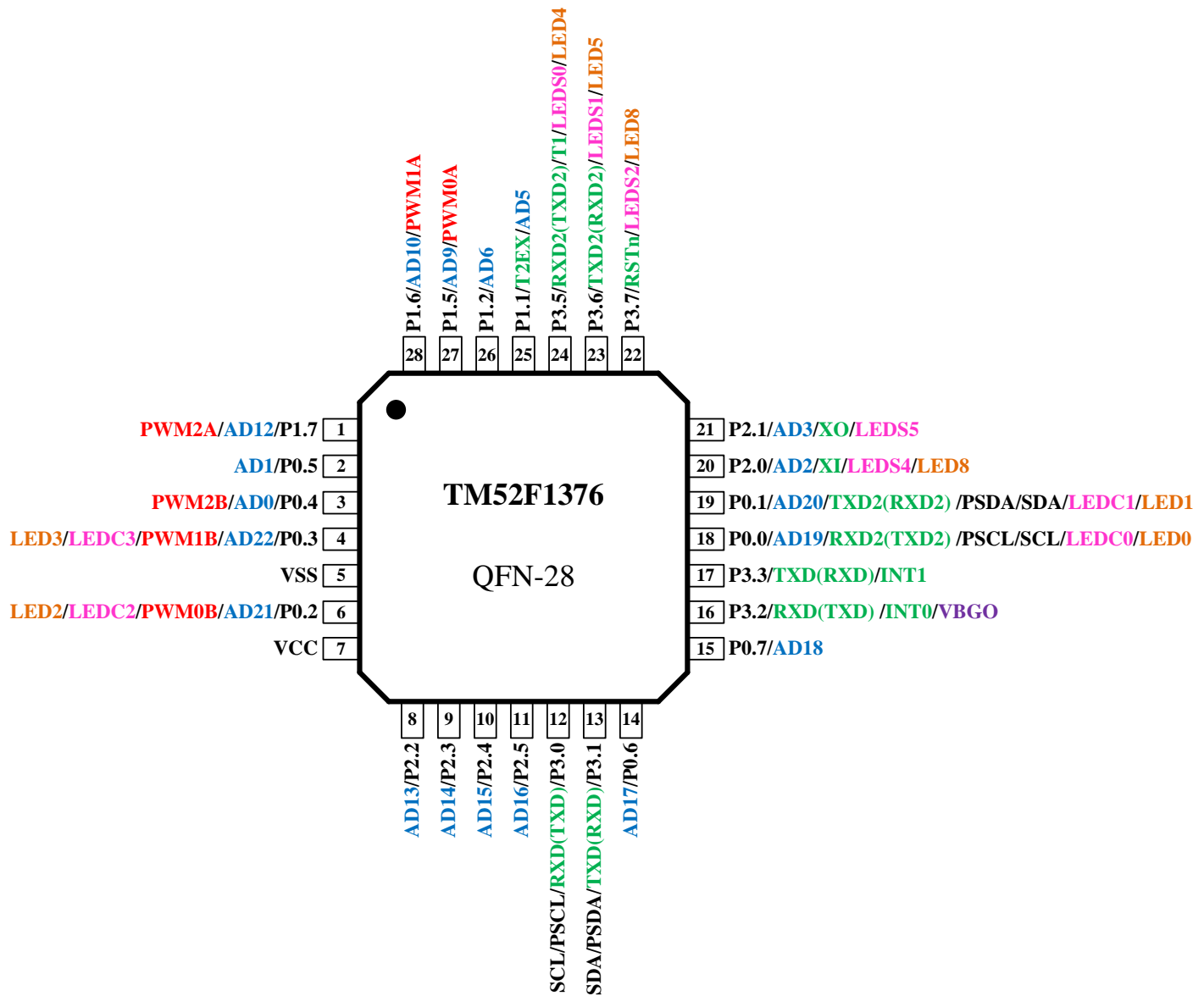
- 32-pin LQFP (7x7x1.4 mm)
- 28-pin SOP (300 mil)
- 28-pin SSOP (150 mil)
- 28-pin QFN (4x4x0.75-0.4 mm)
- 24-pin SSOP (150 mil)
- 20-pin SOP (300 mil)
- 20-pin TSSOP (173 mil)
- 20-pin QFN (3x3x0.75-0.4 mm) (L=0.25 mm)
- 16-pin SOP (150 mil)

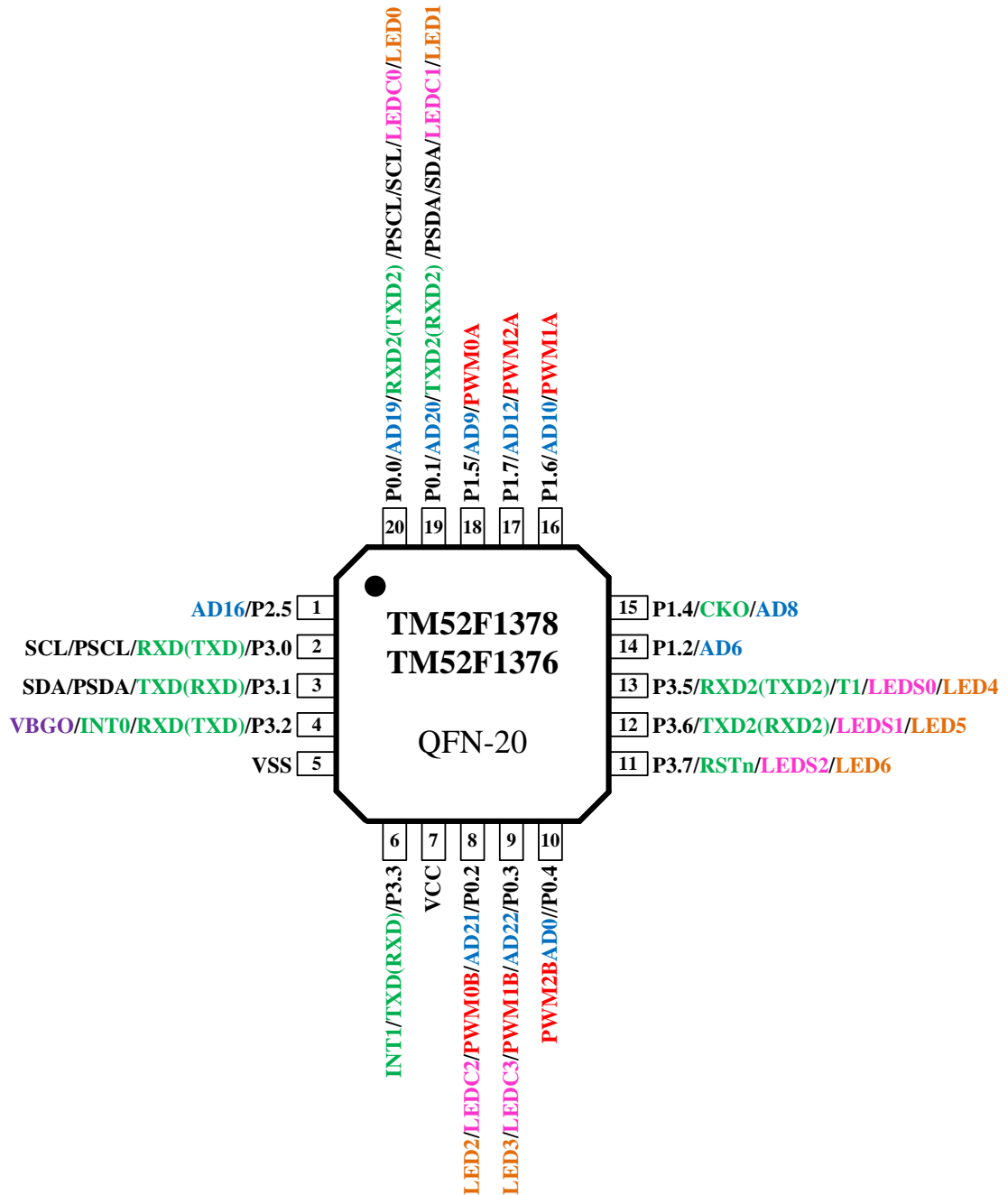
IC 引脚图











引脚描述

引脚名称	输入/输出	引脚描述
P0.0~P0.7 P1.0~P1.7 P2.0~P2.5 P3.0~P3.7	I/O	施密特触发器输入，CMOS 推挽输出或“漏极开路”输出的位可编程 I/O 端口。上拉和下拉电阻可由软件分配，也可以设置为 LCD 1/2 偏置输出。这些引脚的电平变化可以中断/唤醒 CPU 的停止/暂停模式。
INT0, INT1	I	外部低电平或下降沿中断输入，空闲/停止/暂停模式唤醒输入
RXD	I/O	UART1 模式 0 发送及接收数据，模式 1/2/3 接收数据。
RXD2	I/O	UART2 模式 1/3 接收数据
TXD	I/O	UART1 模式 0 发送时钟，模式 1/2/3 发送数据。在单线 UART 模式时，该引脚发送和接收串行数据。
TXD2	I/O	UART2 模式 1/3 发送数据
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
T0O	O	Timer0 溢出除以 64 输出
T2O	O	Timer2 溢出除以 2 输出
CKO	O	系统时钟除以 2 输出
VBGO	O	带隙基准电压输出
PWM0A~PWM2A PWM0B~PWM2B	O	16 位 PWM 输出
AD0~AD10 AD12~AD22	I	ADC 输入
LEDC0~LEDC3	O	LED 正反扫模式 COM 输出
LEDS0~LEDS5	O	LED 正反扫模式 SEG 输出
LED0~LED8	O	LED 点矩阵模式输出
SCL	I/O	I ² C SCL
SDA	I/O	I ² C SDA
PSCL	I/O	程序用 I ² C SCL
PSDA	I/O	程序用 I ² C SDA
RSTn	I	外部低电平有效复位输入，上拉电阻固定使能。
XI, XO	—	用于系统时钟之晶体/陶瓷振荡器引脚
VCC, VSS	P	电源输入引脚和接地

引脚汇总

引脚编号								引脚名称	类型	初始状态	输入				输出		交替功能						其它	
LQFP-32	SOP/SSOP-28 (C)	SOP-28 (H)	SSOP-24	SOP/TSSOP-20	SOP-16	QFN-28	QFN-20				上拉电阻	下拉电阻	唤醒	外部中断	推挽	开漏	LCD	LED 正反扫模式	LED 点矩阵模式	ADC	UART	PWM	定时器	I ² C
23	3	—	—	—	—	8	—	AD13/P2.2	I/O	Hi-Z	●	●	●	●	●	●		●						
24	4	28	1	—	—	9	—	AD14/P2.3	I/O	Hi-Z	●	●	●	●	●	●		●						
25	5	1	2	—	—	10	—	AD15/P2.4	I/O	Hi-Z	●	●	●	●	●	●		●						
26	6	2	—	—	—	11	1	AD16/P2.5	I/O	Hi-Z	●	●	●	●	●	●		●						
27	7	3	3	2	12	12	2	SCL/PSCL/RXD(TXD)/P3.0	I/O	Hi-Z	●	●	●	●	●	●			●			●		
28	8	4	4	3	13	13	3	SDA/PSDA/TXD(RXD)/P3.1	I/O	Hi-Z	●	●	●	●	●	●			●			●		
29	—	5	5	4	—	14	—	AD17/P0.6	I/O	Hi-Z	●	●	●	●	●	●		●						
30	—	6	6	5	—	15	—	AD18/P0.7	I/O	Hi-Z	●	●	●	●	●	●		●						
31	9	7	7	6	14	16	4	VBGO/INT0/RXD(TXD)/P3.2	I/O	Hi-Z	●	●	●	●	●	●			●					VBGO
32	10	8	8	8	15	17	6	INT1/TXD(RXD)/P3.3	I/O	Hi-Z	●	●	●	●	●	●			●					
20	11	11	—	—	11	18	20	LED0/LEDC0/SCL/PSCL/RXD2(TXD2)/AD19/P0.0	I/O	Hi-Z	●	●	●	●	●	●	●	●	●			●		
19	12	12	—	—	10	19	19	LED1/LEDC1/SDA/PSDA/TXD2(RXD2)/AD20/P0.1	I/O	Hi-Z	●	●	●	●	●	●	●	●	●			●		
18	13	27	11	10	9	6	8	LED2/LEDC2/PWM0B/AD21/P0.2	I/O	Hi-Z	●	●	●	●	●	●	●	●		●				
17	14	26	12	11	8	4	9	LED3/LEDC3/PWM1B/AD22/P0.3	I/O	Hi-Z	●	●	●	●	●	●	●	●		●				
1	15	25	13	12	1	3	10	PWM2B/AD0/P0.4	I/O	Hi-Z	●	●	●	●	●	●		●		●				
2	—	—	—	—	—	2	—	AD1/P0.5	I/O	Hi-Z	●	●	●	●	●	●		●						
3	16	13	14	—	—	20	—	LED8/LEDS4/XI/AD2/P2.0	I/O	Hi-Z	●	●	●	●	●	●	●	●						Crystal
4	17	14	15	—	—	21	—	LEDS5/XO/AD3/P2.1	I/O	Hi-Z	●	●	●	●	●	●	●	●						Crystal
5	18	15	16	13	2	22	11	LED6/LEDS2/RSTn/P3.7	I/O	Hi-Z	●	●	●	●	●	●	●							Reset
6	19	16	—	14	—	23	12	LED5/LEDS1/(RXD2)TXD2/P3.6	I/O	Hi-Z	●	●	●	●	●	●		●						
7	20	17	—	15	—	24	13	LED4/LEDS0/T1/(TXD2)RXD2/P3.5	I/O	Hi-Z	●	●	●	●	●	●		●		●		●		
8	21	18	—	16	—	—	—	LED7/LEDS3/T0O/T0/P3.4	I/O	Hi-Z	●	●	●	●	●	●	●				●			T0O
9	22	19	17	—	—	—	—	AD4/T2O/T2/P1.0	I/O	Hi-Z	●	●	●	●	●	●		●			●			T2O
10	23	—	18	—	—	25	—	AD5/T2EX/P1.1	I/O	Hi-Z	●	●	●	●	●	●		●			●			
11	24	20	19	17	3	26	14	AD6/P1.2	I/O	Hi-Z	●	●	●	●	●	●		●						
12	—	—	20	—	—	—	—	AD7/P1.3	I/O	Hi-Z	●	●	●	●	●	●		●						
13	25	21	21	18	—	—	15	AD8/CKO/P1.4	I/O	Hi-Z	●	●	●	●	●	●		●						CKO
14	28	22	24	1	7	27	18	PWM0A/AD9/P1.5	I/O	Hi-Z	●	●	●	●	●	●		●		●				
15	26	23	22	19	5	28	16	PWM1A/AD10/P1.6	I/O	Hi-Z	●	●	●	●	●	●		●		●				
16	27	24	23	20	6	1	17	PWM2A/AD12/P1.7	I/O	Hi-Z	●	●	●	●	●	●		●		●				
22	2	10	9	7	1	5	5	VSS	P															
21	1	9	10	9	16	7	7	VCC	P															

功能描述

1. CPU 核心

采用 8051 的架构, C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器, 可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码, 以确保一个简单的移植路径, 以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字 (PSW), 累加器 (ACC), B 寄存器, 堆栈指针 (SP), 数据指针, 编程计数器, 指令译码器, 以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中, 累加器被表示为“A”或“ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器 (B)

“B”寄存器和 ACC 是非常相似的, 可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则, 它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 结果数存储在 B。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令, A 里面的数会除以 B 的数, 得到的答复是存储在 A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针 (SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**: 堆栈指针

1.4 数据指针 (DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节 (DPH) 和低字节 (DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**: 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**: 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	0	0	0	0

F8h.0 **DPSEL**: 活动 DPTR 选择

1.5 程序状态字 (PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**: ALU 进位标志

D0h.6 **AC**: ALU 辅助进位标志

D0h.5 **F0**: 通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1, RS0) 的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

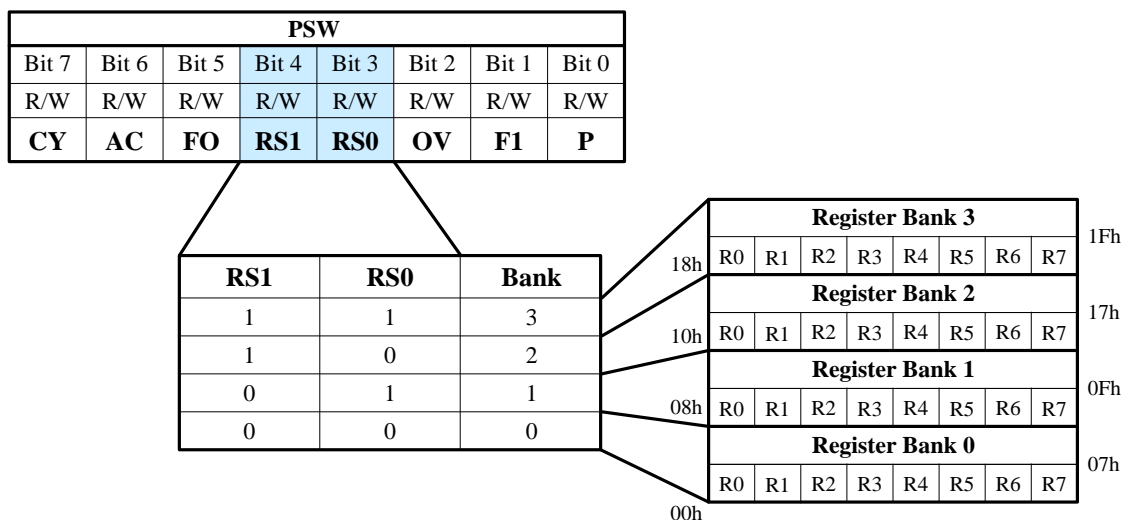
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**: ALU 溢出标志

D0h.1 **F1**: 通用的使用者定义标志

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



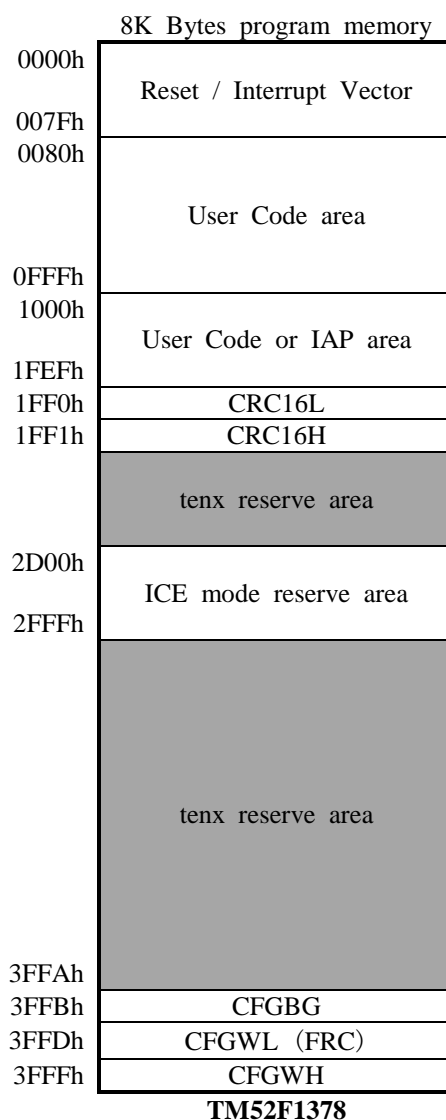
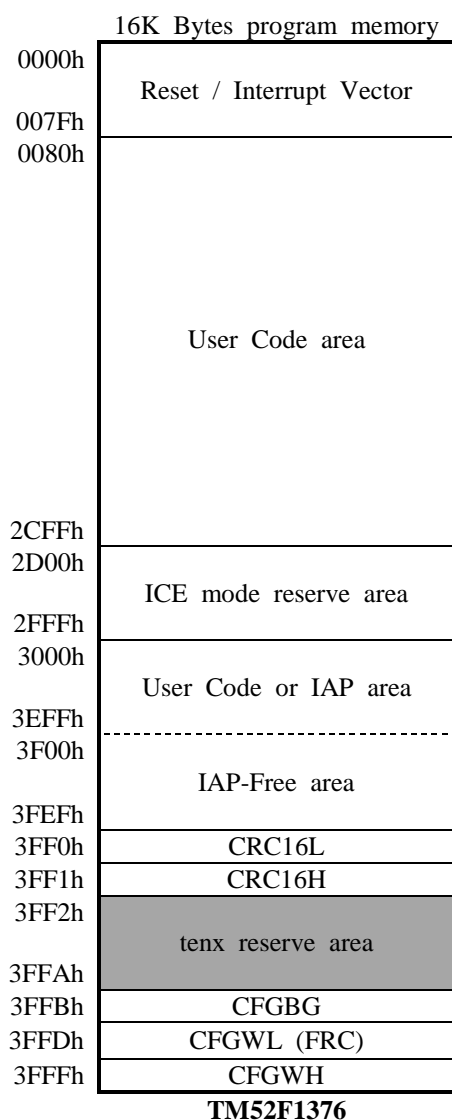
2. 存储器

2.1 程序存储器

TM52F1376 有 16K 字节的闪存程序存储器, **TM52F1378** 有 8K 字节的闪存程序存储器, 可支持在线编程 (ICP), 在应用编程 (IAP) 和在系统编程 (ISP) 功能模式。此闪存可反复擦写至少 1,000 次以上。闪存程序存储器的连续地址空间 (0000h~3FFFh) 被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 16 个字节 (3FF0h~3FFFh) 被定义为芯片配置字 (CFGW), 在上电复位 (POR) 时, 它会被装载到装置控制寄存器。0000h~007Fh 被标准 8051 定义为复位/中断向量。**TM52F1376** 地址空间 3000h~3FEFh 是 IAP 区域 (其中 3F00h~3FEFh 是 IAP 自由区域), 而 **TM52F1378** 的 IAP 区域地址空间则是在 1000h~1FEFh。。在线仿真 (ICE) 模式下, 用户还需要预留 2D00h~2FFFh 的地址空间以供 ICE 系统通讯使用。CRC16H/L 是校验和的保留区域。tenx 可以提供 CRC 验证子程序。用户可以通过 CRC 校验子程序计算校验和, 与 CRC16H/L 进行比较, 并检查 ROM 代码的有效性。



2.1.2 FLASH ICP 模式

闪存存储器可以通过 tenx 专有的烧录器 (TWR99/TWR100)，这需要至少四根线 (VCC, VSS, P3.0 和 P3.1 引脚) 连接到该芯片以进行编程。引脚 P3.0 和 P3.1 可以置换成引脚 P0.0 和 P0.1。如果用户想在目标电路板上的闪存进行编程 (在电路编程, ICP)，这些引脚必须保留足够的自由来连接到烧录器，最好不要连接电路；如果要连接电路的话，请参考相关 AP 资料。

连接线数目	连接管脚
4 线	VCC, VSS, P3.0, P3.1
	VCC, VSS, P0.0, P0.1

2.1.3 闪存 IAP 模式

TM52F1376/78 有“在应用编程” (IAP) 功能它允许软件在 CPU 运行时对闪存存储器读/写数据，就像对 EEPROM 存取数据一样方便。IAP 功能是单字节的写入，这意味着 TM52F1376/78 并不需要在写入前擦除一整个闪存页面。IAP 可用数据空间是芯片复位后 240 个字节，并且可以由“IAPALL”控制寄存器重新定义，如下所示。

16K Bytes Flash Program memory		Flash memory	IAPALL	MOVC Accessible	MOVX (IAP) Accessible
0000h	IAP-All area	0000h~3EFFh	0	Yes	No
3EFFh			1	Yes	Yes
3F00h	IAP-Free area	3F00h~3FEFh	X	Yes	Yes
3FEFh	CFGW area	3FF0h~3FF7h	X	Yes	Yes
3FF0h		3FF8h~3FFEh	0	Yes	No
			1	Yes	Yes
3FFFh		3FFFh	X	Yes	No

在 IAP 模式下，闪存程序存储器分为三个扇区：IAP 全区，IAP 自由区，然后 CFGW 区。这三个扇区是不同的管制。

IAP 全区由 IAPALL 寄存器保护，以防止在 IAP 模式中，写入应用程序的数据跑到程序区，产生了程序代码错误而无法修复。这个区域的大小是 16218 字节。启用 IAPALL 需要写入 65h 到 SFR SWCMD 97h 位置以设置 IAPALL 控制标志。然后，软件可以使用 MOVX 指令来把应用程序的数据写入闪存 0000h 到 3EFFh 的位置。如果用户希望禁用 IAPALL 功能，用户可以将其它值写入 SFR SWCMD 97h 以清除 IAPALL 控制标志。用户必须小心，不要覆盖其它已经存在同一个闪存位置的程序代码。

IAP 自由区没有控制位来保护。它可以可靠地存储系统操作中一次或定期编程的应用数据。闪存其它区域也可用于存储数据，但这个区域通常是最好的。这个区域的大小是 240 字节，等效于一个 EEPROM。IAP 模式支持闪存单字节存取。TM52F1376/78 额外提供了一个实体 128 byte 的 EEPROM，比起闪存，EEPROM 拥有较广泛的写入电压以及擦写次数，建议优先使用 EEPROM 来存储数据。

CFGW 区域设有 3 个数据字节 (CFGWH, CFGWL 和 CFGBG), 它位于了闪存存储器的最后 16 个地址。CFGWH 是不可被 IAP 存取的, 当 IAPALL 标志被设置后 CFGWL 和 CFGBG 可被 IAP 存取。上电复位后, CFGWL 被复制到 SFR F6h, CFGBG 被复制到 SFR F5h, 之后软件可以通过修改 SFR F6h 及 F5h 来接管 CFGWL 和 CFGBG 的控制能力。

2.1.4 IAP 模式访问例程

IAP 闪存写入通过“MOVX @DPTR, A”指令来实现, 而数据指针 (DPTR) 包含闪存的目标地址 (0000h~3FFFh), ACC 包含要写入的数据。TM52F1376/78 只有在 IAPWE SFR 使能时才会接受 IAP 写入命令。IAP 闪存写入大约需要 2 ms @V_{CC}=3.5V, 1 ms @V_{CC}=5V。同时, CPU 处于等待状态, 但所有外设模块 (定时器等) 在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。同时 TM52F1376/78 内建一个 IAP 看门狗定时器, 用以离开当写入失败的卡死状态。IAP 闪存写入需要 V_{CC} > 3.5V。

由于程序存储器和 IAP 数据共享同一个实体空间, 只要目标地址指向 0000h~3FFFh 区域, IAP 可以通过“MOVX @A, DPTR”或“MOVC”指令读取闪存, 可联络 FAE 取得详细信息。闪存的 IAP 读取不需要额外的 CPU 等待时间。

```
; IAP示例代码 (汇编)
;需要 3.5V < VDD < 5.5V
MOV     DPTR, #3F00h      ; DPTR=3F00h=target IAP address
MOV     A, #5Ah           ; A=5Ah=target IAP write data
MOV     IAPWE, #47h       ; IAP write enable
MOV     AUX2, #02h        ; IAP Time-Out function enable
MOVX    @DPTR, A          ; Flash[3F00h] =5Ah, after IAP write
                          ; 1ms~2ms H/W writing time, CPU wait
MOV     IAPWE, #00h       ; IAP write disable, immediately after IAP write
CLR     A                  ; A=0
MOVC    A, @A+DPTR        ; A=5Ah
```

```
; IAP示例代码 (C语言)
;需要 3.5V < VDD < 5.5V

unsigned char xdata PROM[4096] _at_ 0x2000 // 0x2000 = start address
unsigned char code CODE[4096] _at_ 0x2000 // 0x2000 = start address

IAPALL = 0x65;
IAPWE = 0x47;
PROM[0x02] = wdata; // write data into ROM[0x2002]
IAPWE = 0x00;
IAPALL = 0x00;

rdata = CODE[0x105]; // read data from ROM[0x2105]
```


SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
	—						WDTO	IAPALL
R/W	W						R	R
Reset	—						0	0

97h.7~0 **IAPALL(W)**: 写入 65h 以设置 IAPALL 控制标志, 写入其它值则清除 IAPALL 标志。建议 IAP 写入命令完成后, 立即清除 IAPALL 标志。

97h.0 **IAPALL(R)**: 该标志指示闪存扇区可否通过 IAP 进行存取。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE	IAPWE/EEPWE							
	IAPWE	IAPTO	EEPWE	—				
R/W	R	R	R	W				
Reset	0	0	0	—				

C9h.7~0 **IAPWE (W)**: IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM, 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 标志。

C9h.7 **IAPWE (R)**: 读回 IAPWE 标志。

C9h.6 **IAPTO (R)**: 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPWE, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.2~1 **IAPTE**: IAP 或 EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

01: 启用看门狗定时, 等待 1mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

10: 启用看门狗定时, 等待 3.9mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

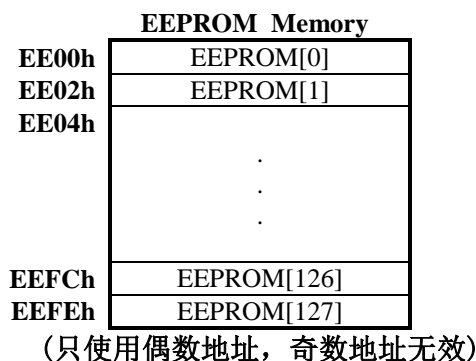
11: 启用看门狗定时, 等待 7.8mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

2.1.5 闪存 ISP 模式

“在系统编程”(ISP)的用法和 IAP 类似, 但目的是为了刷新程序代码。用户可以使用 UART 或其他方法从外部主机来获得新的程序代码, 然后用 IAP 相同的方式写入代码。ISP 操作复杂;基本上它需要指定一个启动代码区, 不受 ISP 过程而被改变的闪存区。

2.2 EEPROM 数据存储

TM52F1376/78 包含了一个 128 字节的 EEPROM 数据存储。它被组织为一个单独的数据空间，可以读取和写入单个字节。EEPROM 具有至少 5 万次的写入/擦除周期耐久性。



EEPROM 数据写入使用类似闪存 IAP 的方式，通过“MOVX @DPTR, A”指令来实现，数据指针 (DPTR) 包含 EEPROM 的目标地址 (EE00h~EEFEh，地址每次跳 2，即 Addr.=Addr.+2)，ACC 包含要写入的数据。写入大约需要 2 ms @V_{CC}=3V，1 ms @V_{CC}=5V。同时，CPU 处于等待状态，但所有外设模块(定时器等)在写入期间继续运行。软件必须在 EEPROM 数据写入完成后处理期间产生的中断。同时 TM52F1376/78 内建一个 EEPROM 看门狗定时器(与 IAP 看门狗定时器共享)，用以离开当写入失败的卡死状态。EEPROM 数据写入需要 V_{CC} > 3.0V。

通过“MOVX A, @DPTR”指令，只要将目标地址指向 EE00h~EEFEh 区域，便可以**读取 EEPROM 数据**。EEPROM 数据读取大约需要 300ns。

```

; EEPROM示例代码
; 需要3.0V < VDD < 5.5V
MOV    DPTR, #0EE00h    ; DPTR=EE00h=target EEPROM[0] address
MOV    A, #0A5h         ; A=A5h=target EEPROM[0] write data
MOV    EEPWE, #0E2h     ; EEPROM write enable
MOV    AUX2, #004h      ; EEPROM Time-Out function enable
MOVX   @DPTR, A         ; EEPROM[0]=A5h, after EEPROM write
                        ; 1ms~2ms H/W writing time, CPU wait
MOV    EEPWE, #000h     ; EEPROM write disable, immediately after EEPROM write
CLR    A                ; A=0
MOVX   A, @DPTR         ; A=A5h
    
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE	IAPWE/EEPWE							
	IAPWE	IAPTO	EEPWE	—				
R/W	R	R	R	W				
Reset	0	0	0	—				

C9h.7~0 **EEPWE(W)**: IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM; 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 或 EEPWE 标志。

C9h.6 **IAPTO(R)**: 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPWE, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

C9h.5 **EEPWE(R)**: 读回 EEPWE 标志

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.2~1 **IAPTE**: IAP 或 EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

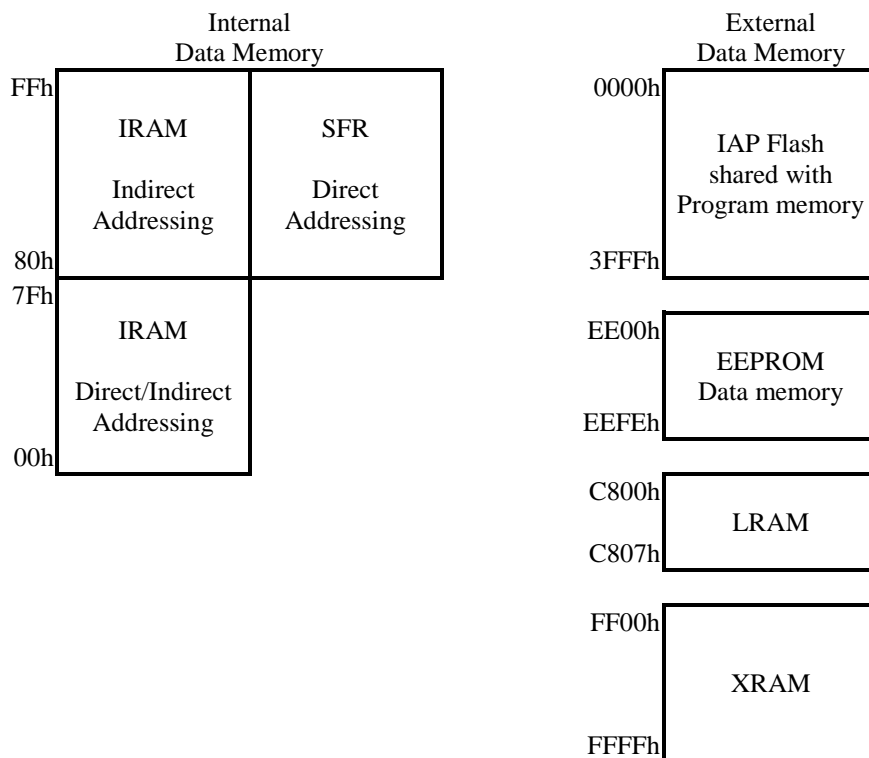
01: 启用看门狗定时, 等待 1mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

10: 启用看门狗定时, 等待 3.9mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

11: 启用看门狗定时, 等待 7.8mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

2.3 数据存储器

作为标准 8051，该芯片同时具有内部和外部数据存储空间。内部数据存储空间由 256 字节 IRAM 和 SFR，这可通过丰富的指令集进行存取。外部数据存储器空间由 256 字节的 XRAM，8 字节的 LCDRAM，128 字节的 EEPROM 和 IAP 闪存，只能通过 MOVX 指令存取。



2.3.1 IRAM

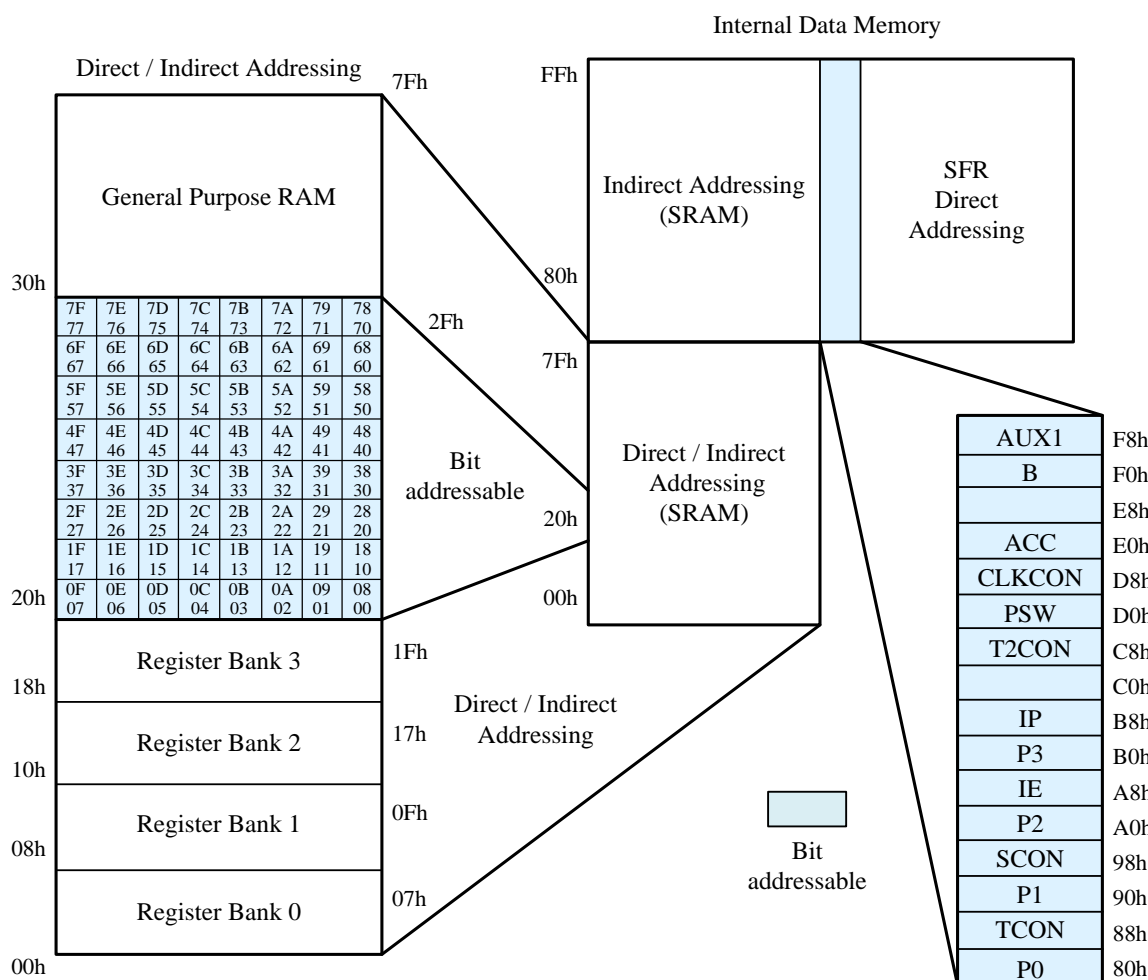
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取，只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(由 PSW 开关)，占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.3.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FF00h 到 FFFFh)。256 字节 XRAM 只能通过“MOVX”指令存取。

2.3.3 SFRs

所有的外围功能模块，如 I/O，芯片的定时器/计数器、串口(UART)操作都是通过特殊功能寄存器(SFR)存取设置。这些寄存器占用高 128 字节位置直接数据存储空间上的 80h 到 FFh 范围。有 14 可位寻址的 SFR(这意味着单个字节内部的 8 个各别的位是可寻址的)，如 ACC, B 寄存器, PSW, TCON, SCON 和其他。其它 SFR 只能按字节寻址。SFR 提供了内部资源和该芯片的外围设备进行数据交换和控制。在 TM52 系列微控制器提供了与标准 8051 指令集完全兼容的二进制代码。除了标准 8051 特殊功能寄存器外，该芯片还实现了用于配置和存取额外子系统的特殊功能寄存器，例如 ADC/LED/LCD 等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h		SIADR	SICON	SIRCD1	SITXRCD2			AUX3
E0h	ACC	MICON	MIDAT				EXA	EXB
D8h	CLKCON	PWM0PRDH	PWM0PRDL	PWM1PRDH	PWM1PRDL	PWM2PRDH	PWM2PRDL	
D0h	PSW	PWM0DH	PWM0DL	PWM1DH	PWM1DL	PWM2DH	PWM2DL	
C8h	T2CON	IAPWE	RCP2L	RCP2H	TL2	TH2	EXA2	EXA3
C0h								
B8h	IP	IPH	IP1	IP1H				LVDS
B0h	P3	LEDCON	LEDCON2				ADCHS	
A8h	IE	INTE1	ADCDL	ADCDH				
A0h	P2	PWMCON	PINMOD10	PINMOD32	PINMOD54	PINMOD76	PINMOD	PWMCON2
98h	SCON	SBUF						
90h	P1	PORTIDX			OPTION	INTFLG	INTPIN	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1	SCON2	SBUF2
80h	P0	SP	DPL	DPH		INTPORT	INTPWM	PCON

3. 低电压复位和低电压检测

该芯片提供低电压复位（LVR）和低电压检测（LVD）功能。CFGWH 可选择 16 级的 LVR，SFR LVDS 可选择 16 级 LVD。而 SFR PWRSAV 和 LVRPD 位也会影响 LVR 功能，如下表所示。

操作模式	SFR		CFGWH	低电压复位 (LVR)	功能	Note
	LVRPD	PWRSAV	LVRE			
快钟模式 慢钟模式	0	X	0000	ON	LV Reset 2.05V	
	0	X	0001	ON	LV Reset 2.19V	
	0	X	0010	ON	LV Reset 2.33V	
	0	X	0011	ON	LV Reset 2.47V	
	0	X	0100	ON	LV Reset 2.61V	
	0	X	0101	ON	LV Reset 2.75V	
	0	X	0110	ON	LV Reset 2.89V	
	0	X	0111	ON	LV Reset 3.03V	
	0	X	1000	ON	LV Reset 3.17V	
	0	X	1001	ON	LV Reset 3.31V	
	0	X	1010	ON	LV Reset 3.45V	
	0	X	1011	ON	LV Reset 3.59V	
	0	X	1100	ON	LV Reset 3.73V	
	0	X	1101	ON	LV Reset 3.87V	
	0	X	1110	ON	LV Reset 4.01V	
	0	X	1111	ON	LV Reset 4.15V	
空闲模式 停止模式 暂停模式	0	0	0000	ON	LV Reset 2.05V	电流消耗约 60~100uA
	0	0	0001	ON	LV Reset 2.19V	
	0	0	0010	ON	LV Reset 2.33V	
	0	0	0011	ON	LV Reset 2.47V	
	0	0	0100	ON	LV Reset 2.61V	
	0	0	0101	ON	LV Reset 2.75V	
	0	0	0110	ON	LV Reset 2.89V	
	0	0	0111	ON	LV Reset 3.03V	
	0	0	1000	ON	LV Reset 3.17V	
	0	0	1001	ON	LV Reset 3.31V	
	0	0	1010	ON	LV Reset 3.45V	
	0	0	1011	ON	LV Reset 3.59V	
	0	0	1100	ON	LV Reset 3.73V	
	0	0	1101	ON	LV Reset 3.87V	
	0	0	1110	ON	LV Reset 4.01V	
	0	0	1111	ON	LV Reset 4.15V	
空闲模式	0	1	XXXX	ON	Disable LVR Enable POR 2.05V	电流消耗约 40uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	*最小电流消耗约 0.1uA
快钟模式 慢钟模式 空闲模式	1	X	XXXX	ON	Disable LVR Enable POR 2.05V	电流消耗约 40uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	*最小电流消耗约 0.1uA

注：暂停模式会比停止模式多了 SRC 启用的耗电流约 5.5 ~ 23uA。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAB	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.5 **PWRSAB**: 设置 1 可降低空闲和停止模式下芯片的功耗

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	–	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	–	R/W	R/W	R/W	R/W	R/W
Reset	0	0	–	0	0	0	0	0

F8h.3 **LVRPD**: 低电压复位功能禁止

0: LVR 启用

1: LVR 禁用

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDS	LVDPD	LVDO	–	–	LVDS			
R/W	R/W	R	–	–	R/W	R/W	R/W	R/W
Reset	0	0	–	–	0	0	0	0

BFh.7 **LVDPD**: 低电压检测功能禁止（在空闲和停止模式下自动禁用）

0: LVD 启用

1: LVD 禁用

BFh.6 **LVDO**: 低电压检测输出

BFh.3~0 **LVDS**: 低电压检测功能选择

0000: 将 LVD 设置为 2.05V

0001: 将 LVD 设置为 2.19V

0010: 将 LVD 设置为 2.33V

0011: 将 LVD 设置为 2.47V

0100: 将 LVD 设置为 2.61V

0101: 将 LVD 设置为 2.75V

0110: 将 LVD 设置为 2.89V

0111: 将 LVD 设置为 3.03V

1000: 将 LVD 设置为 3.17V

1001: 将 LVD 设置为 3.31V

1010: 将 LVD 设置为 3.45V

1011: 将 LVD 设置为 3.59V

1100: 将 LVD 设置为 3.73V

1101: 将 LVD 设置为 3.87V

1110: 将 LVD 设置为 4.01V

1111: 将 LVD 设置为 4.15V

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE				PREAD	FRCPSC

3FFFh.5~2 **LVRE**: 低电压复位功能选择

0000: 将 LVR 设置为 2.05V

0001: 将 LVR 设置为 2.19V

0010: 将 LVR 设置为 2.33V

0011: 将 LVR 设置为 2.47V

0100: 将 LVR 设置为 2.61V

0101: 将 LVR 设置为 2.75V

0110: 将 LVR 设置为 2.89V

0111: 将 LVR 设置为 3.03V

1000: 将 LVR 设置为 3.17V

1001: 将 LVR 设置为 3.31V

1010: 将 LVR 设置为 3.45V

1011: 将 LVR 设置为 3.59V

1100: 将 LVR 设置为 3.73V

1101: 将 LVR 设置为 3.87V

1110: 将 LVR 设置为 4.01V

1111: 将 LVR 设置为 4.15V

4. 复位

该芯片有五种类型的复位方法。上电复位 (POR)，外部引脚复位 (XRST)，软件复位 (SWRST)，看门狗定时器复位 (WDTR) 和低电压复位 (LVR)。CFGW 控制复位功能。复位后 SFR 是返回到默认值。

4.1 上电复位

上电复位后，设备停留在复位状态，进行 40mS 的芯片预热，然后从 Flash 的最后六个字节下载 CFGW 寄存器 (其它复位不会重新加载 CFGW)。上电复位需要 VCC 引脚的电压先放电至接近 V_{SS} 电平，然后再上升超过 2.2V。

4.2 外部引脚复位

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位

软件复位是通过将数据 56h 写入 SFR 中的 97h 地址来产生。

4.4 看门狗定时器复位

WDT 溢出复位被 SFR F7h 来控制。WDT 使用 SRC 作为计数时基。它在快钟/慢钟模式运行，在空闲/停止模式下可选运行或停止。看门狗定时器溢出速度可通过 WDTPSC SFR 定义。WDT 由 CLRWDT SFR 或复位清零。

4.5 低电压复位

该芯片提供 16 个低电压复位 (LVR) 选项, 用户可由 CFGWH 作出选择。

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE				PREAD	FRCPSC

3FFFh.6 **XRSTE**: 外部引脚复位控制

0: 启用外部引脚复位

1: 禁用外部引脚复位

3FFFh.5~2 **LVRE**: 低电压复位功能选择

0000: 将 LVR 设置为 2.05V

0001: 将 LVR 设置为 2.19V

0010: 将 LVR 设置为 2.33V

0011: 将 LVR 设置为 2.47V

0100: 将 LVR 设置为 2.61V

0101: 将 LVR 设置为 2.75V

0110: 将 LVR 设置为 2.89V

0111: 将 LVR 设置为 3.03V

1000: 将 LVR 设置为 3.17V

1001: 将 LVR 设置为 3.31V

1010: 将 LVR 设置为 3.45V

1011: 将 LVR 设置为 3.59V

1100: 将 LVR 设置为 3.73V

1101: 将 LVR 设置为 3.87V

1110: 将 LVR 设置为 4.01V

1111: 将 LVR 设置为 4.15V

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		–	–
R/W	–	R/W	R/W		R/W		–	–
Reset	–	0	0	0	0	0	–	–

94h.5~4 **WDTPSC**: 看门狗定时器预分频时间选择

00: 240ms WDT 溢出率

01: 120ms WDT 溢出率

10: 60ms WDT 溢出率

11: 30ms WDT 溢出率

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	–	–	ADIF	–	–	PCIF	TF3
R/W	R/W	–	–	R/W	–	–	R/W	R/W
Reset	0	–	–	0	–	–	0	0

95h.7 **LVDIF**: 低电压检测标志

由硬件设置。软件将 7Fh 写入 INTFLG 以清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W						R/W	R/W
Reset	–						–	0

97h.7~0 **SWRST**: 写入 56h 以产生软件复位

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.7~6 **WDTE**: 看门狗定时器复位控制

0x: 看门狗定时器复位关闭

10: 看门狗定时器复位于快钟/慢钟模式下使能, 空闲/停止/暂停模式时禁止

11: 看门狗定时器复位始终启用

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	–	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	–	R/W	R/W	R/W	R/W	R/W
Reset	0	0	–	0	0	0	0	0

F8h.7 **CLRWDT**: 设置以清除看门狗定时器, 硬件自动在一个时钟周期清除它。

F8h.3 **LVRPD**: 低电压复位功能禁止

0: LVR 启用

1: LVR 禁用

5. 时钟电路和工作模式

5.1 时钟电路

该芯片设计有双时钟系统。在运行时，用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1, 2, 4 或 16 的时钟分频器。快时钟可选用 FXT(快速晶振, 1~18 MHz)或 FRC(快速内部 RC, 18.432 MHz)。慢时钟可以选用 SXT(慢速晶振, 32 KHz)或 SRC(慢速内部 RC, 130 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。

复位后，该设备在慢钟模式 130 KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下，18 MHz 的系统时钟频率需要 $V_{CC}>2.2V$ 。

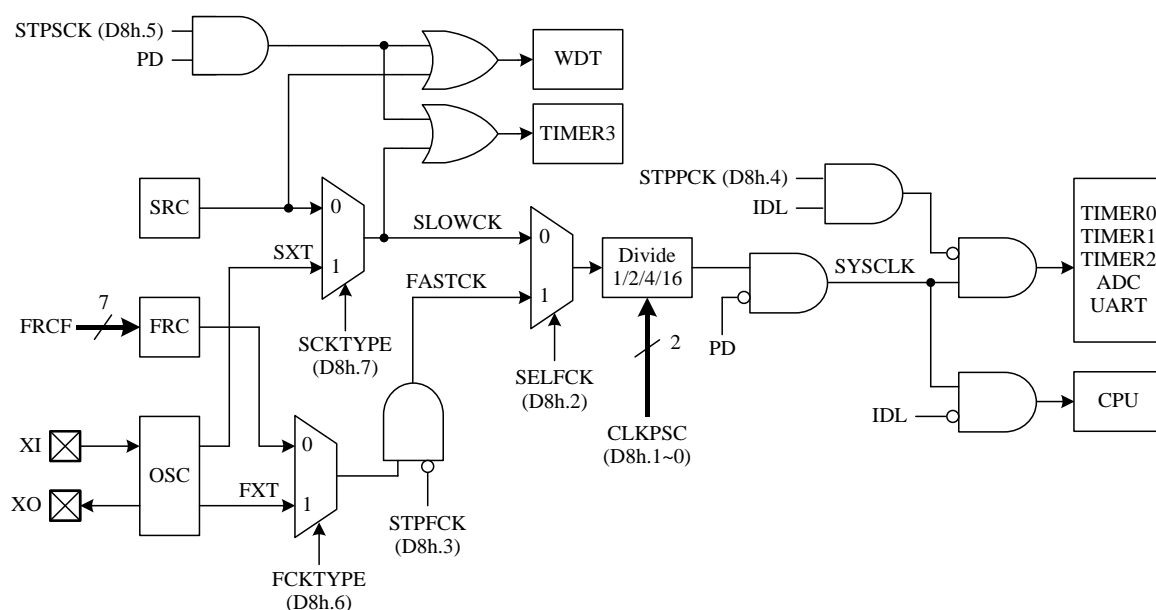
该芯片有两个外部振荡器连接到 XI/XO 引脚。它依赖于外部电路提供时钟信号、频率的稳定，例如一个独立的振荡器，石英晶体或陶瓷谐振器。在快钟模式中，快速振荡器可以使用的范围为 1~18 MHz。在慢钟模式下，慢速振荡器只能使用 32.768 KHz 的时钟频率。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型，在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK=1 & SELFCK=1。建议在写这个 SFR 时一次只写一个位。

如果使用者想要将 F_{sys} 从慢速时钟切换到 FXT，用户应该按照以下步骤操作

1. 设置 FCKTYPE (D8h.6)
2. 等待 2ms 直到 FXT 振荡稳定
3. 设置 SELFCK (D8h.2)

该芯片还可以向 P1.4 引脚输出“系统时钟 2 分频”信号(CKO)。CKO 引脚的输出设置由 PINMODE SFR 控制（参见第 7 节）。



注：由于 CLKPSC 延迟，在将慢时钟切换为快时钟之前，它需要等待 16 个时钟周期（最大）。另请参阅 AP-TM52XXXXX_01S 和 AP-TM52XXXXX_02S 有关系统时钟的应用笔记。

SYSCLK	CLKCON (D8h)			
	bit7 SCKTYPE	bit6 FCKTYPE	bit3 STPFCK	bit2 SELFCK
Fast FXT	0/1	1	0	1
Fast FRC	0/1	0	0	1
Slow SXT	1	0/1	0/1	0
Slow SRC	0	0/1	0/1	0
Fast type change	0/1	0 \leftarrow \rightarrow 1	0/1	0
Slow type change	0 \leftarrow \rightarrow 1	0/1	0	1
Stop FRC/FXT	0/1	0/1	0 \rightarrow 1	0
Switch to FRC/FXT	0/1	0/1	0	0 \rightarrow 1
Switch to SRC/SXT	0/1	0/1	0	1 \rightarrow 0

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCF						
R/W	—	R/W						
Reset	—	—	—	—	—	—	—	—

F6h.6~0 **FRCF**: FRC频率调整
00h= 频率最低, 7Fh=频率最高

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0: SRC, P2.1, P2.0 为 I/O 引脚

1: SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE**: 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FRC, P2.1, P2.0 为 I/O 引脚

1: FXT, P2.1, P2.0 为晶振引脚

D8h.5 **STPSCK**: 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

5.2 操作模式

这个设备有 5 种操作模式。**快钟模式**被定义为在快时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟速度运行的 CPU。当系统时钟速度较低，功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源，但慢时钟的省电越好。在空闲模式下，CPU 进入睡眠，而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1，Timer0/1/2，ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位及 CLKCON 中的 STPSCK 位进入。这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下，除了 WDT 时钟可能开启，其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置 PCON 中的 PD 位及清除 CLKCON 中的 STPSCK 位进入。在暂停模式下，所有时钟都停止，但如果启用了 Timer3 和 WDT，则它们可能处于开启状态。暂停模式可以通过复位，引脚唤醒或 Timer3 中断来终止。在这模式下，Timer3 时钟源只能选择慢时钟，不能选择 FRC/512。

注：如果 INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0~1)

注：固件必须关闭 Bandgap 以获得最小电流消耗 (VBGOUT=0)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD：**停止位，如果 1 进入停止模式。

87h.0 **IDL：**空闲位，如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE：**慢时钟类型。该位只能在快钟模式(SELFCK=1)时改变。

0: SRC, P2.1, P2.0 为 I/O 引脚

1: SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE：**快时钟类型。该位只能在慢钟模式(SELFCK=0)时改变。

0: FRC, P2.1, P2.0 为 I/O 引脚

1: FXT, P2.1, P2.0 为晶振引脚

D8h.5 **STPSCK：**设为 1，停止慢钟在停止模式。

D8h.4 **STPPCK：**设为 1，停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK：**设为 1，停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK：**系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟 1: 快时钟

D8h.1~0 **CLKPSC：**系统时钟分频器，生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	–	TM3CKS	WDTPSC		ADCKS		–	–
R/W	–	R/W	R/W		R/W		–	–
Reset	–	0	0	0	0	0	–	–

94h.6 **TM3CKS:** Timer3 Clock Source select
0: Slow clock (SXT/SRC)
1: FRC/512 (36KHz)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAP	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT:** VBG 电压输出至 P3.2
0: 关闭
1: 启用

6. 中断和唤醒

该芯片有 13 源四级中断优先级结构。只有引脚中断可以从停止/暂停模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1，中断事件将设置其个别的中断标志。中断向量和标志列表如下。

Vector	Flag	Description
0003	IE0	INT0 外部引脚中断(可以唤醒停止/暂停模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒停止/暂停模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART1)中断
002B	TF2+EXF2	Timer2 中断
0033	—	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	PCIF	Port0~PORT3 外部引脚电平变化中断(可以唤醒停止/暂停模式)
004B	LVDIF	LVD 中断
0053	ADIF	ADC 中断
005B	—	保留
0063	RI2+TI2	串口(UART2)中断
006B	MIIF TXDF RCD2F RCD1F	I ² C 中断
0073	PWM0IF PWM1IF PWM2IF	PWM0~2 中断

中断向量和标志

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。IP, IPH, IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务，需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时，新的中断将等待被服务，直到它之前的服务完成。如果较低优先级中断正被服务时，将被停止，开始新的中断服务。当新的中断结束后，被停止的较低优先级的中断才会被完成。

6.2 关于中断子程序的建议

在进入中断程序时，除了传统已熟知应执行 PUSH, POP 的 SFR A 或 PSW 外，有一些用来索引的 SFR 也应该加入 PUSH POP 的行列，如 PORTIDX，以避免中断前后写读这些 SFR 可能造成不一致的问题。另外 PWMDH, PWMDL, PWMPRDH 或 PWMPRDL 为 16 位操作，程序在高字节和低字节写入和读取时，应该避免发生中断。假如在读写这些 16 位的 SFR 其间发生中断，而中断内又对这些 SFR 做读写。则容易造成读写的错误，16 位 PWM period 与 duty 的读写，建议只在主程序内更新数据，或只在中断内更新数据，以避免可能的错误产生。

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	—	PWM2IE	PWM1IE	PWM0IE	—	PWM2CLR	PWM1CLR	PWM0CLR
R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	—	0	0	0	—	0	0	0

- A7h.6 **PWM2IE**: PWM2 中断使能
0: 禁用
1: 允许(注意: PWMIE 必须同时为 1 才能产生 PWM 中断)
- A7h.5 **PWM1IE**: PWM1 中断使能
0: 禁用
1: 允许(注意: PWMIE 必须同时为 1 才能产生 PWM 中断)
- A7h.4 **PWM0IE**: PWM0 中断使能
0: 禁用
1: 允许(注意: PWMIE 必须同时为 1 才能产生 PWM 中断)

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

- A8h.7 **EA**: 总中断使能控制
0: 禁用所有中断
1: 每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**: Timer2 中断使能控制
0: 禁用 Timer2 中断
1: 允许 Timer2 中断
- A8h.4 **ES**: 串口(UART1)中断使能控制
0: 禁用串口(UART1)中断
1: 允许串口(UART1)中断
- A8h.3 **ET1**: Timer1 中断使能控制
0: 禁用 Timer1 中断
1: 允许 Timer1 中断
- A8h.2 **EX1**: INT1 引脚中断和停止模式唤醒使能控制
0: 禁用 INT1 引脚中断和停止模式唤醒
1: 允许 INT1 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A8h.1 **ET0**: Timer0 中断使能
0: 禁用 Timer0 中断
1: 允许 Timer0 中断
- A8h.0 **EX0**: INT0 引脚中断和停止模式唤醒使能控制
0: 禁用 INT0 引脚中断和停止模式唤醒
1: 允许 INT0 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	—	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
Reset	0	0	0	—	0	0	0	0

A9h.7 **PWMIE**: PWM0~PWM2 中断使能

0: 禁用 PWM0~PWM2 中断

1: 允许 PWM0~PWM2 中断

A9h.6 **I2CE**: I²C (主/从) 中断使能

0: 禁用 I²C 中断

1: 允许 I²C 中断

A9h.5 **ES2**: Serial Port (UART2) 中断使能

0: 禁用 Serial Port (UART2) 中断

1: 允许 Serial Port (UART2) 中断

A9h.3 **ADIE**: ADC 中断使能控制

0: 禁用 ADC 中断

1: 允许 ADC 中断

A9h.2 **LVDIE**: LVD 中断使能

0: 禁用 LVD 中断

1: 允许 LVD 中断

A9h.1 **PCIE**: Port0~Port3 引脚电平变化中断使能。该位不影响停止/暂停模式唤醒功能。

0: 禁用 Port0~Port3 引脚电平变化中断

1: 允许 Port0~Port3 引脚电平变化中断

A9h.0 **TM3IE**: Timer3 中断使能控制

0: 禁用 Timer3 中断

1: 允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**: Timer2 中断优先级控制。(PT2H, PT2) =

00: 0 级(最低优先级)

01: 1 级

10: 2 级

11: 3 级(最高优先级)

B9h.4, B8h.4 **PSH, PS**: 串口(UART1) 中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H, PT1**: Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**: INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**: Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**: INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	PPWMH	PI2CH	PS2H	—	PADIH	PLVDH	PPCH	PT3H
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
Reset	0	0	0	—	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM	PI2C	PS2	—	PADI	PLVD	PPC	PT3
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
Reset	0	0	0	—	0	0	0	0

BBh.7,BAh.7 **PPWMH, PPWM**: PWM0~PWM2 中断优先级控制。定义如上。

BBh.6,BAh.6 **PI2CH, PI2C**: I²C (主/从) 中断优先级控制。定义如上。

BBh.5,BAh.5 **PS2H, PS2**: 串口(UART2)中断优先级控制。定义如上。

BBh.3,BAh.3 **PADIH, PADI**: ADC 中断优先级控制。定义如上。

BBh.2,BAh.2 **PLVDH, PLVD**: LVD 中断优先级控制。定义如上。

BBh.1,BAh.1 **PPCH, PPC**: 端口 0 ~ 端口 3 引脚电平变化中断优先级控制。定义如上。

BBh.0,BAh.0 **PT3, PT3**: Timer3 中断优先级控制。定义如上。

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	0	0	0	0	—	1	0	0

EAh.7 **MIIE**: I²C 主中断使能

0: 禁用

1: 使能

EAh.6 **TXDIE**: 从机 I²C 发送完成中断使能

0: 禁用

1: 使能

EAh.5 **RCD2IE**: 从机 I²C DATA2 (SITXRCD2) 接收完成中断使能

0: 禁用

1: 使能

EAh.4 **RCD1IE**: 从机 I²C DATA1 (SIRCD1) 接收完成中断使能

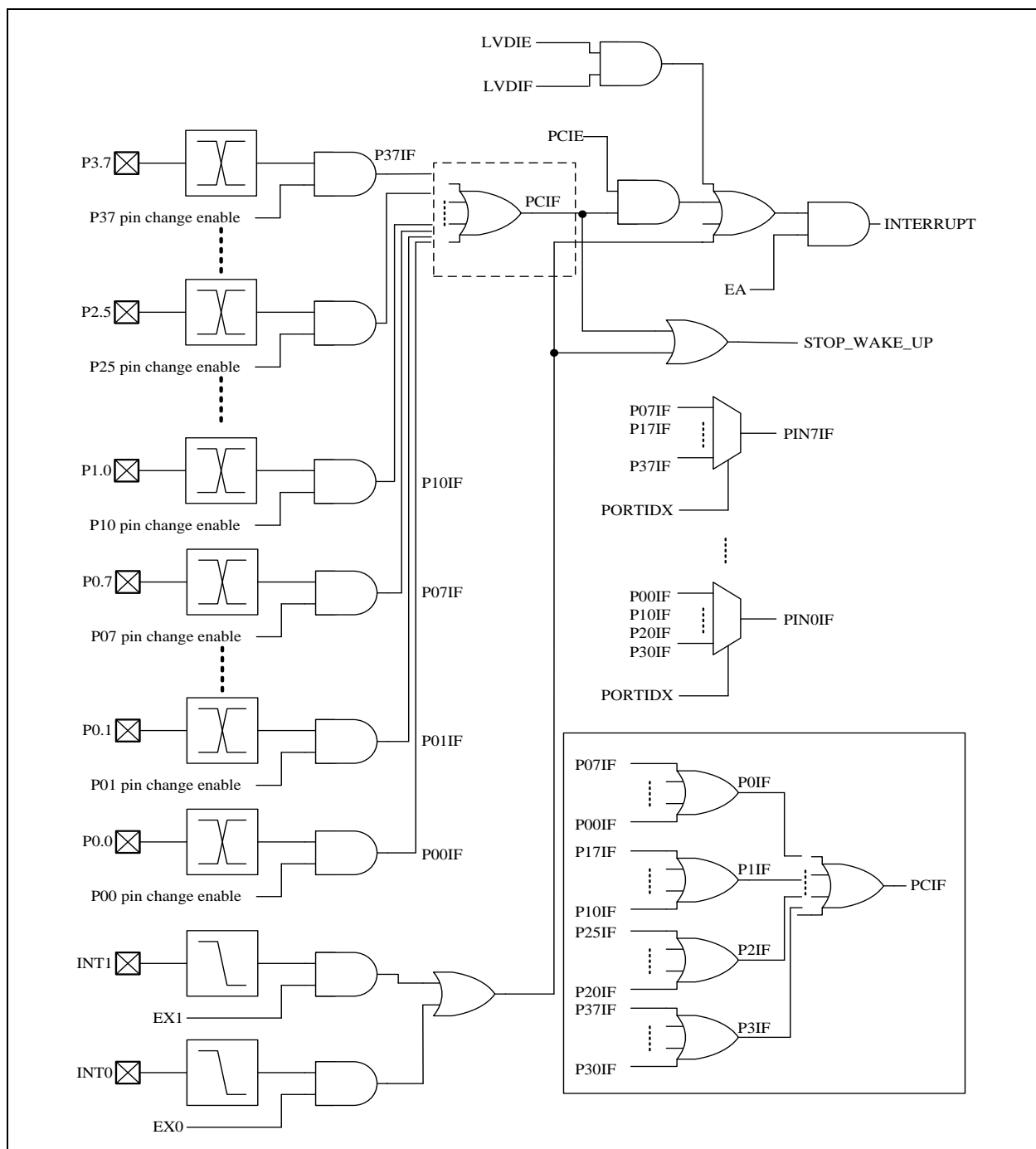
0: 禁用

1: 使能

6.3 引脚中断和 LVD 中断

引脚中断包括 INT0~INT1 和 Port0~Port3 引脚电平变化中断。INT0~INT1 和 Port0~Port3 的引脚变化也具有唤醒功能。INT0 和 INT1 为 8051 标准触发的下降沿或低电平。Port0~Port3 引脚更改中断由 IO 状态更改触发。引脚更改使能通过 PINMOD10 / PINMOD32 / PINMOD54 / PINMOD76 进行设置。有关详细信息，请参见第 7 章。PINMODE 和引脚更改使能设置。而 LVD 中断可用于检测 V_{CC} 电压电平并产生中断。

注：Port0~Port3 的引脚变化唤醒/中断只允许使用在停止/暂停模式，不允许在快钟/慢钟/空闲模式下使用。



引脚中断和唤醒

注：如果 INT_n 引脚为低电平并且使能了唤醒功能，则芯片无法进入停止模式。($INT_n=0$ 和 $EX_n=1$, $n=0\sim1$)

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTPORT	—	—	—	—	P3IF	P2IF	P1IF	P0IF
R/W	—	—	—	—	R/W	R/W	R/W	R/W
Reset	—	—	—	—	0	0	0	0

96h.3 **P3IF**: P3.7~P3.0 引脚电平变化旗标, 写 0 清除 P3.7~P3.0 引脚电平变化旗标。

96h.2 **P2IF**: P2.5~P2.0 引脚电平变化旗标, 写 0 清除 P2.5~P2.0 引脚电平变化旗标。

96h.1 **P1IF**: P1.7~P1.0 引脚电平变化旗标, 写 0 清除 P1.7~P1.0 引脚电平变化旗标。

96h.0 **P0IF**: P0.7~P0.0 引脚电平变化旗标, 写 0 清除 P0.7~P0.0 引脚电平变化旗标。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PORTIDX	—	—	—	—	—	—	PORTIDX	
R/W	—	—	—	—	—	—	R/W	
Reset	—	—	—	—	—	—	0	0

91h.1~0 **PORTIDX**: INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76 的引脚索引

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	—	—	ADIF	—	—	PCIF	TF3
R/W	R	—	—	R/W	—	—	R/W	R/W
Reset	—	—	—	0	—	—	0	0

95h.7 **LVDIF**: 低电压检测标志

由硬件设置。S/W 将 7Fh 写入 INTFLG 以清除该标志。

95h.1 **PCIF**: Port0~Port3 引脚电平变化旗标

当检测到 Port0~Port3 引脚电平变化且其中断允许位被置 1 时, 由硬件置 1。

S/W 可以写 0 来清除所有引脚更改中断标志 (Port0~Port3), 也可以清除 PIN0IF~PIN7F 和 P0IF~P3IF。

注: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTPIN	PIN7IF	PIN6IF	PIN5IF	PIN4IF	PIN3IF	PIN2IF	PIN1IF	PIN0IF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

96h.7 **PIN7IF**: Px.7 引脚电平变化旗标

写 0 清除 Px.7 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

96h.6 **PIN6IF**: Px.6 引脚电平变化旗标

写 0 清除 Px.6 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

96h.5 **PIN5IF**: Px.5 引脚电平变化旗标

写 0 清除 Px.5 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

96h.4 **PIN4IF**: Px.4 引脚电平变化旗标

写 0 清除 Px.4 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

96h.3 **PIN3IF**: Px.3 引脚电平变化旗标

写 0 清除 Px.3 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

96h.2 **PIN2IF**: Px.2 引脚电平变化旗标

写 0 清除 Px.2 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

96h.1 **PIN1IF**: Px.1 引脚电平变化旗标

写 0 清除 Px.1 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

96h.0 **PIN0IF**: Px.0 引脚电平变化旗标

写 0 清除 Px.0 引脚电平变化旗标, 端口号 (x) 由 PORTIDX 定义

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1**: 外部中断 1 (INT1 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1**: 外部中断 1 控制位
 0: 低电平有效(电平触发)的 INT1 引脚
 1: 下降沿有效(边沿触发)的 INT1 引脚
- 88h.1 **IE0**: 外部中断 0 (INT0 引脚) 边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时, 不管 EX0 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0**: 外部中断 0 控制位
 0: 低电平有效(电平触发)的 INT0 引脚
 1: 下降沿有效(边沿触发)的 INT0 引脚

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

- A8h.7 **EA**: 总中断使能控制
 0: 禁用所有中断
 1: 每个中断通过其各个中断控制位使能或禁止
- A8h.2 **EX1**: INT1 引脚中断和停止模式唤醒使能控制
 0: 禁用 INT1 引脚中断和停止模式唤醒
 1: 允许 INT1 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A8h.0 **EX0**: INT0 引脚中断和停止模式唤醒使能控制
 0: 禁用 INT0 引脚中断和停止模式唤醒
 1: 允许 INT0 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	—	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
Reset	0	0	0	—	0	0	0	0

- A9h.2 **LVDIE**: LVD 中断使能
 0: 禁用 LVD 中断
 1: 允许 LVD 中断
- A9h.1 **PCIE**: Port0~Port3 引脚电平变化中断使能。该位不影响停止/暂停模式唤醒功能。
 0: 禁用 Port0~Port3 引脚电平变化中断
 1: 允许 Port0~Port3 引脚电平变化中断

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDS	LVDPD	LVDO	—	—	LVDS			
R/W	R/W	R	—	—	R/W	R/W	R/W	R/W
Reset	0	0	—	—	0	0	0	0

BFh.3~0 **LVDS**: 低电压检测功能选择

0000: 将 LVD 设置为 2.05V

0001: 将 LVD 设置为 2.19V

0010: 将 LVD 设置为 2.33V

0011: 将 LVD 设置为 2.47V

0100: 将 LVD 设置为 2.61V

0101: 将 LVD 设置为 2.75V

0110: 将 LVD 设置为 2.89V

0111: 将 LVD 设置为 3.03V

1000: 将 LVD 设置为 3.17V

1001: 将 LVD 设置为 3.31V

1010: 将 LVD 设置为 3.45V

1011: 将 LVD 设置为 3.59V

1100: 将 LVD 设置为 3.73V

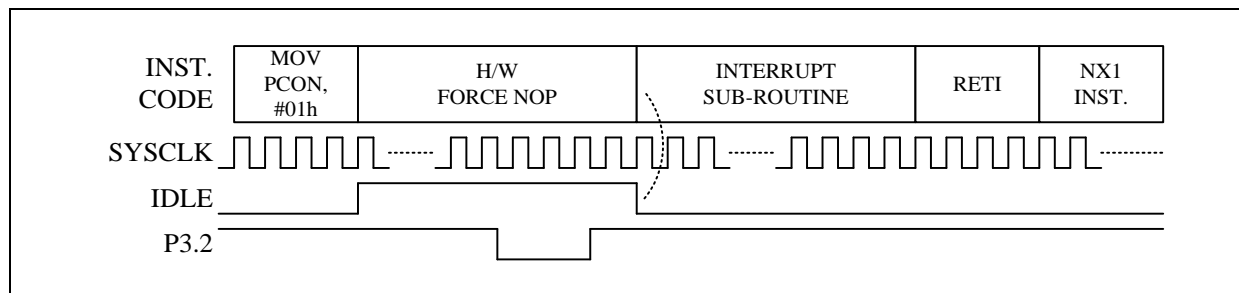
1101: 将 LVD 设置为 3.87V

1110: 将 LVD 设置为 4.01V

1111: 将 LVD 设置为 4.15V

6.4 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒，这意味着各个中断使能位(如: EX0)和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断(INT0~INT1, 定时器, PWM, ADC 和 UART)，可以将 CPU 从空闲模式唤醒。当空闲被唤醒，立即进入中断服务程序。当中断服务程序返回后，“IDL (PCON.0) 设置后的第一个指令” 将被执行。



EA=EX0=1, P3.2 (INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

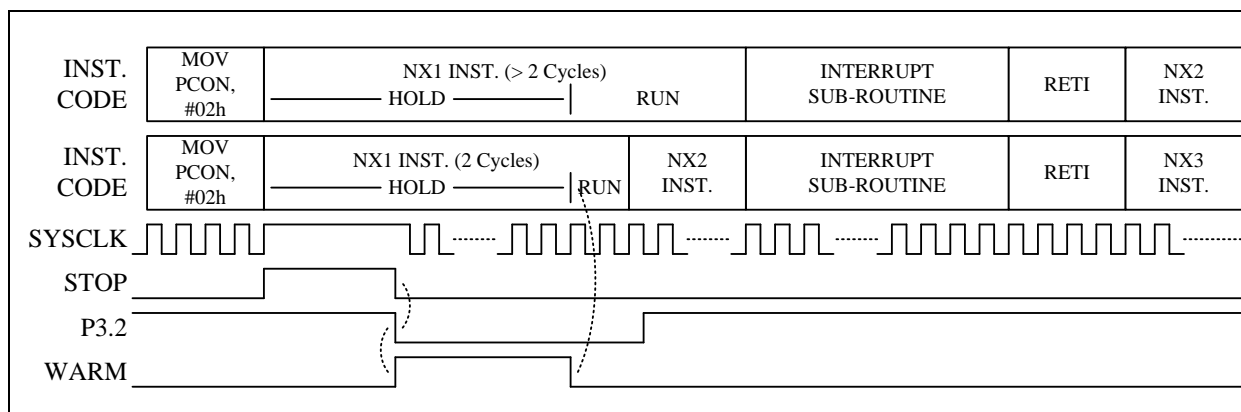
87h.1 **PD**: 停止位，如果 1 进入停止模式。

87h.0 **IDL**: 空闲位，如果 1 进入空闲模式。

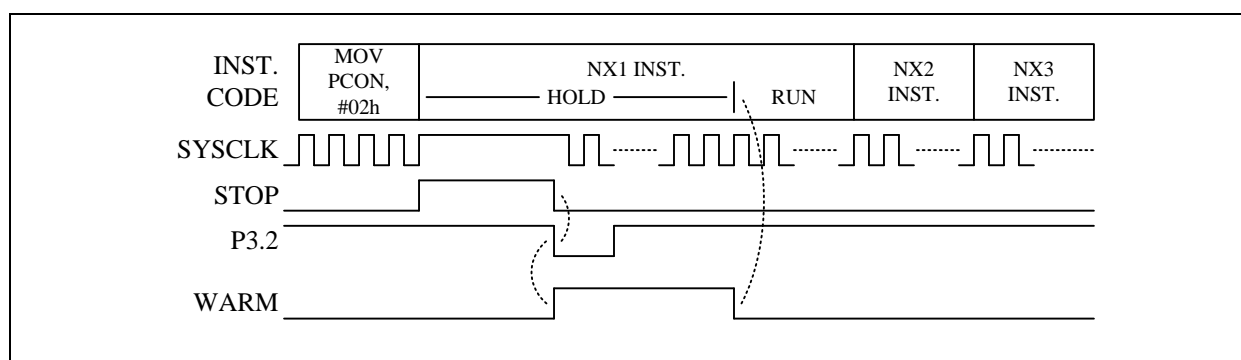
6.5 停止/暂停模式唤醒和中断

停止/暂停模式唤醒很简单，只要把各个引脚的中断使能位(如: EX0)设置，该引脚唤醒功能启用。设置 PINMOD10/PINMOD32/PINMOD54/PINMOD76 可启用 Port0~Port3 停止/暂停模式唤醒功能。一旦停止被唤醒，“PD (PCON.1) 设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要 EA=1 和该引脚触发状态停留足够长，以被系统时钟采样到。此功能可让 CPU 停止/暂停模式唤醒后，进入或不进入中断子程序。

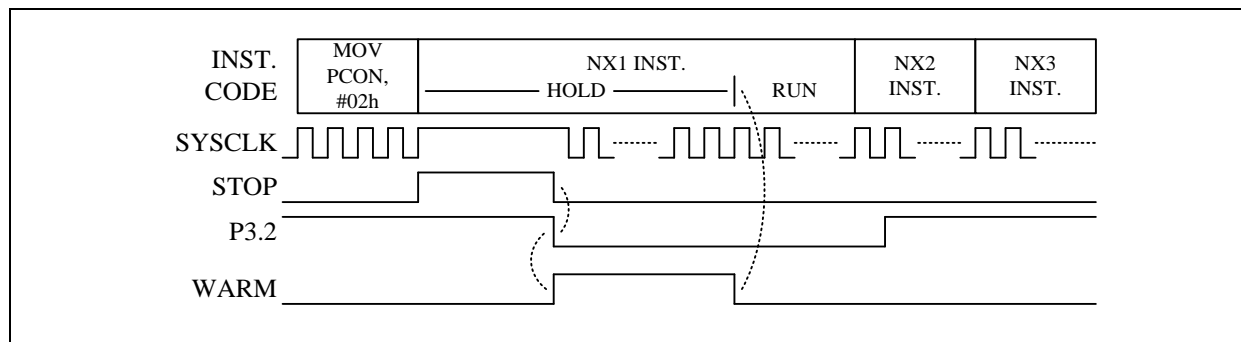
注：如果 INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0~1)



EA=EX0=1, P3.2 (INT0) 预热后被采样, 停止模式唤醒和中断



EA=EX0=1, 脉冲太窄, 停止模式唤醒, 但没有中断



EX0= 1, EA=0, P3.2 (INT0) 停止模式唤醒, 但没有中断

7. I/O 端口

该芯片总共有 30 多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051“读-修改-写”功能。读取 SFR 的，而不是引脚状态的指令，会读取一个端口或端口位的值，可能改变它，然后将它改写到 SFR。（例如：ANL P1, A; INC P2; CPL P3.0）。

在进入中断程序时，除了传统已熟知应执行 PUSH, POP 的 SFR A 或 PSW 外，有一些用来索引的 SFR 也应该加入 PUSH POP 的行列，如 PORTIDX，以避免中断前后写读这些 SFR 可能造成不一致的问题。

7.1 端口 0~端口 3

IO 引脚可以按以下不同方式定义。

PINMOD76 PINMOD54 PINMOD32 PINMOD10					引脚状态	中断 (停止/暂停)	唤醒 (停止/暂停)
模式 0	0	0	0	0	开漏输出，上拉	-	-
模式 1	0	0	0	1	开漏输出(默认)	-	-
模式 2	0	0	1	0	CMOS 推挽输出	-	-
模式 3	0	0	1	1	ADC 通道	-	-
模式 4	0	1	0	0	开漏输出，下拉	-	-
模式 5	0	1	0	1	开漏输出	-	-
模式 6	0	1	1	0	CMOS 推挽输出	-	-
模式 7	0	1	1	1	LED 输出	-	-
模式 8	1	0	0	0	开漏输出，上拉	支持	支持
模式 9	1	0	0	1	开漏输出	支持	支持
模式 10	1	0	1	0	CMOS 推挽输出	-	-
模式 11	1	0	1	1	PWMO, TxO, CKO 输出	-	-
模式 12	1	1	0	0	开漏输出，下拉	支持	支持
模式 13	1	1	0	1	开漏输出	支持	支持
模式 14	1	1	1	0	CMOS 推挽输出	-	-
模式 15	1	1	1	1	LCD 1/2 V _{CC} 偏压输出	-	-

表 7.1 端口 0~端口 3 引脚菜单

PINMOD76/PINMOD54/PINMOD32/PINMOD10 需要 PORTIDX 来索引相应的 I/O 端口。

例如：

如果 PORTIDX = 0，则 PINMOD10 设置为 P0.1 和 P0.0，高 4 位设置为 P0.1，低 4 位设置为 P0.0

如果 PORTIDX = 1，则 PINMOD10 设置为 P1.1 和 P1.0，高 4 位设置为 P1.1，低 4 位设置为 P1.0

如果 PORTIDX = 2，则 PINMOD10 设置为 P2.1 和 P2.0，高 4 位设置为 P2.1，低 4 位设置为 P2.0

如果 PORTIDX = 3，则 PINMOD10 设置为 P3.1 和 P5.0，高 4 位设置为 P3.1，低 4 位设置为 P3.0

如果 PORTIDX = 0，则 PINMOD32 设置为 P0.3 和 P0.2，高 4 位设置为 P0.3，低 4 位设置为 P0.2

...

如果 PORTIDX = 3，则 PINMOD76 设置为 P3.7 和 P5.6，高 4 位设置为 P3.7，低 4 位设置为 P3.6

引脚模式	端口 0~端口 3 引脚功能	Px.n SFR 数据	引脚状态	电阻上拉	电阻下拉	数位输入
模式 0 模式 8	带上拉的开漏输出	0	驱动低	N	N	N
		1	上拉	Y	N	Y
模式 4 模式 12	带下拉的开漏输出	0	驱动低	N	N	N
		1	下拉	N	Y	Y
模式 1 模式 5 模式 9 模式 13	开漏输出	0	驱动低	N	N	N
		1	高阻抗	N	N	Y
模式 2 模式 6 模式 10 模式 14	CMOS 推挽输出	0	驱动低	N	N	N
		1	驱动高	N	N	N
模式 3	ADC 通道	X (无关)	—	N	N	N
模式 7	LED 输出	X (无关)	—	N	N	N
模式 11	PWMO, TxO, CKO 输出	X (无关)	—	N	N	N
模式 15	LCD 1/2 V _{CC} 偏压输出	X (无关)	—	Y	Y	N

端口 0~端口 3 引脚功能表

如果一个端口 0~端口 3 引脚用于施密特触发输入，S/W 必须设置 I/O 引脚到模式 0，模式 1，模式 4，模式 5，模式 8，模式 9，模式 12 或模式 13（开漏，带上拉的开漏或带下拉的开漏），并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 端口功能外，每个端口 1~端口 3 引脚还具有一个或多个替代功能，例如 LED，ADC 和 LCD。通过将单独的引脚模式控制 SFR 设置为模式 3，模式 7，模式 11 或模式 15，可以激活大多数功能。端口 1 和端口 3 引脚具有标准的 8051 辅助定义，例如 INT0/INT1，T0/T1/T2 或 RXD/TXD。这些引脚功能需要将引脚模式 SFR 设置为模式 0，模式 1，模式 5，模式 8，模式 12 或模式 13（开漏或带上拉的开漏），并将 P1.n/P3.n SFR 保持为 1。

引脚名称	唤醒中断	CKO	ADC	LED (正反扫)	LED (點矩阵)	LCD	PWM	UART	I ² C	其他
P0.7	Y		AD18			Y				
P0.6	Y		AD17			Y				
P0.5	Y		AD1			Y				
P0.4	Y		AD0			Y	PWM2B			
P0.3	Y		AD22	LEDC3	LED3	Y	PWM1B			
P0.2	Y		AD21	LEDC2	LED2	Y	PWM0B			
P0.1	Y		AD20	LEDC1	LED1	Y		TXD2 (RXD2)	SDA	PSDA
P0.0	Y		AD19	LEDC0	LED0	Y		RXD2 (TXD2)	SCL	PSCL

端口 0 多重功能菜单

引脚名称	唤醒中断	CKO	ADC	LED (正反扫)	LED (點矩阵)	LCD	PWM	UART	I ² C	其他
P1.7	Y		AD12			Y	PWM2A			
P1.6	Y		AD10			Y	PWM1A			
P1.5	Y		AD9			Y	PWM0A			
P1.4	Y	CKO	AD8			Y				
P1.3	Y		AD7			Y				
P1.2	Y		AD6			Y				
P1.1	Y		AD5			Y				T2EX
P1.0	Y	T2O	AD4			Y				T2

端口 1 多重功能菜单

引脚名称	唤醒中断	CKO	ADC	LED (正反扫)	LED (點矩阵)	LCD	PWM	UART	I ² C	其他
P2.5	Y		AD16			Y				
P2.4	Y		AD15			Y				
P2.3	Y		AD14			Y				
P2.2	Y		AD13			Y				
P2.1	Y		AD3	LEDS5		Y				XO
P2.0	Y		AD2	LEDS4	LED8	Y				XI

端口 2 多重功能菜单

引脚名称	唤醒中断	CKO	ADC	LED (正反扫)	LED (點矩阵)	LCD	PWM	UART	I ² C	其他
P3.7	Y			LEDS2	LED6	Y				RSTn
P3.6	Y			LEDS1	LED5	Y		TXD2 (RXD2)		
P3.5	Y			LEDS0	LED4	Y		RXD2 (TXD2)		T1
P3.4	Y	T0O		LEDS3	LED7	Y				T0
P3.3	Y					Y		TXD (RXD)		INT1
P3.2	Y					Y		RXD (TXD)		INT0 VBGO
P3.1	Y					Y		TXD (RXD)	SDA	PSDA
P3.0	Y					Y		RXD (TXD)	SCL	PSCL

端口 3 多重功能菜单

下面列出了端口 0~端口 3 引脚的替代功能所需的 SFR 设置。

替代功能	PINMOD _{xx}	Px.n SFR 数据	引脚状态	设其他需要的 SFR 置
T0, T1, T2, T2EX, INT0, INT1	x000	1	带上拉的输入	
	xx01	1	输入	
RXD0	x000	1	UART RX (带上拉的输入)	PINMOD
RXD2	xx01	1	UART RX (输入)	
TXD0 TXD2	xx10	X	UART TX 输出 (CMOS 推挽)	
XI, XO	0000	1	晶振	CLKCON
VBGO	0011	X	带隙基准电压输出	VBGOUT
AD0~AD10 AD12~AD22	0011	X	ADC 通道	ADCHS
LEDC0~LEDC3	0111	X	LED 正反扫模式 COM 输出	LEDCON LEDCON2
LEDS0~LEDS5			LED 正反扫模式 SEG 输出	
LED0~LED8			LED 点矩阵模式输出	
LCD	1111	X	LCD 1/2 V _{CC} 偏压输出	
T0O, T2O, CKO	1011	X	时钟输出 (CMOS 推挽)	
PWM0A~PWM2A PWM0B~PWM2B	1011	X	PWM 输出 (CMOS 推挽)	
I ² C Master SCL	0000	X	I ² C 时钟输出 (开漏输出, 上拉)	PINMOD
	xx10	X	I ² C 时钟输出 (CMOS 推挽)	
I ² C Slave SCL	0x01	1	I ² C 时钟输入 (高阻抗)	
I ² C Master/Slave SDA	0000	1	I ² C 数据 (上拉)	

对于上表中,“CMOS 推挽”引脚意味着它可以吸收和驱动至少 4 mA 的电流。我们不建议使用这种引脚作为输入功能。

一个“开漏”引脚意味着它可以吸收至少 4 mA 电流,但只能驱动小电流(<20μA)。它可以用作输入或输出功能,并且通常需要一个外部上拉电阻。

该芯片还支持 I/O 高灌电流功能。这是一个选项,通过设置 SFR HSNK0EN, HSNK1EN 和 HSNK2EN 来启用。为了有效控制,我们将高灌电流功能引脚分为三组(第 0 组: P00~P03, P20, P21, P34~P37; 第 1 组: P04, P05, P10~P17; 第 2 组: P06, P07, P22~P25, P30~P33)。

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

80h.7~0 **P0**: 端口0数据

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1**: 端口1数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.7~0 **P2**: 端口 2 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口 3 数据

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PORTIDX	—	—	—	—	—	—	PORTIDX	
R/W	—	—	—	—	—	—	R/W	
Reset	—	—	—	—	—	—	0	0

91h.1~0 **PORTIDX**: INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76 的引脚索引

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD10	PINMOD1				PINMOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A2h.7~4 **PINMOD1**: Px.1 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A2h.3~0 **PINMOD0**: Px.0 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD32	PINMOD3				PINMOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A3h.7~4 **PINMOD3**: Px.3 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A3h.3~0 **PINMOD2**: Px.2 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD54	PINMOD5				PINMOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A4h.7~4 **PINMOD5**: Px.5 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A4h.3~0 **PINMOD4**: Px.4 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD76	PINMOD7				PINMOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A5h.7~4 **PINMOD7**: Px.7 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

A5h.3~0 **PINMOD6**: Px.6 引脚控制, 端口索引 (x) 由 PORTIDX 定义

0000~1111: 见表 7.1

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	UART2PS		UART1PS	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	0	0	0

A6h.7 **HSNK2EN**: 引脚高灌电流使能 (第 2 组: P06, P07, P22~P25, P30~P33)

0: 第 2 组高灌电流引脚禁用

1: 第 2 组高灌电流引脚使能

A6h.6 **HSNK1EN**: 引脚高灌电流使能 (第 1 组: P04, P05, P10~P17)

0: 第 1 组高灌电流引脚禁用

1: 第 1 组高灌电流引脚使能

A6h.5 **HSNK0EN**: 引脚高灌电流使能 (第 0 组: P00~P03, P20, P21, P34~P37)

0: 第 0 组高灌电流引脚禁用

1: 第 0 组高灌电流引脚使能

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0: SRC, P2.1, P2.0 为 I/O 引脚

1: SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE**: 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FRC, P2.1, P2.0 为 I/O 引脚

1: FXT, P2.1, P2.0 为晶振引脚

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		LEDHOLD	LEDBRIT		
R/W	R/W		R/W		R/W	R/W		
Reset	0	0	0	0	0	1	0	0

B1h.7~6 **LEDEN**: LED 正反扫模式使能

00: LED 正反扫模式关闭

01: 选择 LED 1/8 占空比 (COM0~3, SEG0~3), 需将 LED 相关引脚设为模式 7 (见表 7.1)

10: 选择 LED 1/9 占空比 (COM0~3, SEG0~4), 需将 LED 相关引脚设为模式 7 (见表 7.1)

11: 选择 LED 1/10 占空比 (COM0~3, SEG0~5), 需将 LED 相关引脚设为模式 7 (见表 7.1)

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON2	LEDBRITM	LEDBRIT2			LEDMTEN	LEDBRIT1		
R/W	R/W	R/W			R/W	R/W		
Reset	0	1	1	1	0	1	1	1

B2h.3 **LEDMTEN**: LED 点矩阵模式使能

0: LED 点矩阵模式关闭

1: LED 点矩阵模式使能, 需将 LED 相关引脚设为模式 7 (见表 7.1)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT**: 带隙基准电压输出至 P3.2

0: 关闭

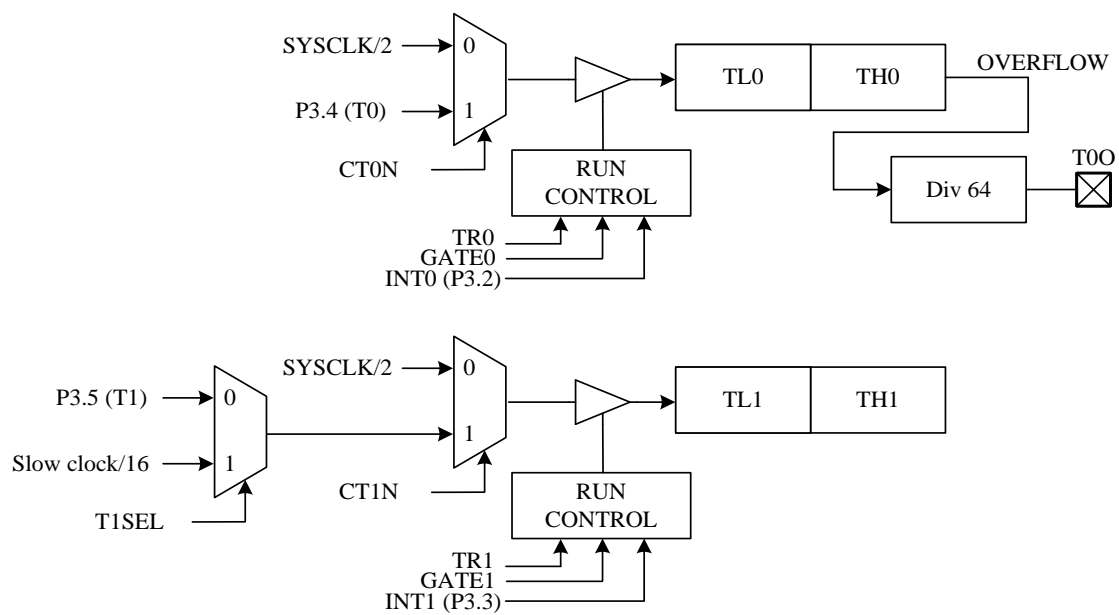
1: 启用

8. 定时器

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加; 在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。除了标准 8051 定时器功能, T0O 引脚输出“Timer0 溢出除以 64”的信号, 而 T2O 引脚输出“Timer2 溢出除以 2”的信号。当时基是 SXT, Timer3 被设置为一个实时时钟计数。

8.1 Timer0/1

TCON 和 TMOD 用于设置操作模式, 并控制 Timer0/1 的运行和中断产生, 定时器/计数器的值存储在两个成对的 8 位寄存器 (TL0, TH0 和 TL1, TH1)。



Timer0 and Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1**: Timer1 溢出标志
当定时器/计数器 1 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1**: Timer1 运行控制
0: Timer1 停止
1: Timer1 运行
- 88h.5 **TF0**: Timer0 溢出标志
当定时器/计数器 0 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0**: Timer0 运行控制
0: Timer0 停止
1: Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1**: Timer1 门控位
0: 当 TR1 位设置时 Timer1 使能
1: 只有当 INT1 引脚为高, TR1 位设置时 Timer1 使能
- 89h.6 **CT1N**: Timer1 计数器/定时器选择位
0: 定时器模式, Timer1 的数据以 2 个系统时钟周期率增加
1: 计数器模式, Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1**: Timer1 模式选择
00: 8 位定时器/计数器 (TH1) 和 5 位预分频器 (TL1)
01: 16 位定时器/计数器
10: 8 位自动重载定时器/计数器 (TL1), 溢出时从 TH1 重新装载。
11: Timer1 停止
- 89h.3 **GATE0**: Timer0 门控位
0: 当 TR0 位设置时 Timer0 使能
1: 只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能
- 89h.2 **CT0N**: Timer0 计数器/定时器选择位
0: 定时器模式, Timer0 的数据以 2 个系统时钟周期率增加
1: 计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0**: Timer0 模式选择
00: 8 位定时器/计数器 (TH0) 和 5 位预分频器 (TL0)
01: 16 位定时器/计数器
10: 8 位自动重载定时器/计数器 (TL0), 溢出时从 TH0 重新装载。
11: TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**: Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**: Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**: Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Dh.7~0 **TH1**: Timer1 数据的高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	0	0	0	0

F8h.1 **T1SEL**: Timer1 计数器模式 (CT1N = 1) 输入选择

0: P3.5 (T1) 脚 (8051 标准)

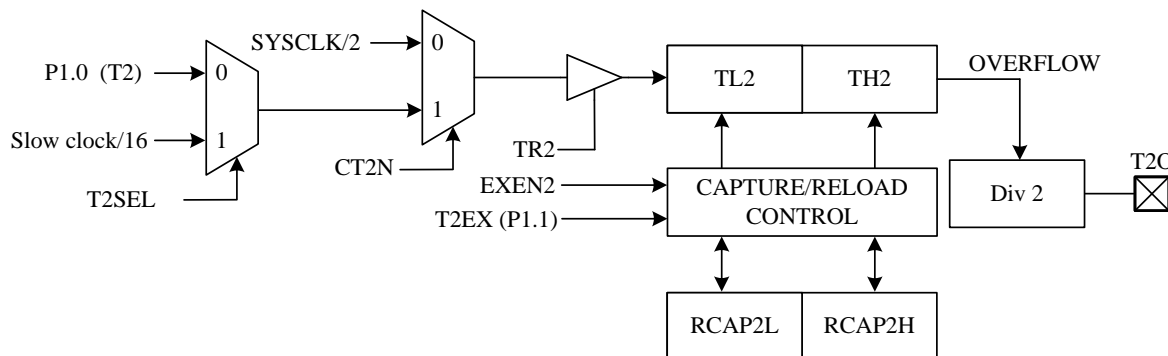
1: 慢时钟除以 16 (SLOWCLK/16)

注: 另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T00 引脚输出设置的详细信息。

8.2 Timer2

Timer2 通过 TCON2 寄存器存储在 TL2 和 TH2 的定时器/计数器 2 低和高字节和存储在 RCAP2L 和 RCAP2H 的 Timer2 重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- C8h.7 **TF2**: Timer2 溢出标志
当定时器/计数器 2 溢出时由 H/W 设置，除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。
- C8h.6 **EXF2**: T2EX 中断引脚下降沿标志
如果 EXEN2=1，当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。
- C8h.5 **RCLK**: UART 接收时钟控制位
0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟
1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟
- C8h.4 **TCLK**: UART 发送时钟控制位
0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟
1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟
- C8h.3 **EXEN2**: T2EX 引脚使能
0: T2EX 引脚禁用
1: T2EX 引脚使能，如果 RCLK=TCLK=0，当检测出 T2EX 引脚的下降沿跳变，这引起捕获或重载
- C8h.2 **TR2**: Timer2 运行控制
0: Timer2 停止
1: Timer2 运行
- C8h.1 **CT2N**: Timer2 计数器/定时器选择位
0: 定时器模式，Timer2 的数据以 2 个系统时钟周期率增加
1: 计数器模式，Timer2 的数据在 T2 引脚的下降沿时增加
- C8h.0 **CPRL2N**: Timer2 捕捉/重载控制位
0: 重载模式，如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载
1: 捕捉模式，如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉
如果 RCLK=1 或 TCLK=1 时，CPRL2N 被忽略，Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**: Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**: Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**: Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**: Timer2 数据的高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	0	0	0	0

F8h.2 **T2SEL**: Timer2 计数器模式 (CT2N = 1) 输入选择

0: P1.0(T2)脚(8051 标准)

1: 慢时钟除以 16 (SLOWCLK/16)

注: 另请参阅第 6 章的有关 Timer2 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T2O 引脚输出设置的详细信息。

8.3 Timer3

该芯片的 Timer3 作为时基计数器，周期性地产生中断。它会产生一个中断标志位 (TF3) 当时钟除以 32768, 16384, 8192, ... 或 256 取决于 TM3PSC 位。Timer3 的时钟源为慢时钟 (SRC 或 SXT) 或 FRC/512。当时钟源为 SXT 即是理想的实时时钟 (RTC) 功能。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		—	—
R/W	—	R/W	R/W		R/W		—	—
Reset	—	0	0	0	0	0	—	—

94h.6 **TM3CKS:** Timer3时钟源选择

0: 慢时钟 (SXT/SRC)

1: FRC/512 (36KHz)

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	—	—	ADIF	—	—	PCIF	TF3
R/W	R	—	—	R/W	—	—	R/W	R/W
Reset	—	—	—	0	—	—	0	0

95h.0 **TF3:** Timer3 中断标志

当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。

当程序执行中断服务程序时被自动清除。

S/W 也可以写 FEh 到 INTFLG 清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	—	—	TM3PSC			VBGEN	—	ADCVREFS
R/W	—	—	R/W			R/W	—	R/W
Reset	—	—	0	0	0	0	0	0

EFh.5~3 **TM3PSC:** Timer3中断率控制选择

000: 中断率是32768 Timer3时钟周期

001: 中断率是16384 Timer3时钟周期

010: 中断率是8192 Timer3时钟周期

011: 中断率是4096 Timer3时钟周期

100: 中断率是2048 Timer3时钟周期

101: 中断率是1024 Timer3时钟周期

110: 中断率是512 Timer3时钟周期

111: 中断率是256 Timer3时钟周期

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	LVRPD	TKSOCB	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	0	0	0	0

F8h.6 **CLRTM3:** 设置以清除 Timer3，H/W 会在下一个时钟周期自动清除此设置

注: 另请参阅第 6 章的有关 Timer3 中断使能和优先级的更多信息。

8.4 T0O 和 T2O 输出控制

该设备可以为蜂鸣器生成各种频率的波形引脚输出 (CMOS 或开漏)。T0O 和 T2O 波形除以 Timer0/Timer2 溢出信号。T0O 波形是 Timer0 溢出除以 64，T2O 波形是 Timer2 溢出除以 2。用户可以通过定时器自动重装速度来控制其频率。将 P3.4 或 P1.0 的引脚模式设置为模式 11，以输出 T0O 和 T2O。有关更多详细信息，请参见表 7.1。

9. UARTs

该芯片具有两个 UART，分别为 UART1 和 UART2。

UART1 是标准的 8051 全双工 UART，UART0 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器，SBUF 是数据寄存器。数据被写入到 SBUF 用于传输，而 SBUF 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。

UART2 使用 SCON2 和 SBUF2 的 SFR。SCON2 是控制寄存器，SBUF2 是数据寄存器。数据被写入到 SBUF2 用于传输，而 SBUF2 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。UART2 支持 UART 的大部分功能，但不支持 Mode0 和 Mode2，也不支持 Timer2 模式。另一方面，对于 UART2，不使用 SMOD 选项。始终启用 UART2 双波特率。

UART1 和 UART2 均提供两种不同的 TXD 和 RXD 引脚选项。TXD 和 RXD 也可以互换。这样一来，在应用上提供了更多的灵活性。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.7 **SMOD**: UART1 双波特率控制位
0: 禁止 UART1 双波特率控制位
1: 允许 UART1 双波特率控制位

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0, SM1**: UART1 串行端口模式选择位 0, 1
00: 模式 0: 8 位移位寄存器，波特率= $F_{SYSCLK}/2$
01: 模式 1: 8 位 UART1，波特率可变
10: 模式 2: 9 位 UART1，波特率= $F_{SYSCLK}/32$ 或 $/64$
11: 模式 3: 9 位 UART1，波特率可变

98h.5 **SM2**: 串行端口模式选择位 2
SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3，当 SM2 设置，如果接收到的第九位数据为 0，那么接收中断不会产生。在模式 1 中，除非有效的停止位被接收，接收中断不会产生。在模式 0 中，SM2 应为 0。

98h.4 **REN**: UART1 接收使能
0: 禁止接收
1: 允许接收

98h.3 **TB8**: 发送位 8，在模式 2 和 3 为发送第九位

98h.2 **RB8**: 接收位 8，包含模式 2 和 3 的接收第九位，如果 SM2 = 0，为模式 1 停止位

98h.1 **TI**: 发送中断标志
由 H/W 设置在模式 0 第 8 位的结束时，或在其他模式中停止位的开始时。必须通过 S/W 清零。

98h.0 **RI**: 接收中断标志
由 H/W 设置在模式 0 第 8 位的结束时，或在其他模式下停止位的取样点。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF**: UART1 发送和接收数据。发送写入该位置数据和接收从该位置读取数据，但路径是独立的。

SFR 8Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON2	SM	—	—	REN2	TB82	RB82	TI2	RI2
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
Reset	0	—	—	0	0	0	0	0

8Eh.7 **SM**: UART2 串行端口模式选择位

0: 模式 1: 8 位 UART2, 波特率可变

1: 模式 3: 9 位 UART2, 波特率可变

(UART2 不支持 Mode0/Mode2)

8Eh.4 **REN2**: UART2 接收使能

0: 禁止接收

1: 允许接收

8Eh.3 **TB82**: UART2 传输位 8, 即在模式 3 中要传输的第 9 位

8Eh.2 **RB82**: UART2 接收位 8, 包含在模式 3 中接收到的第 9 位

8Eh.1 **TI2**: UART2 发送中断标志

在模式 1 和 3 中, 在停止位的开头通过 H/W 进行设置。必须通过 S/W 进行清除。

8Eh.0 **RI2**: UART2 接收中断标志

在模式 1 和 3 中, 在停止位的采样点由 H/W 设置。必须由 S/W 清除。

SFR 8Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF2	SBUF2							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

8Fh.7~0 **SBUF2**: UART2 发送和接收数据。发送写入该位置数据和接收从该位置读取数据，但路径是独立的。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	UART2PS		UART1PS	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	0	0	0

A6h.3~2 **UART2PS**: UART2 引脚选择

00: RXD2/TXD2 = P0.0/P0.1

01: RXD2/TXD2 = P3.5/P3.6

10: RXD2/TXD2 = P0.1/P0.0

11: RXD2/TXD2 = P3.6/P3.5

A6h.1~0 **UART1PS**: UART1 引脚选择

00: RXD/TXD = P3.0/P3.1

01: RXD/TXD = P3.2/P3.3

10: RXD/TXD = P3.1/P3.0

11: RXD/TXD = P3.3/P3.2

F_{SYSCLK} 表示系统时钟频率。

- 模式 0: (UART2 无效)
波特率= $F_{\text{SYSCLK}}/2$
- 模式 1, 3: 如果使用 Timer1 自动重载模式
波特率= $(\text{SMOD}+1) \times F_{\text{SYSCLK}}/(32 \times 2 \times (256 - \text{TH1}))$
- 模式 1, 3: 如果使用 Time2 (UART1/UART2 无效)
波特率=Timer2 overflow rate/16= $F_{\text{SYSCLK}}/(32 \times (65536 - \text{RCP2H}, \text{RCP2L}))$
- 模式 2: (UART2 无效)
波特率= $(\text{SMOD}+1) \times F_{\text{SYSCLK}}/64$

注: 另请参阅第 6 章的有关 UART 中断使能和优先级的更多信息。

注: 同时参阅第 8 章有关 Timer2 如何控制 UART 时钟的详细信息。

10. PWMs

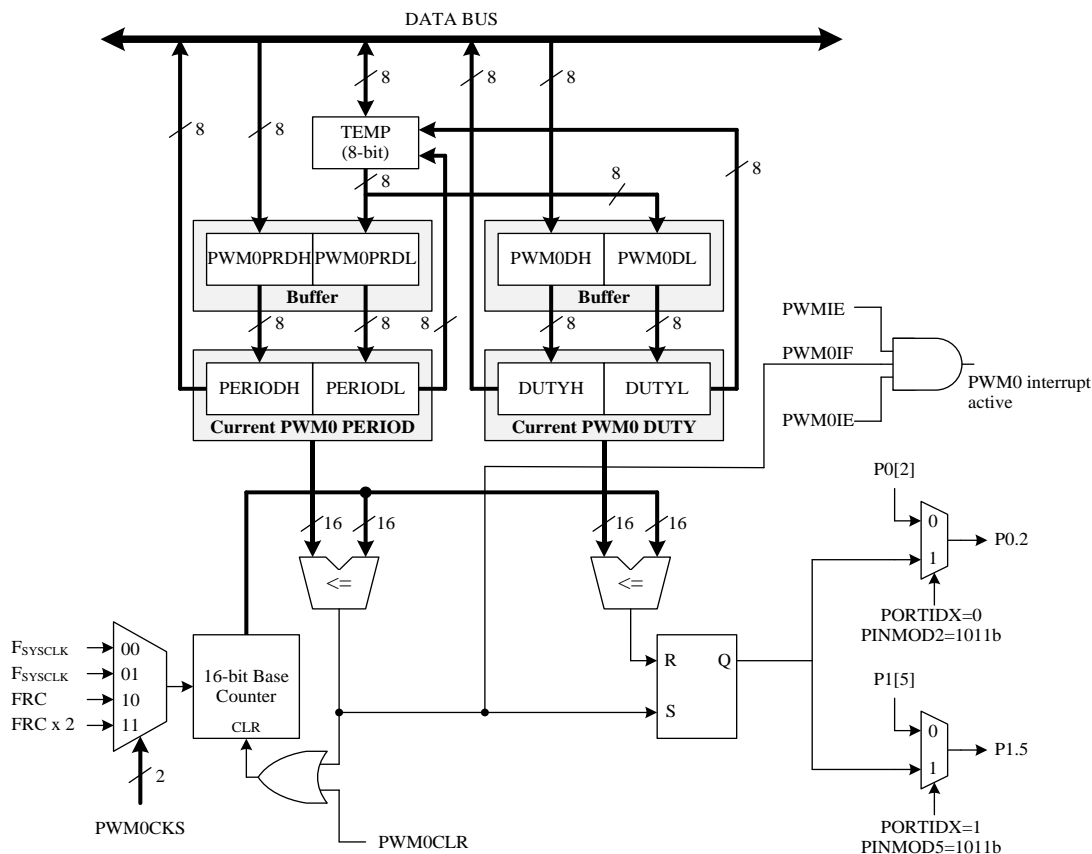
该芯片具有三个独立的 16 位 PWM 模块 PWM0, PWM1 和 PWM2。PWM0~2 具有独立的 16 位周期。下面以 PWM0 为例进行说明。PWM 可以基于 PWM 时钟生成具有 65536 占空比分辨率的变化频率波形。PWM 时钟可以选择 FRC 双倍频率 (FRC x 2), FRC 或 F_{SYSCLK} 作为其时钟源。

PWM 将在开机时自动启用。设置 SFR PINMOD_x 以控制 PWM 输出。如果 PINMOD_x 设置为模式 11, 将自动输出相对的 PWM。例如, PORTIDX = 1, PIMOD76 = BBh, 则 PWM1 和 PWM2 将输出到 P16 和 P17。(参见第 7 节)

16 位周期 (PWM0PRD) 和占空比 (PWM0D) 寄存器均具有低字节和高字节结构。高字节可以直接访问, 但低字节只能通过内部 8 位缓冲器访问, 必须以特定方式对这些寄存器对进行读写。需要注意的重要一点是, 只有在执行对其相应的高字节的写或读操作时, 才与 8 位缓冲区及其相关的低字节进行数据传输。**简而言之, 先写低字节, 再写高字节。首先读取高字节, 然后读取低字节。**

当 PWM0CLR 设置为 1 时, 将清除并保持 PWM0, 否则 PWM0 会维持运行。PWM0 的结构如下所示。PWM0 占空比可以通过写入 SFR PWM0DH 和 PWM0DL 来改变。每当 16 位的基数计数器与 16 位 PWM0 占空比寄存器 {PWM0DH, PWM0DL} 匹配时, PWM0 输出信号就会复位为低电平。PWM0 的周期可以通过写入 SFR PWMPRDH 和 PWMPRDL 来设置。写入 PWM 占空比或周期寄存器后, 新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或在 PWM0 清零时更新这些值。PWM0~2 有一个相应的中断标志, 在周期结束时会产生一个中断标志。

PWMDH, PWMDL, PWMPRDH 或 PWMPRDL 为 16 位操作, 程序在高字节和低字节写入和读取时, 应该避免发生中断。假如在读写这些 16 位的寄存器其间发生中断。而中断内又对这些寄存器做读写。则容易造成读写的错误。16 位 PWM 周期与占空比的读写, 建议只在主程序内更新数据, 或只在中断内更新数据, 以避免可能的错误产生。



PWM0 结构

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	—	—	PWM2CKS		PWM1CKS		PWM0CKS	
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	1	0	1	0	1	0

A1h.5~4 **PWM2CKS**: PWM2 时钟源

- 00: F_{SYSCLK}
- 01: F_{SYSCLK}
- 10: FRC
- 11: FRC x 2 (V_{CC} > 3.0V)

A1h.3~2 **PWM1CKS**: PWM1 时钟源

- 00: F_{SYSCLK}
- 01: F_{SYSCLK}
- 10: FRC
- 11: FRC x 2 (V_{CC} > 3.0V)

A1h.1~0 **PWM0CKS**: PWM0 时钟源

- 00: F_{SYSCLK}
- 01: F_{SYSCLK}
- 10: FRC
- 11: FRC x 2 (V_{CC} > 3.0V)

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	—	PWM2IE	PWM1IE	PWM0IE	—	PWM2CLR	PWM1CLR	PWM0CLR
R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	—	0	0	0	—	0	0	0

A7h.6 **PWM2IE**: PWM2 中断使能

- 0: 禁用
- 1: 允许 (注意: PWMIE 必须同时为 1, 才能产生 PWM 中断)

A7h.5 **PWM1IE**: PWM1 中断使能

- 0: 禁用
- 1: 允许 (注意: PWMIE 必须同时为 1, 才能产生 PWM 中断)

A7h.4 **PWM0IE**: PWM0 中断使能

- 0: 禁用
- 1: 允许 (注意: PWMIE 必须同时为 1, 才能产生 PWM 中断)

A7h.2 **PWM2CLR**:

- 0: PWM2 正在运行
- 1: PWM2 被清除并保持

A7h.1 **PWM1CLR**:

- 0: PWM1 正在运行
- 1: PWM1 被清除并保持

A7h.0 **PWM0CLR**:

- 0: PWM0 正在运行
- 1: PWM0 被清除并保持

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	—	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
Reset	0	0	0	—	0	0	0	0

A9h.7 **PWMIE**: PWM0~3 中断使能

- 0: 禁止 PWM0~3 中断
- 1: 使能 PWM0~3 中断

SFR 86h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTPWM	—	—	—	—	—	PWM2IF	PWM1IF	PWM0IF
R/W	—	—	—	—	—	R/W	R/W	R/W
Reset	—	—	—	—	—	0	0	0

86h.2 **PWM2IF**: PWM2 中断旗标

0: S/W 写入 0 清除

1: 周期结束由硬件设置

86h.1 **PWM1IF**: PWM1 中断旗标

0: S/W 写入 0 清除

1: 周期结束由硬件设置

86h.0 **PWM0IF**: PWM0 中断旗标

0: S/W 写入 0 清除

1: 周期结束由硬件设置

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

D1h.7~0 **PWM0DH**: PWM0 占空比高字节

写顺序: 先写 PWM0DL, 然后再写 PWM0DH

读顺序: 先读 PWM0DH, 然后再读 PWM0DL

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**: PWM0 占空比低字节

写顺序: 先写 PWM0DL, 然后再写 PWM0DH

读顺序: 先读 PWM0DH, 然后再读 PWM0DL

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

D3h.7~0 **PWM1DH**: PWM1 占空比高字节

写顺序: 先写 PWM1DL, 然后再写 PWM1DH

读顺序: 先读 PWM1DH, 然后再读 PWM1DL

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DL	PWM1DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM1DL**: PWM1 占空比低字节

写顺序: 先写 PWM1DL, 然后再写 PWM1DH

读顺序: 先读 PWM1DH, 然后再读 PWM1DL

SFR D5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DH	PWM2DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

D5h.7~0 **PWM2DH**: PWM2 占空比高字节

写顺序: 先写 PWM2DL, 然后再写 PWM2DH

读顺序: 先读 PWM2DH, 然后再读 PWM2DL

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DL	PWM2DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D6h.7~0 **PWM2DL**: PWM2 占空比低字节
 写顺序: 先写 PWM2DL, 然后再写 PWM2DH
 读顺序: 先读 PWM2DH, 然后再读 PWM2DL

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**: PWM0 周期高字节
 写顺序: 先写 PWM0PRDL, 然后再写 PWM0PRDH
 读顺序: 先读 PWM0PRDH, 然后再读 PWM0PRDL

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**: PWM0 周期低字节
 写顺序: 先写 PWM0PRDL, 然后再写 PWM0PRDH
 读顺序: 先读 PWM0PRDH, 然后再读 PWM0PRDL

SFR DBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDH	PWM1PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DBh.7~0 **PWM1PRDH**: PWM1 周期高字节
 写顺序: 先写 PWM1PRDL, 然后再写 PWM1PRDH
 读顺序: 先读 PWM1PRDH, 然后再读 PWM1PRDL

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDL	PWM1PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRDL**: PWM1 周期低字节
 写顺序: 先写 PWM1PRDL, 然后再写 PWM1PRDH
 读顺序: 先读 PWM1PRDH, 然后再读 PWM1PRDL

SFR DDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2PRDH	PWM2PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

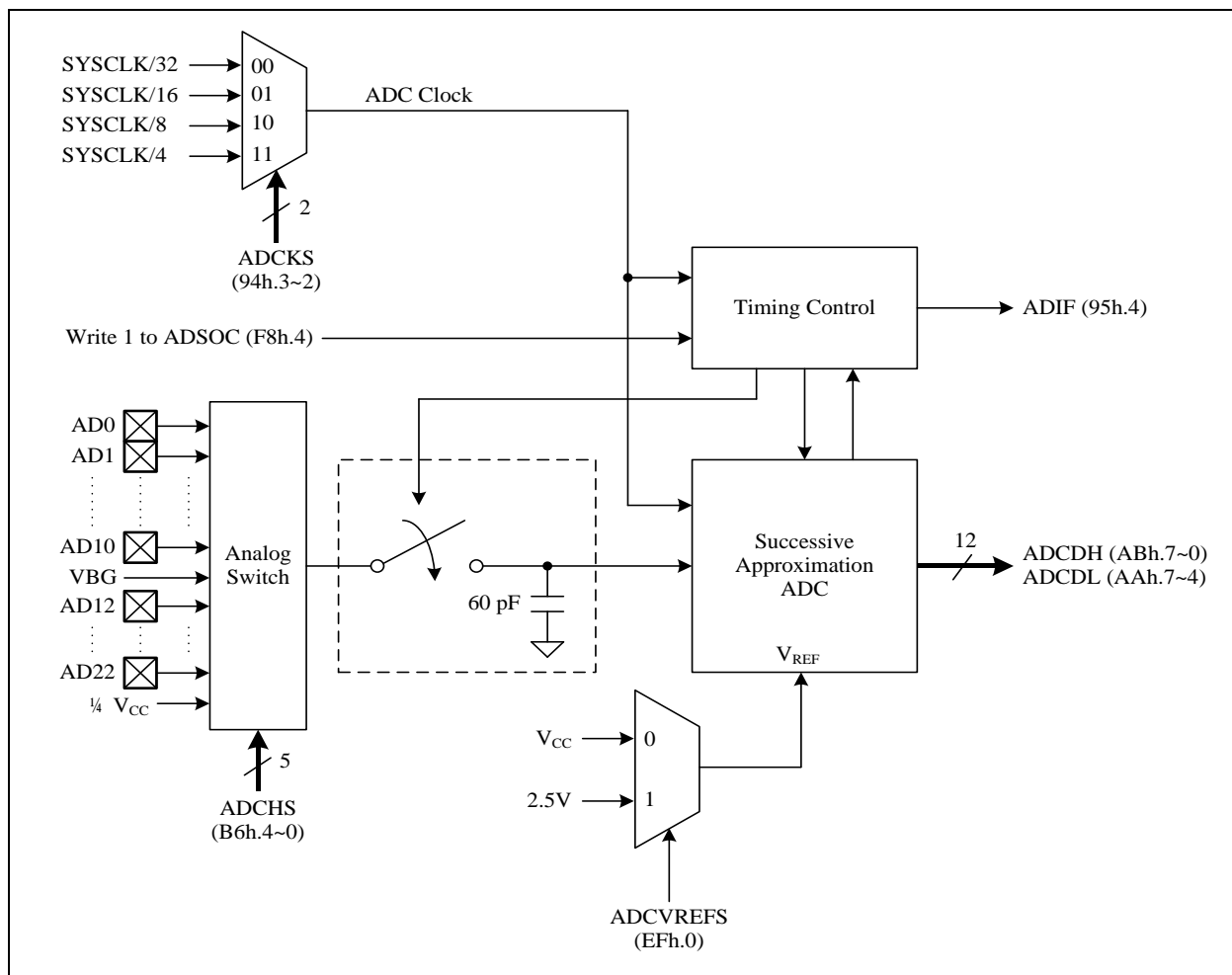
DDh.7~0 **PWM2PRDH**: PWM2 周期高字节
 写顺序: 先写 PWM2PRDL, 然后再写 PWM2PRDH
 读顺序: 先读 PWM2PRDH, 然后再读 PWM2PRDL

SFR DEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2PRDL	PWM2PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DEh.7~0 **PWM2PRDL**: PWM2 周期低字节
 写顺序: 先写 PWM2PRDL, 然后再写 PWM2PRDH
 读顺序: 先读 PWM2PRDH, 然后再读 PWM2PRDL

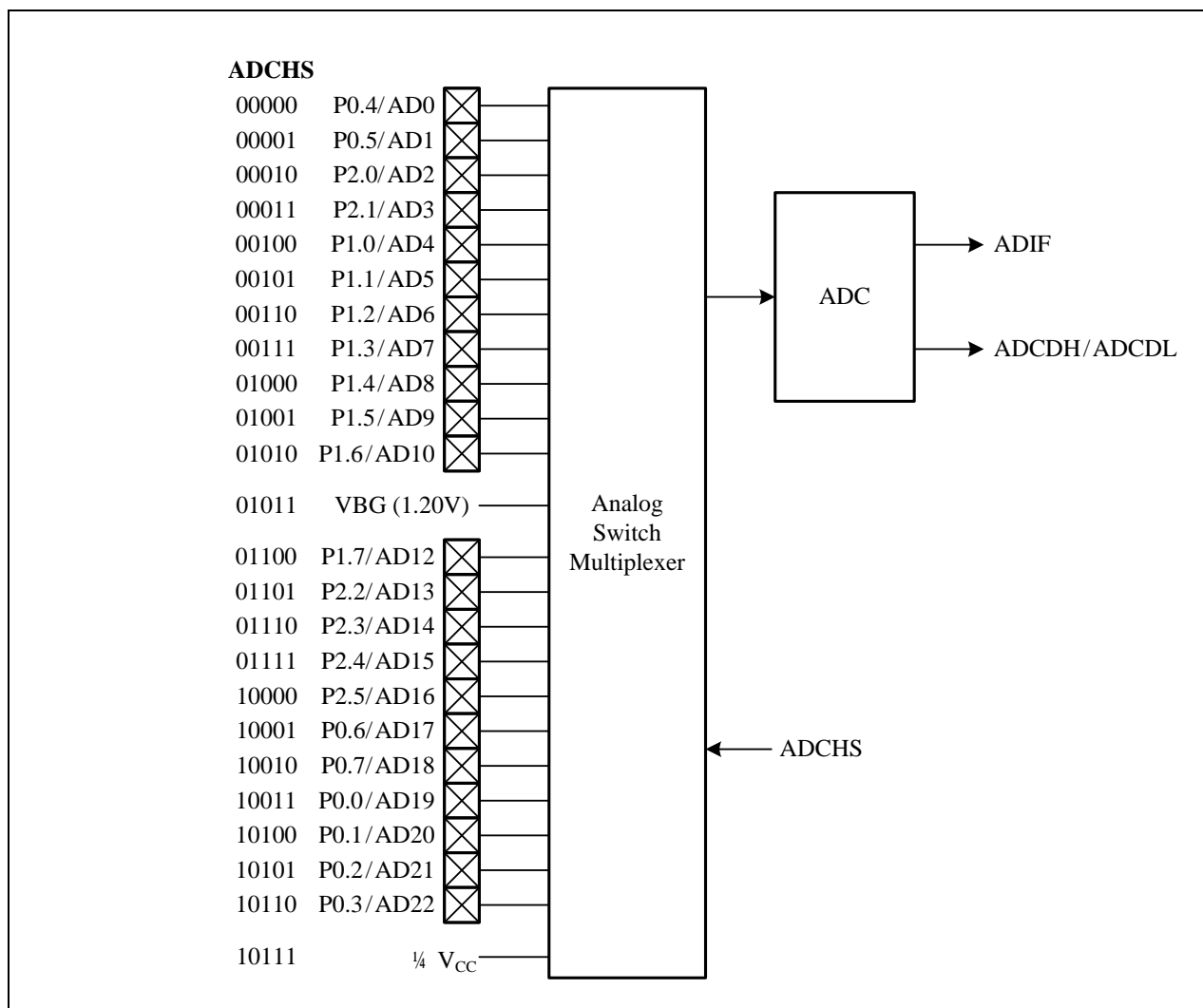
11. ADC

该芯片提供了一个 12 位 ADC 包括了 24 通道模拟输入多路复用器, 控制寄存器, 时钟发生器, 12 位逐次逼近寄存器和输出数据寄存器。使用 ADC, 首先要设置 ADCKS 位选择合适的 ADC 时钟频率, 它必须小于 1 MHz。然后, 设置 ADSOC 位启动 ADC 转换, 在转换结束 H/W 将自动清除它。转换结束后 H/W 将设置 ADIF 位, 当 ADC 中断使能, 并产生一个中断。ADIF 位可以通过写 0 到该位或写 1 至 ADSOC 清零。模拟输入电平必须保持从 V_{SS} 到 V_{CC} 的范围内。ADC 的 V_{REF} 可选择: V_{CC} 或 2.5V。



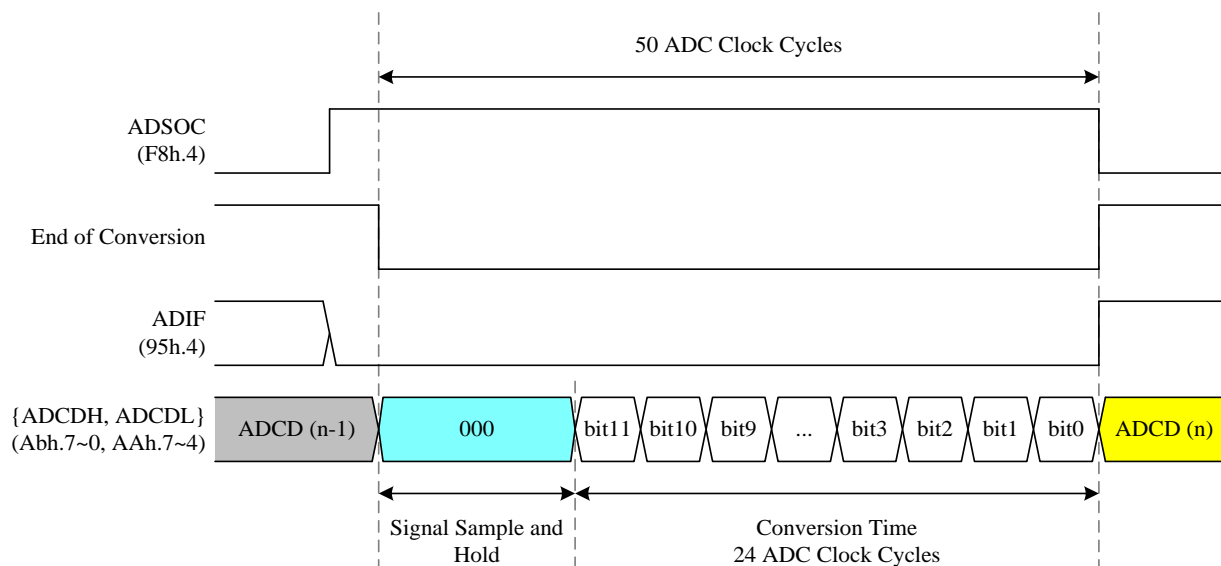
11.1 ADC 通道

12 位 ADC，一共有 24 个通道，分别指定为 AD0~AD10，AD12~AD22，VBG 和 $1/4V_{CC}$ 。ADC 通道通过模拟开关多路复用器连接到模拟输入引脚。模拟开关多路复用器由 ADCHS 寄存器控制。该芯片提供多达 22 个模拟输入引脚，指定为 AD0~AD10 和 AD12~AD22。此外，还有两个用于参考电压连接的模拟输入引脚，VBG 和 $1/4V_{CC}$ 。VBG 是 1.20V 的内部基准电压。当 ADC 通道选择到 VBG 时，VBG 发生器将自动启用。通过设置 SFR VBGEN = 1 始终使能 VBG 发生器，用户可以获得更稳定的 VBG 电压。而 $1/4V_{CC}$ 是利用 V_{CC} 电阻分压产生的基准电压。



11.2 ADC 转换时间

转换时间是 ADC 转换电压所需要的时间。该 ADC 转换每个位需要两个 ADC 时钟周期，以及多个时钟周期进行输入电压采样和保持。执行完整的转换总共需要 50 个 ADC 时钟周期。当转换时间结束，H/W 会产生 ADIF 中断标志，并将 12 位 A/D 转换结果加载到 ADCDH 和 ADCDL 寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		—	—
R/W	—	R/W	R/W		R/W		—	—
Reset	—	0	0	0	0	0	—	—

94h.3~2 **ADCKS**: ADC 时钟频率选择

00: $F_{SYSCLK}/32$

01: $F_{SYSCLK}/16$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	—	—	ADIF	—	—	PCIF	TF3
R/W	R/W	—	—	R/W	—	—	R/W	R/W
Reset	0	—	—	0	—	—	0	0

95h.4 **ADIF**: ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

注: S/W 可以写 0 清除 INTFLG 中的标志，但写 1 没有任何效果。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDL	ADCDL				—	—	—	—
R/W	R				—	—	—	—
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADCDL**: ADC 数据位 3~0

注: F/W 必须关闭 Bandgap 以获得微小电流 (ADCHS ≠ 01011b)

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 ADCDH: ADC 数据位 11~4

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHS	—	—	—	ADCHS				
R/W	—	—	—	R/W				
Reset	—	—	—	1	1	1	1	1

B6h.4~0 ADCHS: ADC 通道选择

00000: AD0 (P0.4)
00001: AD1 (P0.5)
00010: AD2 (P2.0)
00011: AD3 (P2.1)
00100: AD4 (P1.0)
00101: AD5 (P1.1)
00110: AD6 (P1.2)
00111: AD7 (P1.3)
01000: AD8 (P1.4)
01001: AD9 (P1.5)
01010: AD10 (P1.6)
01011: VBG (内部带隙参考电压源)
01100: AD12 (P1.7)
01101: AD13 (P2.2)
01110: AD14 (P2.3)
01111: AD15 (P2.4)
10000: AD16 (P2.5)
10001: AD17 (P0.6)
10010: AD18 (P0.7)
10011: AD19 (P0.0)
10100: AD20 (P0.1)
10101: AD21 (P0.2)
10110: AD22 (P0.3)
10111: 1/4V_{CC} (内部基准电压源)

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	—	—	TM3PSC			VBGEN	—	ADCVREFS
R/W	—	—	R/W			R/W	—	R/W
Reset	—	—	0	0	0	0	0	0

EFh.2 VBGEN: 强制 VBG 生成器启用

0: VBG 生成器自动启用和禁用。

1: 强制 VBG 发生器启用包括在空闲模式下，但在停止模式下禁用。

EFh.1 强制 0 (tenx 保留)

EFh.0 ADCVREFS: ADC 参考电压选择

0: V_{CC}

1: 2.5V

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	0	0	0	0

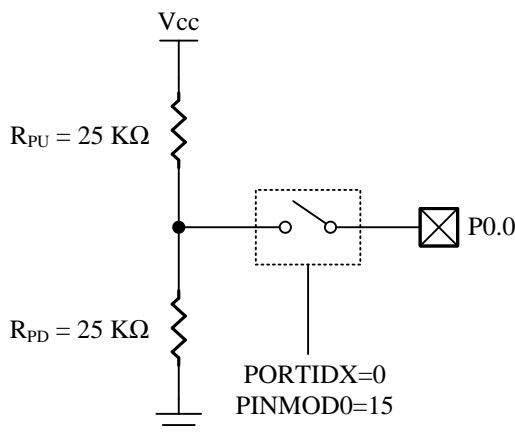
F8h.4

ADSOC: 启动 ADC 转换

设置 ADSOC 位启动 ADC 转换，ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

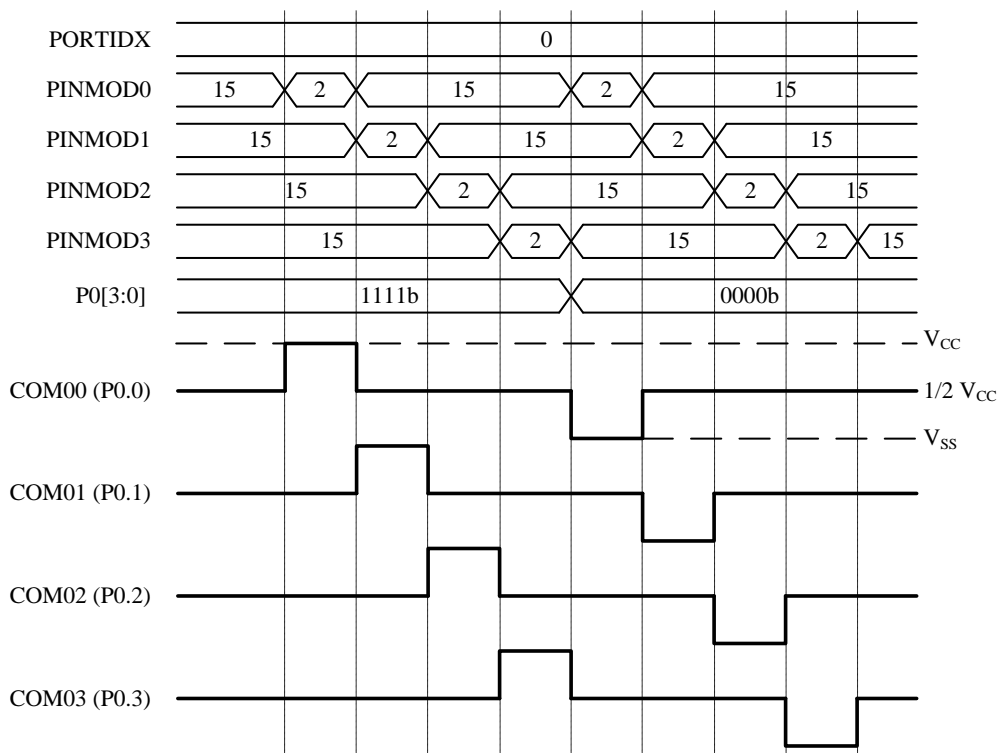
12. S/W 控制的 LCD 驱动器

TM52F1376/78 支持由 S/W 控制的 LCD 驱动器。所有的 I/O 引脚都能够设置为 COM，用户可以灵活调整 COM 引脚和 SEG 引脚，通过 15 个 Commons (COM) 和 15 个 Segments (SEG) 驱动（最大）225 点的 LCD 面板。P0.0~P0.7 可设置为 COM00~COM07。P1.0~P1.7 可设置为 COM10~COM17。P2.0~P2.1 可设置为 COM20~COM21。P3.0~P3.7 可设置为 COM30~COM37。而剩余的引脚用来当做 SEG。TM52F1376/78 的 LCD 驱动器仅能驱动 1/2 偏压，透过设置相应的引脚模式为模式 15 来达成（参见第 7 节）。相关电路请参考下图。



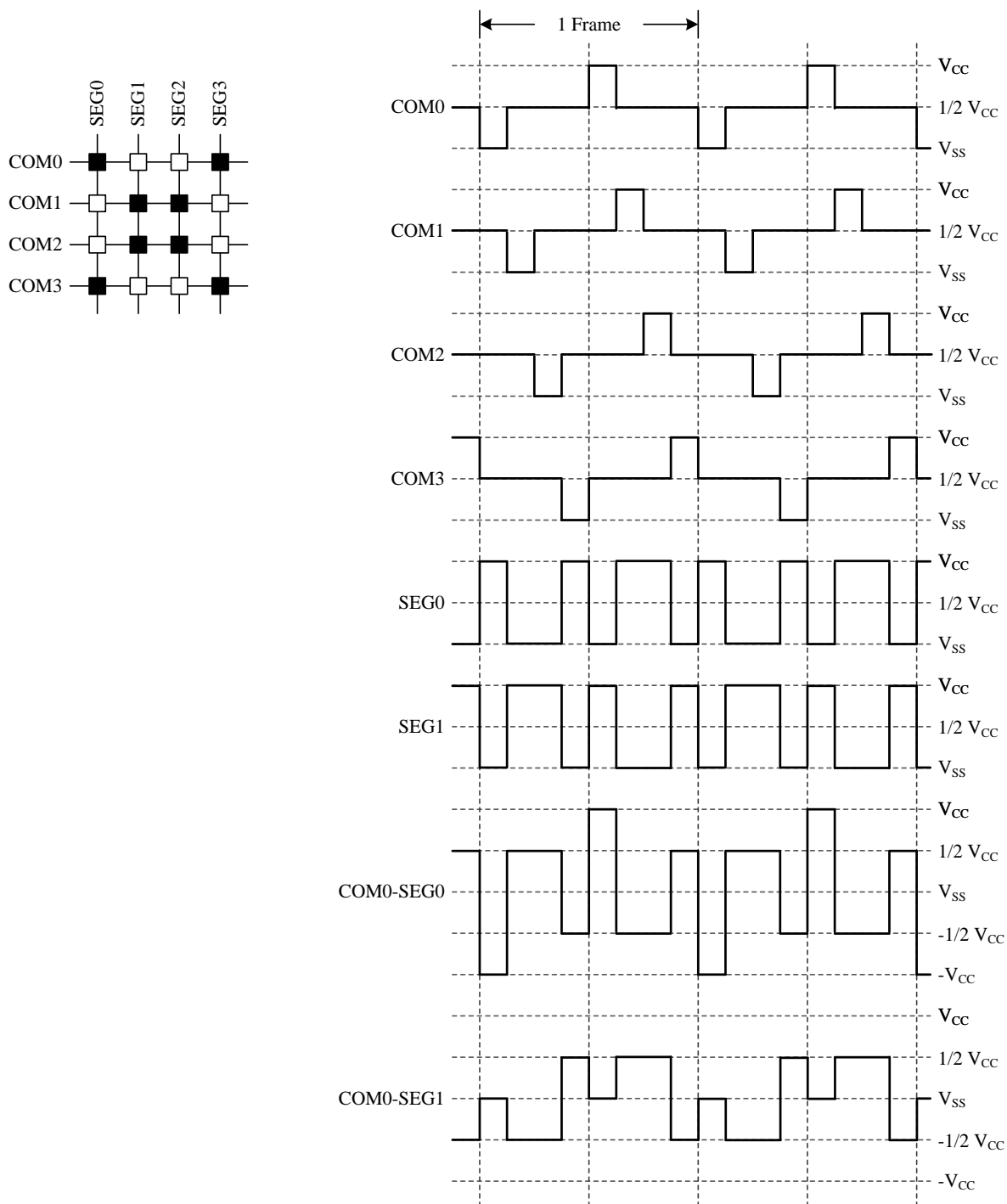
LCD COM00偏压电路

任何 COM 引脚上的重复波形输出的频率可以用来表示 LCD 的帧速率。下图显示了一个 LCD 帧。



S/W 控制的 LCD COM00~03 扫描

1/4 占空比, 1/2 偏压输出波形

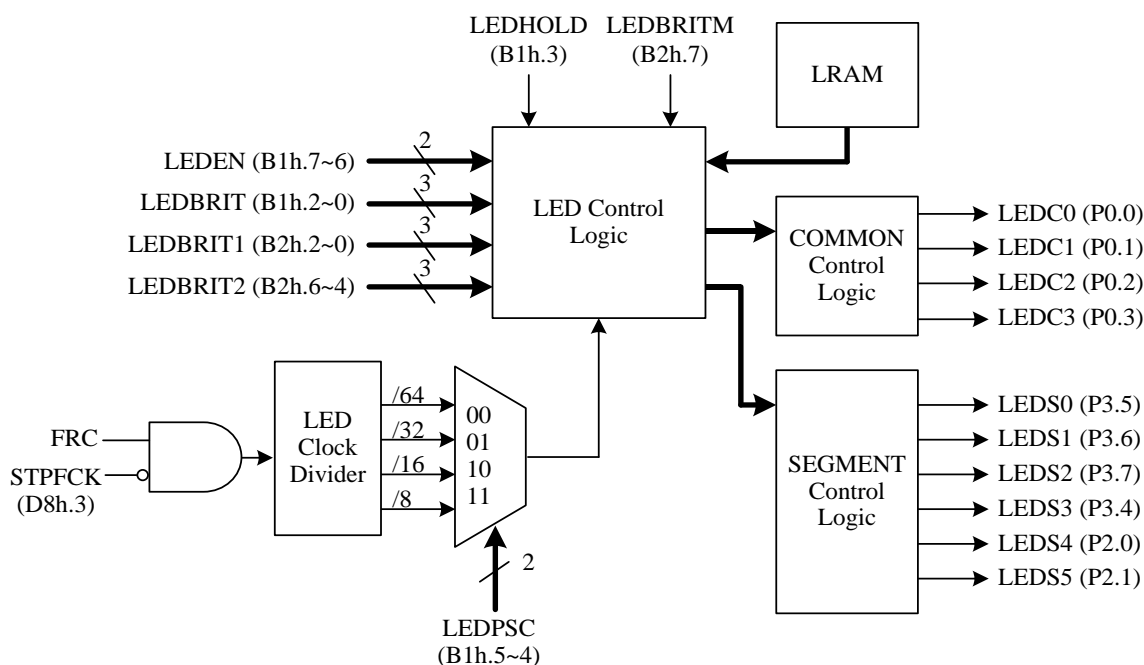


13. LED 控制器/驱动器

TM52F1376/78 配置两种驱动模式：LED 正反扫模式 (BiD) 和 LED 点矩阵模式 (Dot)。通过寄存器配置，它仅同时支持一种操作模式。

13.1 LED 正反扫模式

比起传统 LED 扫描，LED 正反扫模式使用相同数量引脚能驱动较多的像素点。在此模式下，TM52F1376/78 提供了最多 10 个引脚 (LEDC0~C3、LEDS0~S5) 来驱动 48 个像素的 LED 模块，且这 10 根引脚皆有较高的灌电流可直接驱动 LED。此外，LED 控制器有三组 8 段不同亮度可弹性选择。除了亮度调整，也可以通过设置 LEDBRTM=0 使亮度更均匀。为了避免 COM 信号变化时，造成 LED 的闪烁，TM52F1376/78 的 LED SEG 信号有死区时间。在死区时间内，SEG 引脚将输出短暂不活动的信号，而不是立即改变信号。要开始 LED 正反扫模式，需要设置 LEDEN=1 和相应的引脚为模式 7 来达成（参见第 7 节），接着 H/W 将会自动的控制引脚的状态。还可通过设置 LEDHOLD 提供扫描暂停功能。

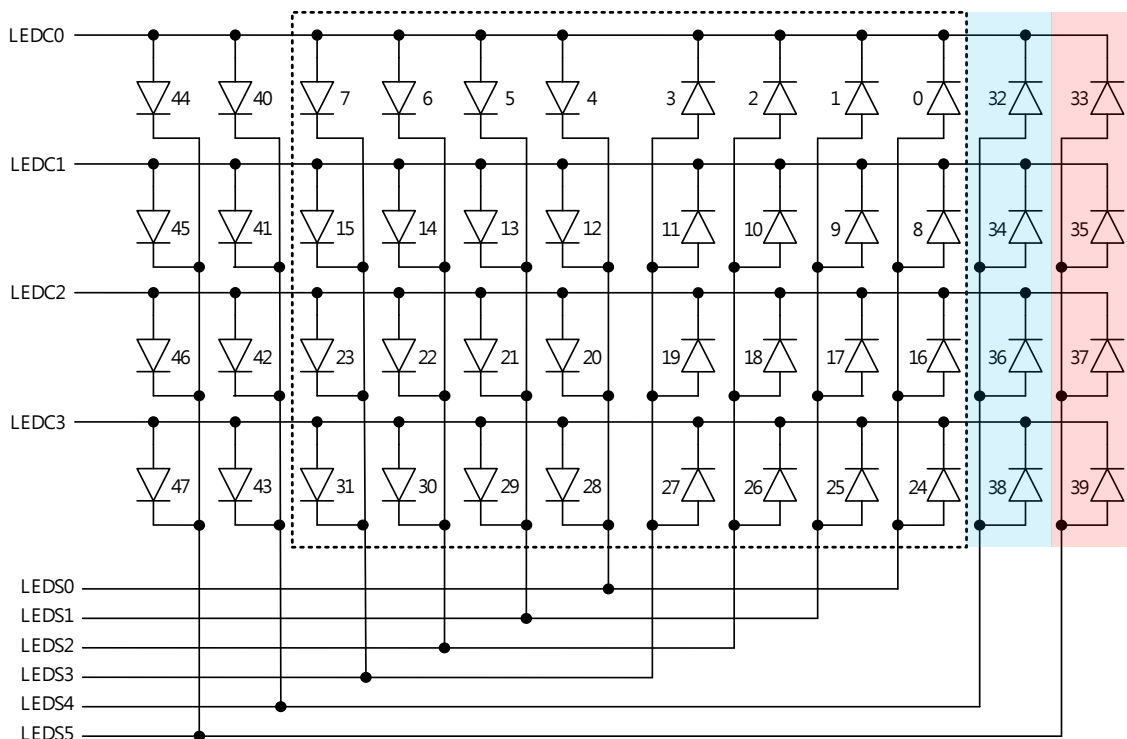


LEDEN	占空比	矩阵选择	最大驱动像素点
0	Disable	-	-
1	1/8	4COM x 4SEG	32 (4x4x2)
2	1/9	4COM x 5SEG	40 (4x5x2)
3	1/10	4COM x 6SEG	48 (4x6x2)

LRAM Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
C800h	SEG3-COM0+	SEG2-COM0+	SEG1-COM0+	SEG0-COM0+	COM0-SEG3+	COM0-SEG2+	COM0-SEG1+	COM0-SEG0+
C801h	SEG3-COM1+	SEG2-COM1+	SEG1-COM1+	SEG0-COM1+	COM1-SEG3+	COM1-SEG2+	COM1-SEG1+	COM1-SEG0+
C802h	SEG3-COM2+	SEG2-COM2+	SEG1-COM2+	SEG0-COM2+	COM2-SEG3+	COM2-SEG2+	COM2-SEG1+	COM2-SEG0+
C803h	SEG3-COM3+	SEG2-COM3+	SEG1-COM3+	SEG0-COM3+	COM3-SEG3+	COM3-SEG2+	COM3-SEG1+	COM3-SEG0+
C804h	COM3-SEG5+	COM3-SEG4+	COM2-SEG5+	COM2-SEG4+	COM1-SEG5+	COM1-SEG4+	COM0-SEG5+	COM0-SEG4+
C805h	SEG5-COM3+	SEG5-COM2+	SEG5-COM1+	SEG5-COM0+	SEG4-COM3+	SEG4-COM2+	SEG4-COM1+	SEG4-COM0+

LRAM Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
C800h	7	6	5	4	3	2	1	0
C801h	15	14	13	12	11	10	9	8
C802h	23	22	21	20	19	18	17	16
C803h	31	30	29	28	27	26	25	24
C804h	39	38	37	36	35	34	33	32
C805h	47	46	45	44	43	42	41	40

LED 正反扫模式对应 LRAM 显示配置表



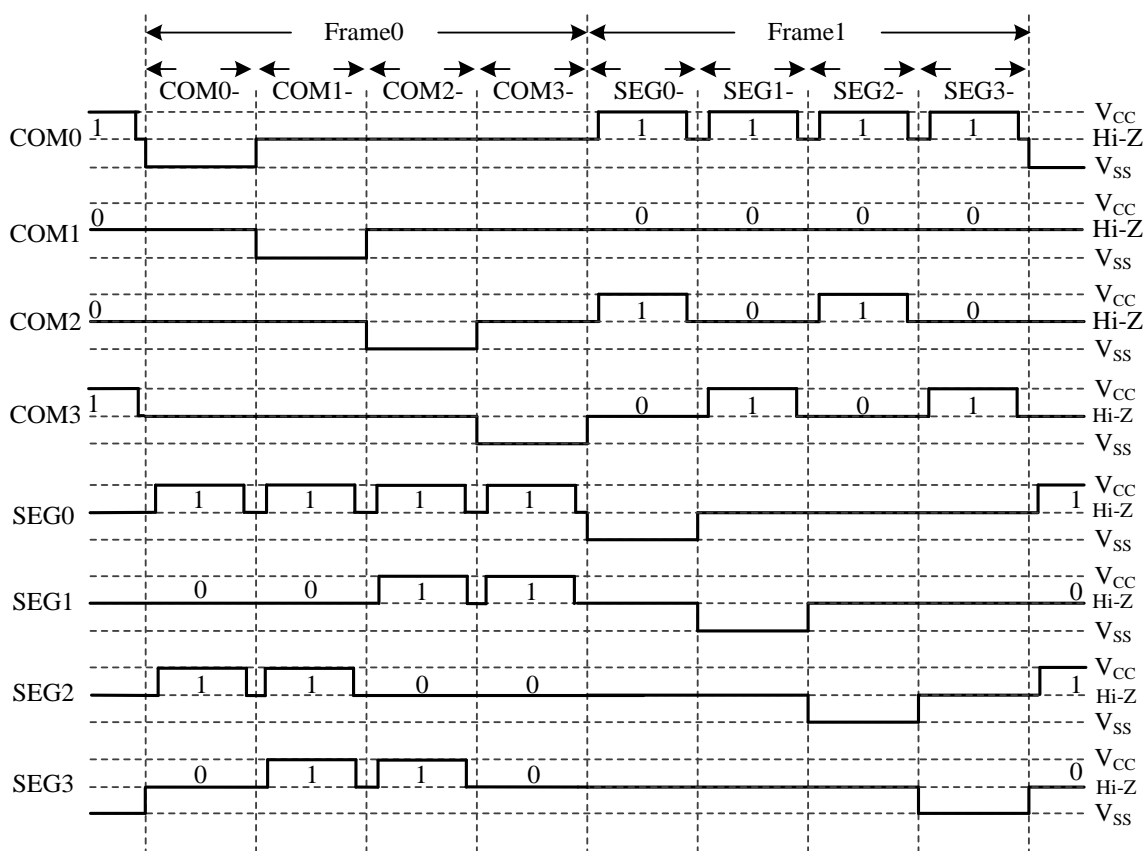
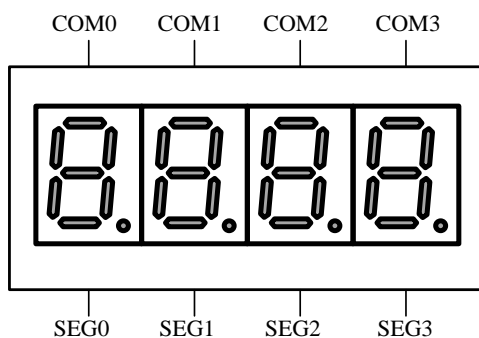
LED 4COM x 6SEG 正反扫模式对应像素点

注: LED 像素点 0~31, 40~47 的亮度由 LEDBRIT (B1h.2~0) 控制。

LED 像素点 32, 34, 36, 38 的亮度由 LEDBRIT1 (B2h.2~0) 控制。

LED 像素点 33, 35, 37, 39 的亮度由 LEDBRIT2 (B2h.6~4) 控制。

应用电路：4COM x 4SEG (1/8 占空比)



◇ 范例:

```
MOV    DPTR,#0C800h    ; LEDRAM0
MOV    A,#0FFh
MOVX   @DPTR, A        ; C800h = FFh

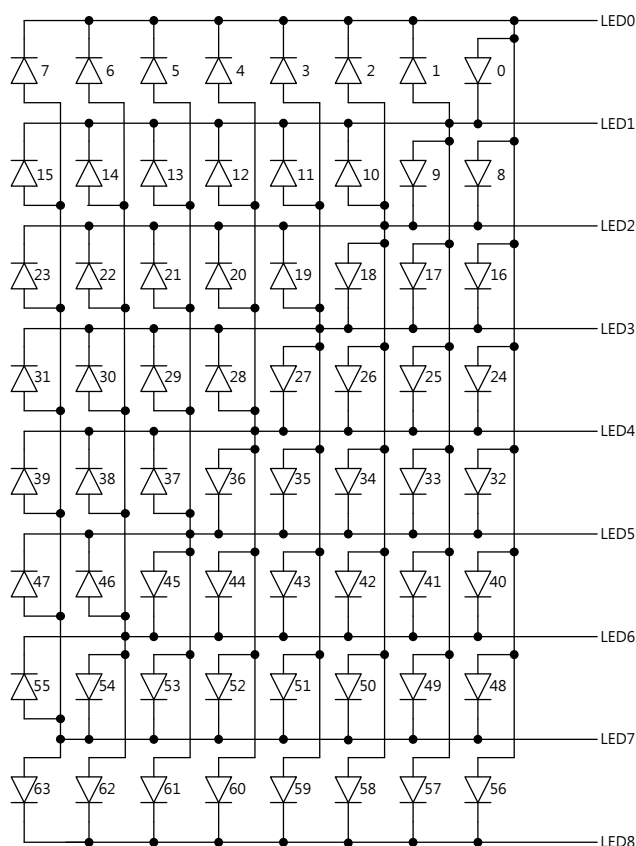
MOV    LEDCON,#056h    ; LED duty = 1/8
                        ; LEDPSC = FRC/32
                        ; Brightness=6
```

13.2 LED 点矩阵模式

设置寄存器 LEDMTEN=1，将可启用 LED 点矩阵模式。相应的引脚也必须设置为模式 7（参见第 7 节）。LED 点矩阵模式对应 LED0~LED8 引脚，最多可配置 $8 * 8 = 64$ 个 LED 点进行驱动。对应的 LED 点阵位置如下图所示。而 LRAM 中的显示配置表则是对应地址的 LED 点亮状态（1 表示点亮，0 表示不点亮）。透过设置 HSNK0EN，LED0~LED8 引脚可选择较高的灌电流驱动 LED。LED 的亮度可以通过 LCDBRIT2 设置。设置为 111b 时，亮度最高。此外，LEDBRITM 用于设置亮度或均匀性位。当 LEDBRITM=0 时，可以获得更好的显示均匀性。当 LEDBRITM=1 时，可以获得更好的显示亮度。LED 点矩阵模式的 SEG 信号也有支持死区时间，避免造成 LED 的闪烁，亦可通过设置 LEDHOLD 提供扫描暂停功能。

LRAM Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
C800h	7	6	5	4	3	2	1	0
C801h	15	14	13	12	11	10	9	8
C802h	23	22	21	20	19	18	17	16
C803h	31	30	29	28	27	26	25	24
C804h	39	38	37	36	35	34	33	32
C805h	47	46	45	44	43	42	41	40
C806h	55	54	53	52	51	50	49	48
C807h	63	62	61	60	59	58	57	56

LED 点矩阵模式对应 LRAM 显示配置表



LED 8*8 点矩阵对应像素点

注：LED 像素点 0~63 的亮度由 LEDBRIT2 (B2h.6~4) 控制

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		LEDHOLD	LEDBRIT		
R/W	R/W		R/W		R/W	R/W		
Reset	0	0	0	0	0	1	1	1

B1h.7~6 **LEDEN**: LED正反扫模式使能及占空比选择

00: LED正反扫模式关闭

01: LED选择1/8占空比(4COM x 4SEG), 需要将LED相关引脚设置为模式7 (见表7.1)

10: LED选择1/9占空比(4COM x 5SEG), 需要将LED相关引脚设置为模式7 (见表7.1)

11: LED选择1/10占空比(4COM x 6SEG), 需要将LED相关引脚设置为模式7 (见表7.1)

B1h.5~4 **LEDPSC**: LED 时钟频率选择

00: LED时钟选择FRC除以64

01: LED时钟选择FRC除以32

10: LED时钟选择FRC除以16

11: LED时钟选择FRC除以8

B1h.3 **LEDHOLD**: LED 暂停功能

0: 释放以运行LED扫描

1: 暂停LED扫描, 所有LED引脚状态均为Hi-Z

B1h.2~0 **LEDBRIT**:

LED 正反扫模式: LED 像素点 0~31, 40~47 亮度选择

000: 0 级(最暗)

...

111: 7 级(最亮)

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON2	LEDBRITM	LEDBRIT2			LEDMTEN	LEDBRIT1		
R/W	R/W	R/W			R/W	R/W		
Reset	0	1	1	1	0	1	1	1

B2h.7 **LEDBRITM**: LED 亮度模式选择

0: 均匀亮度模式

1: 亮度增强模式

B2h.6~4 **LEDBRIT2**:

LED 正反扫模式: LED 像素点 33, 35, 37, 39 亮度选择

LED 点矩阵模式: LED 像素点 0~63 亮度选择

000: 0 级(最暗)

...

111: 7 级(最亮)

B2h.3 **LEDMTEN**: 点矩阵模式使能

0: LED 点矩阵模式关闭

1: LED 点矩阵模式使能, 需要将 LED 相关引脚设置为模式 7 (见表 7.1)

B2h.2~0 **LEDBRIT1**:

LED 正反扫模式: LED 像素点 32, 34, 36, 38 亮度选择

000: 0 级(最暗)

...

111: 7 级(最亮)

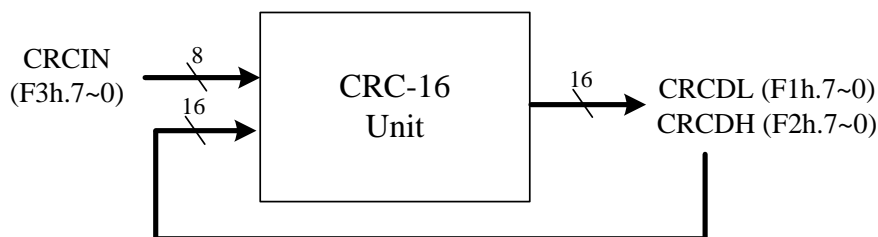
SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

14. 循环冗余校验码(CRC)

此芯片支持 16 位的循环冗余校验功能。循环冗余校验（CRC）计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC 计算采用 8 位数据流或数据块作为输入，并产生 16 位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC 生成器提供了基于 CRC-16-IBM 多项式的 16 位 CRC 结果计算。在这个 CRC 生成器中，只有一个多项式(如下)可用于数值计算，它不支持其他任何多项式的 16 位 CRC 计算。对 CRCIN 寄存器的每次写入操作，将被创建存储在 CRCDH 和 CRCDL 寄存器中的前一个 CRC 值的组合中，这将需要一个 MCU 指令周期来计算。

IBM 的 CRC-16 多项式表示（Modbus）： $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 CRCDL: 16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 CRCDL: 16 位 CRC 校验和数据位 15~8

SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	—	—	—	—	—	—	—	—

F3h.7~0 CRCIN: CRC 输入数据寄存器

15. 乘法器和除法器

该芯片提供的乘法器和除法器具有以下功能。8 位操作与标准 8051 完全兼容。

- 8 位×8 位= 16 位（标准 8051）
- 8 位÷8 位= 8 位，余数 8 位（标准 8051）
- 16 位×16 位= 32 位
- 16 位÷16 位= 16 位，余数 16 位
- 32 位÷16 位= 32 位，余数 16 位

无论是 8 位/16 位/32 位操作，都可以通过 MUL AB 和 DIV AB 指令轻松执行。对于 16 位/ 32 位乘法和除法运算，还有额外的 SFR EXA/EXA2/EXA3/EXB。对于 8 位乘法器/除法器操作，请确保 SFR 位 MULDIV16 = 0 和 DIV2 = 0。

对于 16 位乘法器操作被乘数，乘数和乘积如下。16 位乘法器需要 16 个系统时钟周期才能执行。

条件	SFR MULDIV16=1 和 DIV32=0			
乘法	字节3	字节2	字节1	字节0
被乘数	-	-	EXA	A
乘数	-	-	EXB	B
乘积	EXB	B	A	EXA
OV	乘积 (EXB or B) !=0			-

对于 16 位除法器操作被除数，除数，商，余数如下。16 位除法器需要 16 个系统时钟周期来执行。

条件	SFR MULDIV16=1 和 DIV32=0			
除法	字节3	字节2	字节1	字节0
被除数	-	-	EXA	A
除数	-	-	EXB	B
商	-	-	A	EXA
余数	-	-	B	EXB
OV	除数 EXB = B =0			

对于 32 位÷16 位运算被除数，除数，商，余数的读取方式如下。32 位除法器需要 32 个系统时钟周期来执行。

条件	SFR bit MULDIV16=1 and DIV32=1			
除法	字节3	字节2	字节1	字节0
被除数	EXA3	EXA2	EXA	A
除数	-	-	EXB	B
商	A	EXA	EXA2	EXA3
余数	-	-	B	EXB
OV	除数 EXB=B=0			

SFR CEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA2	EXA2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CEh.7~0 **EXA2**: 扩充累加器 2

SFR CFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA3	EXA3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CFh.7~0 **EXA3**: 扩充累加器 3

SFR E6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA	EXA							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E6h.7~0 **EXA**: 扩充累加器

SFR E7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXB	EXB							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E7h.7~0 **EXB**: 扩充 B 寄存器

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.3 **DIV32**: (仅在 MULDVI16 = 1 时有效)

0: 指令 DIV 作为 16/16 位除法运算

1: 指令 DIV 作为 32/16 位除法运算

F7h.0 **MULDIV16**:

0: 指令 MUL/DIV 为 8 * 8, 8/8 操作

1: 指令 MUL/DIV 为 16 * 16、16/16 或 32/16 操作

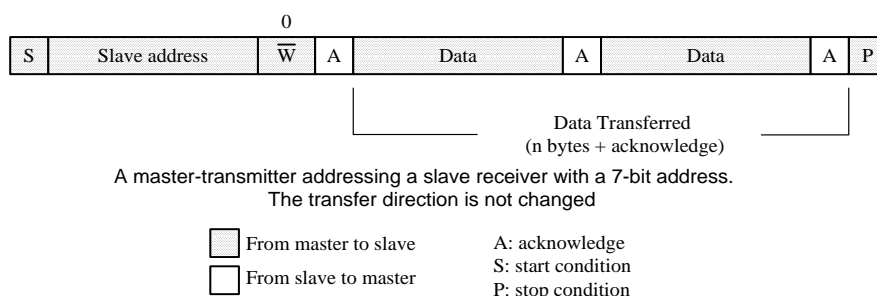
ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84

16. 主 I²C 接口

主 I²C 接口传输模式:

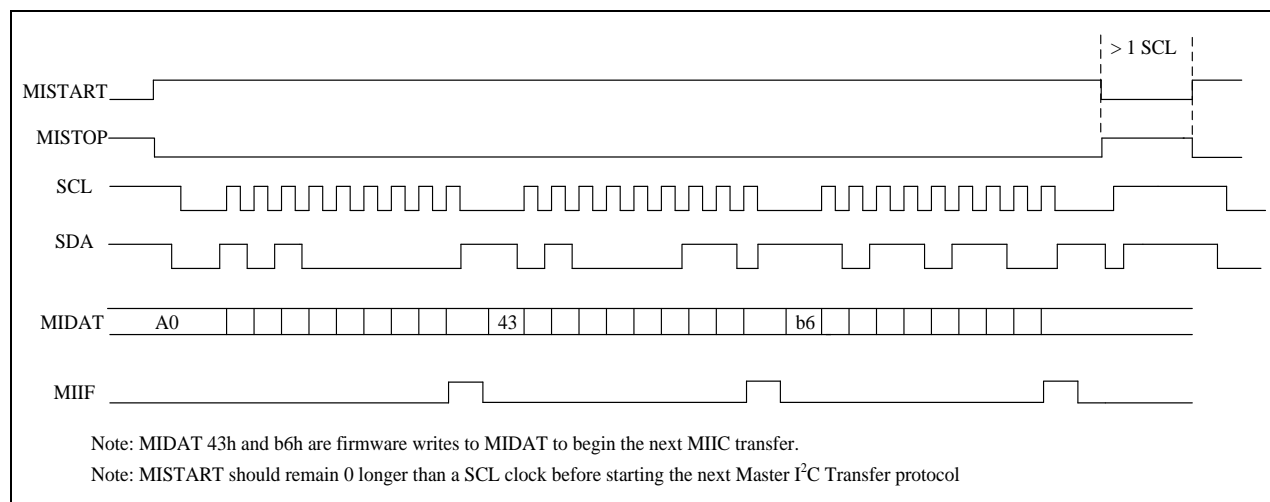
一开始先时将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后, 将发送 7 位从地址和一位方向位到从机。等待直到 MIIF 转换为 1 时, 代表地址和方向位传输完成, 用户应清除 MIIF 并写入数据到 MIDAT 以开始第一次数据传输。当 MIIF 转换为 1 时, 代表数据传输到从机完成。用户可以再次写入数据到 MIDAT 以将开始下一次数据传输到从机。设置 MISTOP 以完成传送模式。

在数据传输时, MISTART 必须保持为 1。并在最终数据发送/接收之后, 设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前, MISTART 应保持为 0, 且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



主 I²C 传送流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时(根据用户要求发出中断), 清除 MIIF
- (4) 将数据写入 MIDAT 以开始下一次传输(MISTART 必须保持为 1)
- (5) 等到 MIIF 转换为 1 时(根据用户要求发出中断), 清除 MIIF, 循环(4)~(5)进行下一次传输
- (6) 清除 MISTART, 设置 MISTOP 以停止 I²C 传输



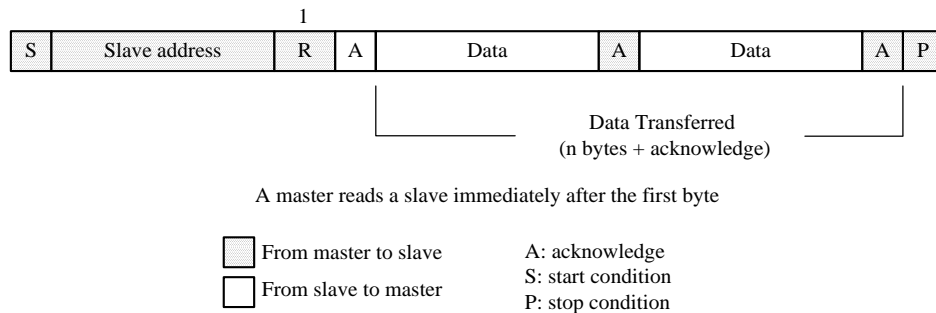
主发送时序

注: 在开始下一个主 I²C 协议之前, MISTART 应该保持 0 比 SCL 周期更长。

I²C 主接口接收模式:

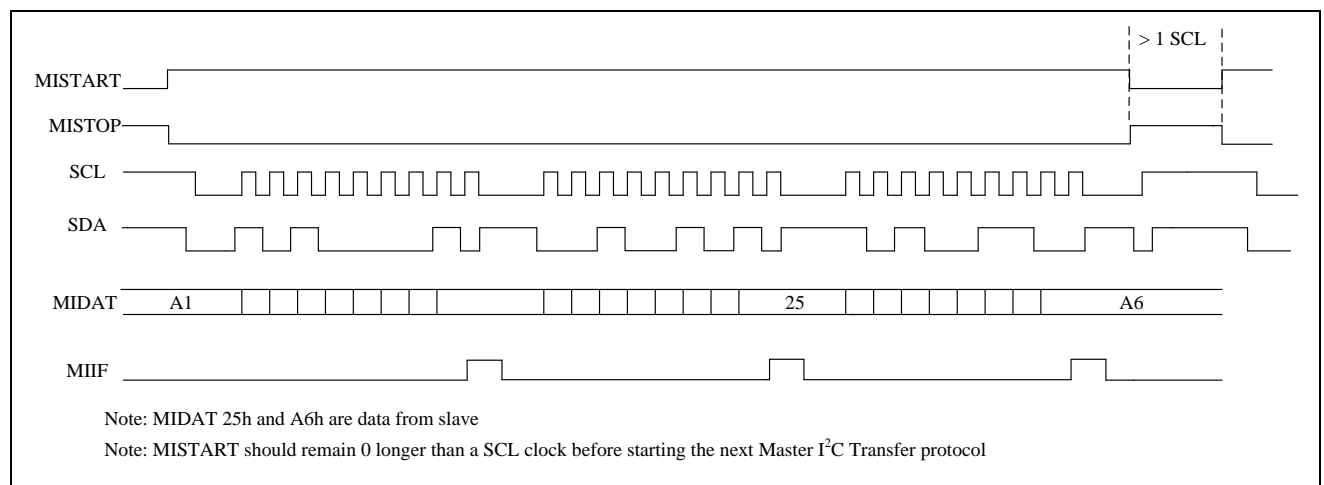
一开始先将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后，将发送 7 位从机地址和一位方向位到从机。当 MIIF 转换为 1 时，代表地址和方向位传输完成。用户应清除 MIIF 并读取 MIDAT 以开始第一次接收数据（此时尚未完成接收数据，应丢弃读入的 MIDAT）。当 MIIF 转换为 1 时，代表对从机接收的数据已完成。用户可以读取 MIDAT 以得到接收数据，硬件会同时开始下一次接收。设置 MISTOP 以完成接收模式。

在数据传输时，MISTART 必须保持为 1。并在最终数据发送/接收之后，设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前，MISTART 应保持为 0，且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



主 I²C 接收流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时(根据用户要求发出中断)，清除 MIIF
- (4) 读取 MIDAT 以开始第一次接收数据（此时尚未完成接收数据，应丢弃读入的 MIDAT）
- (5) 等到 MIIF 转换为 1 时(根据用户要求发出中断)，清除 MIIF
- (6) 读取 MIDAT 以得到接收数据，循环(5)~(6)进行下一次接收
- (7) 设置 MISTOP 以停止 I²C 传输



主接收时序

I ² C 功能引脚	PINMOD _{xx}	Px.n SFR data	引脚状态
I ² C Master SCL	0000	X	时钟输出（开漏输出）
	xx10	X	时钟输出（CMOS 推挽）
I ² C Master/Slaver SDA	0000	1	数据（上拉）

主 I²C 的引脚模式设置

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	UART2PS		UART1PS	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	0	0	0

A6h.4 **I2CPS**: I²C 引脚选择
 0: SCL/SDA = P0.0/P0.1
 1: SCL/SDA = P3.0/P3.1

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	I2CE	ES2	—	ADIE	LVDIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
Reset	0	0	0	—	0	0	0	0

A9h.6 **I2CE**: I²C 中断使能
 0: 禁用 I²C 中断
 1: 使能 I²C 中断

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

E1h.7 **MIEN**: 主 I²C 使能
 0: 禁用
 1: 使能

E1h.6 **MIACKO**: 当主 I²C 接收数据时, 向 I²C 总线发送 ACK
 0: ACK 到从机
 1: NACK 到从机

E1h.5 **MIIF**: 主 I²C 中断标志
 当主 I²C 发送或接收一个字节完成时, 由 H/W 设置。向该位写入"0"将清除该标志

E1h.4 **MIACKI**: 当主 I²C 传输时, ACK 来自 I²C 总线（只读）
 0: 收到 ACK
 1: 收到 NACK

E1h.3 **MISTART**: 主 I²C 启动位
 1: 启动 I²C 总线传输

E1h.2 **MISTOP**: 主 I²C 停止位
 1: 发送停止信号以停止 I²C 总线

E1h.1~0 **MICR**: 主 I²C 时钟频率选择
 00: F_{sys}/4 (例如, 如果 F_{sys}=16MHz, I²C 时钟为 4 MHz)
 01: F_{sys}/16 (例如, 如果 F_{sys}=16MHz, I²C 时钟为 1 MHz)
 10: F_{sys}/64 (例如, 如果 F_{sys}=16MHz, I²C 时钟为 250 KHz)
 11: F_{sys}/256 (例如, 如果 F_{sys}=16MHz, I²C 时钟为 62.5 KHz)

SFR E2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MIDAT	MIDAT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E2h.7~0 **MIDAT**: 主 I²C 数据移位寄存器

(写): 在开始条件之后和停止条件之前, 写入该寄存器将恢复向 I²C 总线的传输

(读): 在开始条件之后和停止条件之前, 读取该寄存器将恢复从 I²C 总线的接收

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	0	0	0	0	—	1	0	0

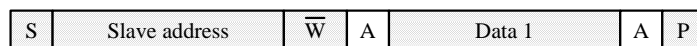
EAh.7 **MIIE**: I²C 主中断使能

0: 禁用

1: 使能

17. 从机 I²C 接口

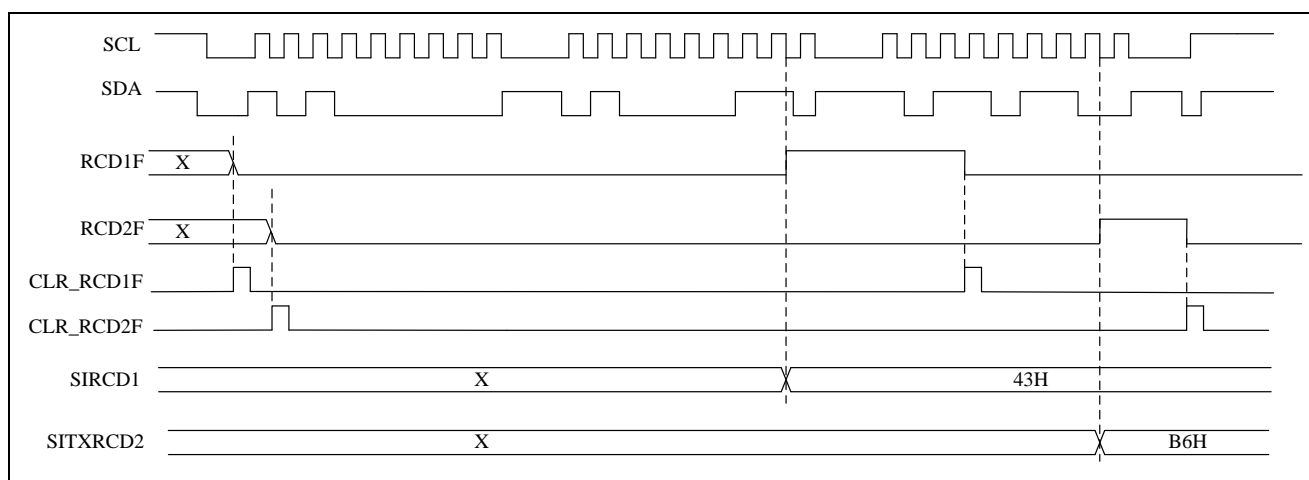
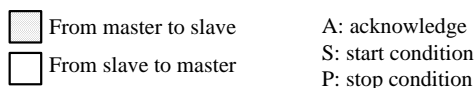
该芯片提供如下的从机 I²C 接口接收协议。从机 I²C 模块允许在启动条件之后每次接收一个或两个字节的數據。在接收 DATA1 之前，请注意 RCD1F 必须为 0。在 DATA1 接收完成之后，RCD1F 将被转换为 1，并且将根据用户的请求发出中断。用户可以使用固件清除 RCD1F，然后再次接收下一个 DATA1。用户可以将 RCD1F 写入 0 来清除 RCD1F。DATA2 和 RCD2F 的运行方式与 DATA1 和 RCD1 相同。DATA1 或 DATA2 接收完成后，主控端应重新启动传输协议以传输下一个 DATA1 和 DATA2。



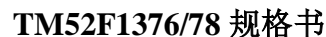
Slave I²C Receive Byte protocol





Slave I²C Receive Two Byte protocol

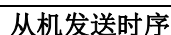


从机接收时序



S	Slave address	R	A	Data	A	P
---	---------------	---	---	------	---	---

 From master to slave A: acknowledge
 From slave to master S: start condition
 P: stop condition



从 I²C 的引脚模式设置

A9h.6 I2CE: I²C 中断使能
 0: 禁用 I²C 中断
 1: 使能 I²C 中断

E9h.7~1	SA: 从机分配的 I ² C 地址
E9h.0	SIEN: 从机 I ² C 使能
	0: 禁用
	1: 使能

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	0	0	0	0	—	1	0	0

- EAh.6 **TXDIE**: 从机 I²C 发送完成中断使能
0: 禁用
1: 使能
- EAh.5 **RCD2IE**: 从机 I²C DATA2 (SITXRCD2) 接收完成中断使能
0: 禁用
1: 使能
- EAh.4 **RCD1IE**: 从机 I²C DATA1 (SIRCD1) 接收完成中断使能
0: 禁用
1: 使能
- EAh.2 **TXDF**: 从机 I²C 传输完成中断标志
从机 I²C 传输完成时由硬件设置, 写 0 清除
- EAh.1 **RCD2F**: 从机 I²C DATA2 (SITXRCD2) 接收完成中断标志
从机 I²C DATA2 (SITXRCD2) 接收完成后由硬件置位, 写 0 清除
- EAh.0 **RCD1F**: 从机 I²C DATA1 (SIRCD1) 接收完成中断标志
从机 I²C DATA1 (SITXRCD1) 接收完成后由硬件置位, 写 0 清除

SFR EBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SIRCD1	SIRCD1							
R/W	R	R	R	R	R	R	R	R
Reset	—	—	—	—	—	—	—	—

EBh.7~0 **SIRCD1**: 从机 I²C 数据接收寄存器 1 (DATA1)

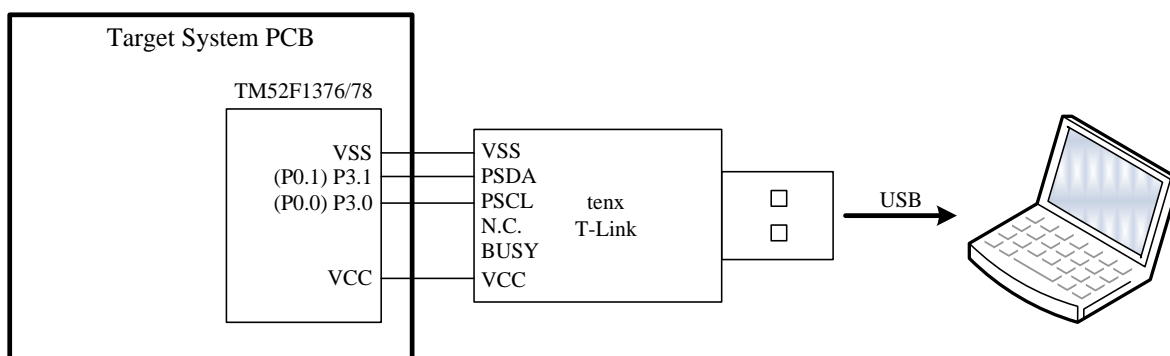
SFR ECh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SITXRCD2	SITXRCD2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	—	—	—	—	—

ECh.7~0 **SITXRCD2**: 从机 I²C 发送和接收数据寄存器
(读): 从机 I²C 数据接收寄存器 2 (DATA2)
(写): 从机 I²C 数据传输寄存器 (TXD)

18. 在线仿真器 (ICE) 模式

该设备可以支持在线仿真模式。要使用 ICE 模式，用户只需将 P3.0 和 P3.1 引脚连接到 tenx 专有 EV 模块。好处是用户可以仿真整个系统，而无需更改板载目标设备。但是 ICE 模式有一些限制，如下所示。

1. 设备必须处于未保护状态。
2. 设备的 P3.0 和 P3.1 引脚必须在输入模式下工作。
3. Tenx EV 模块占用了程序存储器的寻址空间 2D00h~2FFFh 和 0033h~003Ah。因此，用户程序无法访问这些空间。
4. 无法模拟 T-Link 通信引脚的功能。
5. P3.0 和 P3.1 引脚可以替换为 P0.0 和 P0.1。
6. V_{DD} 电平由 T-Link 模块控制。



16K Bytes program memory	
0000h	Reset / Interrupt Vector
007Fh	
0080h	User Code area
2CFFh	
2D00h	ICE mode reserve area
2FFFh	
3000h	User Code or IAP area
3FEFh	
3FF0h	CRC16L
3FF1h	CRC16H
3FF2h	tenx reserve area
3FFAh	
3FFBh	CFGBG
3FFDh	CFGWL (FRC)
3FFFh	CFGWH
TM52F1376	

8K Bytes program memory	
0000h	Reset / Interrupt Vector
007Fh	
0080h	User Code area
1FEFh	
1FF0h	CRC16L
1FF1h	CRC16H
	tenx reserve area
2D00h	ICE mode reserve area
2FFFh	
	tenx reserve area
3FFAh	
3FFBh	CFGBG
3FFDh	CFGWL (FRC)
3FFFh	CFGWH
TM52F1378	

SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	0000-0000	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
85h	xxxx-0000	INTPORT	—	—	—	—	P3IF	P2IF	P1IF	P0IF
86h	xxxx-x000	INTPWM	—	—	—	—	—	PWM2IF	PWM1IF	PWM0IF
87h	0xxx-0000	PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
8Eh	0100-0000	SCON2	SM	—	—	REN2	TB82	RB82	TI2	RI2
8Fh	xxxx-xxxx	SBUF2	SBUF2							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	xxxx-xx00	PORTIDX	—	—	—	—	—	—	PORTIDX	
94h	0000-0000	OPTION	—	TM3CKS	WDTPSC		ADCKS		—	—
95h	xxx0-xx00	INTFLG	LVDIF	—	—	ADIF	—	—	PCIF	TF3
96h	0000-0000	INTPIN	PIN7IF	PIN6IF	PIN5IF	PIN4IF	PIN3IF	PIN2IF	PIN1IF	PIN0IF
97h	xxxx-xx00	SWCMD	IAPEN / SWRST / WDTO							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	xx10-1010	PWMCON	—	—	PWM2CKS		PWM1CKS		PWM0CKS	
A2h	0001-0001	PINMOD10	PINMOD1				PINMOD0			
A3h	0001-0001	PINMOD32	PINMOD3				PINMOD2			
A4h	0001-0001	PINMOD54	PINMOD5				PINMOD4			
A5h	0001-0001	PINMOD76	PINMOD7				PINMOD6			
A6h	0000-0000	PINMOD	HSNK2EN	HSNK1EN	HSNK0EN	I2CPS	UART2PS		UARTPS	
A7h	x000-x000	PWMCON2	—	PWM2IE	PWM1IE	PWM0IE	—	PWM2CLR	PWM1CLR	PWM0CLR
A8h	0x00-0000	IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
A9h	000x-0000	INTE1	PWMIE	I2CE	ES2	—	ADIE	LVDIE	PCIE	TM3IE
AAh	xxxx-xxxx	ADCDL	ADCDL				—			
ABh	xxxx-xxxx	ADCDH	ADCDH							
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B1h	0000-0111	LEDCON	LEDEN		LEDPSC		LEDHOLD	LEDBRIT		
B2h	0111-0111	LEDCON2	LEDBRTM	LEDBRIT2			LEDMTEN	LEDBRIT1		
B6h	xxx1-1111	ADCHS	—	—	—	ADCHS				
B8h	xx00-0000	IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	000x-0000	IP1	PPWM	PI2C	PS2	—	PADI	PLVD	PPC	PT3
BBh	000x-0000	IP1H	PPWMH	PI2CH	PS2H	—	PADIH	PLVDH	PPCH	PT3H
BFh	0xxx-0000	LVDS	LVDPD	LVDO	—	—	LVDS			
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	00xx-xxxx	IAPWE	IAPWE / IAPTO / EEPWE							

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
CEh	0000-0000	EXA2	EXA2							
CFh	0000-0000	EXA3	EXA3							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	1000-0000	PWM0DH	PWM0DH							
D2h	0000-0000	PWM0DL	PWM0DL							
D3h	1000-0000	PWM1DH	PWM1DH							
D4h	0000-0000	PWM1DL	PWM1DL							
D5h	1000-0000	PWM2DH	PWM2DH							
D6h	0000-0000	PWM2DL	PWM2DL							
D8h	00x0-0011	CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
D9h	1111-1111	PWM0PRDH	PWM0PRDH							
DAh	1111-1111	PWM0PRDL	PWM0PRDL							
DBh	1111-1111	PWM1PRDH	PWM1PRDH							
DCh	1111-1111	PWM1PRDL	PWM1PRDL							
DDh	1111-1111	PWM2PRDH	PWM2PRDH							
DEh	1111-1111	PWM2PRDL	PWM2PRDL							
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E1h	000x-0100	MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
E2h	0000-0000	MIDAT	MIDAT							
E6h	0000-0000	EXA	EXA							
E7h	0000-0000	EXB	EXB							
E9h	0110-1000	SIADR	SA							SIEN
EAh	0000-x100	SICON	MIIE	TXDIE	RCD2IE	RCD1IE	–	TXDF	RCD2F	RCD1F
EBh	xxxx-xxxx	SIRCD1	SIRCD1							
ECh	xxxx-xxxx	SITXRCD2	SITXRCD2							
EFh	xx00-0000	AUX3	–	–	TM3PSC			VBGEN	–	ADCVREFS
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	0000-0000	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	–	–	–	BGTRIM				
F6h	xxxx-xxxx	CFGWL	–	FRCF						
F7h	0000-1110	AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
F8h	0000-0000	AUX1	CLRWDT	CLRTM3	–	ADSOC	LVRPD	T2SEL	T1SEL	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
3FFFh	CFGWH	PROT	XRSTE	LVRE				–	–

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
85h	INTPORT	3	P3IF	R/W	0	PORT3 Pin Change Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
		2	P2IF	R/W	0	PORT2 Pin Change Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
		1	P1IF	R/W	0	PORT1 Pin Change Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
		0	P0IF	R/W	0	PORT0 Pin Change Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
86h	INTPWM	2	PWM2IF	R/W	0	PWM2 Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
		1	PWM1IF	R/W	0	PWM1 Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
		0	PWM0IF	R/W	0	PWM0 Interrupt Flag. 1: interrupt asserted, write 0 to clear int flag
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART1 double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter STOP mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter IDLE mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
8Eh	SCON2	7	SM	R/W	0	UART2 Serial port mode select bit 0: Mode1: 8 bit UART2, Baud Rate is variable 1: Mode3: 9 bit UART2, Baud Rate is variable
		4	REN2	R/W	0	UART2 reception enable 0: Disable reception 1: Enable reception
		3	TB82	R/W	0	Transmit Bit 8, the ninth bit to be transmitted in Mode3
		2	RB82	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode3
		1	TI2	R/W	0	Transmit interrupt flag Set by H/W at the beginning of the stop bit in Mode 1 & 3. Must be cleared by S/W.
		0	RI2	R/W	0	Receive interrupt flag Set by H/W at the sampling point of the stop bit in Mode 1 & 3. Must be cleared by S/W.
8Fh	SBUF2	7~0	SBUF2	R/W	–	UART2 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	PORTIDX	1~0	PORTIDX	R/W	00	Port index of INTPIN, PINMOD10, PINMOD32, PINMOD54, PINMOD76
94h	OPTION	6	TM3CKS	R/W	0	Timer3 Clock Source Select. 0: Slow clock (SXT/SRC) 1: FRC/512 (36KHz)
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 240ms WDT overflow rate 01: 120ms WDT overflow rate 10: 60ms WDT overflow rate 11: 30ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSCLK} /32 01: F _{SYSCLK} /16 10: F _{SYSCLK} /8 11: F _{SYSCLK} /4
95h	INTFLG	7	LVDIF	R	–	Low Voltage Detect flag Set by H/W when a low voltage occurs.
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		1	PCIF	R/W	0	Port0~Port3 Pin change interrupt flag Set by H/W when Port0~Port3 pin state change is detected and its interrupt enable bit is set. S/W can write 0 to clear all pin interrupt flags (Port0~Port3), it will also clear PIN0IF~PIN7IF and P0IF~P3IF.
		0	TF3	R/W	0	Timer3 Interrupt Flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
96h	INTPIN	7	PIN7IF	R/W	0	Px.7 pin change interrupt flag, Write 0 to clear Px.7 pin change interrupt flag port number (x) define by PORTIDX
		6	PIN6IF	R/W	0	Px.6 pin change interrupt flag, Write 0 to clear Px.6 pin change interrupt flag port number (x) define by PORTIDX
		5	PIN5IF	R/W	0	Px.5 pin change interrupt flag, Write 0 to clear Px.5 pin change interrupt flag port number (x) define by PORTIDX
		4	PIN4IF	R/W	0	Px.4 pin change interrupt flag, Write 0 to clear Px.4 pin change interrupt flag port number (x) define by PORTIDX
		3	PIN3IF	R/W	0	Px.3 pin change interrupt flag, Write 0 to clear Px.3 pin change interrupt flag port number (x) define by PORTIDX
		2	PIN2IF	R/W	0	Px.2 pin change interrupt flag, Write 0 to clear Px.2 pin change interrupt flag port number (x) define by PORTIDX
		1	PIN1IF	R/W	0	Px.1 pin change interrupt flag, Write 0 to clear Px.1 pin change interrupt flag port number (x) define by PORTIDX
		0	PIN0IF	R/W	0	Px.0 pin change interrupt flag, Write 0 to clear Px.0 pin change interrupt flag port number (x) define by PORTIDX
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPEN	W		Write 65h to set IAPEN control flag; Write other value to clear IAPEN flag. It is recommended to clear it immediately after IAP access.
		1	WDTO	R	0	WatchDog Time-Out flag
		0	IAPEN	R	0	Flag indicates Flash memory sectors can be accessed by IAP or not. This bit combines with MVCLOCK to define the accessible IAP area.
98h	SCON	7	SM0	R/W	0	UART1 Serial port mode select bit 0, 1 (SM0, SM1) = 00: Mode0: 8 bit shift register, Baud Rate= $F_{SYSCLK}/2$ 01: Mode1: 8 bit UART1, Baud Rate is variable 10: Mode2: 9 bit UART1, Baud Rate= $F_{SYSCLK}/32$ or $/64$ 11: Mode3: 9 bit UART1, Baud Rate is variable
		6	SM1	R/W	0	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	Set 1 to enable UART1 Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
99h	SBUF	7~0	SBUF	R/W	–	UART1 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
A0h	P2	7~0	P2	R/W	FFh	P2 data

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A1h	PWMCON	5~4	PWM2CKS	R/W	10	PWM2 clock source 00/01: F _{SYSCLK} 10: FRC 11: FRC x 2 (V _{CC} > 3.0V)
		3~2	PWM1CKS	R/W	10	PWM1 clock source 00/01: F _{SYSCLK} 10: FRC 11: FRC x 2 (V _{CC} > 3.0V)
		1~0	PWM0CKS	R/W	10	PWM0 clock source 00/01: F _{SYSCLK} 10: FRC 11: FRC x 2 (V _{CC} > 3.0V)
A2h	P1MODL	7~6	P1MOD3	R/W	01	P1.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.3 is ADC input
		5~4	P1MOD2	R/W	01	P1.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.2 is ADC input
		3~2	P1MOD1	R/W	01	P1.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.1 is ADC input
		1~0	P1MOD0	R/W	01	P1.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.0 is ADC input
A2h	PINMOD10	7~4	PINMOD1	R/W	0001	Px.1 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD0	R/W	0001	Px.0 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A3h	PINMOD32	7~4	PINMOD3	R/W	0001	Px.3 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD2	R/W	0001	Px.2 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A4h	PINMOD54	7~4	PINMOD5	R/W	0001	Px.5 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD4	R/W	0001	Px.4 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A5h	PINMOD76	7~4	PINMOD7	R/W	0000	Px.7 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
		3~0	PINMOD6	R/W	0001	Px.6 pin control, port index (x) is defined by PORTIDX 0000~1111: see table 7.1
A6h	PINMOD	7	HSNK2EN	R/W	0	Pin H-sink enable (Group 2: P06, P07, P22~P25, P30~P33) 0: Group 2 High-sink disable 1: Group 2 High-sink enable
		6	HSNK1EN	R/W	0	Pin H-sink enable (Group 1: P04, P05, P10~P17) 0: Group 1 High-sink disable 1: Group 2 High-sink enable
		5	HSNK0EN	R/W	0	Pin H-sink enable (Group 0: P00~P03, P20, P21, P34~P37) 0: Group 0 High-sink disable 1: Group 2 High-sink enable
		4	I2CPS	R/W	0	I ² C Pin Select 0: SCL/SDA = P0.0/P0.1 1: SCL/SDA = P3.0/P3.1
		3~2	UART2PS	R/W	00	UART2 Pin Select 00: RXD2/TXD2 = P0.0/P0.1 01: RXD2/TXD2 = P3.5/P3.6 10: RXD2/TXD2 = P0.1/P0.0 11: RXD2/TXD2 = P3.6/P3.5
		1~0	UART1PS	R/W	00	UART1 Pin Select 00: RXD/TXD = P3.0/P3.1 01: RXD/TXD = P3.2/P3.3 10: RXD/TXD = P3.1/P3.0 11: RXD/TXD = P3.3/P3.2

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A7h	PWMCON2	6	PWM2IE	R/W	0	PWM2 Interrupt Enable 0: disable 1: enable (note: PWMIE must be 1 at the same time to generate PWM interrupt)
		5	PWM1IE	R/W	0	PWM1 Interrupt Enable 0: disable 1: enable (note: PWMIE must be 1 at the same time to generate PWM interrupt)
		4	PWM0IE	R/W	0	PWM0 Interrupt Enable 0: disable 1: enable (note: PWMIE must be 1 at the same time to generate PWM interrupt)
		2	PWM2CLR	R/W	0	PWM2 clear enable 0: PWM2 is running 1: PWM2 is cleared and held
		1	PWM1CLR	R/W	0	PWM1 clear enable 0: PWM1 is running 1: PWM1 is cleared and held
		0	PWM0CLR	R/W	0	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART1) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
A9h	INTE1	0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Stop mode wake up capability
		7	PWMIE	R/W	0	Set 1 to enable PWM0~PWM2 interrupt
		6	I2CE	R/W	0	Set 1 to enable I ² C (master/slave) interrupt
		5	ES2	R/W	0	Set 1 to enable Serial Port (UART2) interrupt
		3	ADIE	R/W	0	Set 1 to enable ADC Interrupt
		2	LVDIE	R/W	0	Set 1 to enable LVD interrupt
		1	PCIE	R/W	0	Set 1 to enable Port0~Port3 Pin Change Interrupt
AAh	ADCDL	7~4	ADCDL	R	–	ADC data bit 3~0
		7~0	ADCDH	R	–	ADC data bit 11~4
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B1h	LEDCON	7~6	LEDEN	R/W	00	LED BiD matrix mode enable and duty select 00: LED BiD matrix mode disable 01: LED 1/8 duty (4COM x 4SEG) 10: LED 1/9 duty (4COM x 5SEG) 11: LED 1/10 duty (4COM x 6SEG) Need to set the LED related pins to MODE7 (see Table 7.1)
		5~4	LEDPSC	R/W	00	LED clock prescaler select 00: LED clock is FRC divided by 64 01: LED clock is FRC divided by 32 10: LED clock is FRC divided by 16 11: LED clock is FRC divided by 8
		3	LEDHOLD	R/W	0	LED clock hold 0: LED scan 1: LED clock hold
		2~0	LEDBRIT	R/W	111	BiD matrix mode: LED number 0~31, 40~47 brightness control 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B2h	LEDCON2	7	LEDBRITM	R/W	0	LED Brightness control 0: Uniform brightness mode 1: Brightness enhancement mode
		6~4	LEDBRIT2	R/W	111	BiD matrix mode: LED number 33, 35, 37, 39 brightness control Dot matrix mode: LED number 0~63 brightness control 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
		3	LEDMTEN	R/W	0	LED Dot matrix mode enable 0: LED Dot matrix mode disable 1: LED Dot matrix mode enable Need to set the LED related pins to MODE7 (see Table 7.1)
		2~0	LEDBRIT1	R/W	111	BiD matrix mode: LED number 32, 34, 36, 38 brightness control 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
B6h	ADCHS	4~0	ADCHS	R/W	1Fh	ADC Channel Select 00000: AD0 (P0.4) 00001: AD1 (P0.5) 00010: AD2 (P2.0) 00011: AD3 (P2.1) 00100: AD4 (P1.0) 00101: AD5 (P1.1) 00110: AD6 (P1.2) 00111: AD7 (P1.3) 01000: AD8 (P1.4) 01001: AD9 (P1.5) 01010: AD10 (P1.6) 01011: VBG (Internal Bandgap Reference Voltage) 01100: AD12 (P1.7) 01101: AD13 (P2.2) 01110: AD14 (P2.3) 01111: AD15 (P2.4) 10000: AD16 (P2.5) 10001: AD17 (P0.6) 10010: AD18 (P0.7) 10011: AD19 (P0.0) 10100: AD20 (P0.1) 10101: AD21 (P0.2) 10110: AD22 (P0.3) 10111: 1/4 V _{CC}
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART1) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART1) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	7	PPWM	R/W	0	PWM Interrupt Priority Low bit
		6	PI2C	R/W	0	I2C Interrupt Priority Low bit
		5	PS2	R/W	0	Serial Port (UART2) interrupt priority low bit
		3	PADI	R/W	0	ADC Interrupt Priority Low bit
		2	PLVD	R/W	0	LVD Interrupt Priority Low bit
		1	PPC	R/W	0	Port0~Port3 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
BBh	IP1H	7	PPWMH	R/W	0	PWM Interrupt Priority High bit
		6	PI2CH	R/W	0	I2C Interrupt Priority High bit
		5	PS2H	R/W	0	Serial Port (UART2) interrupt priority high bit
		3	PADIH	R/W	0	ADC Interrupt Priority High bit
		2	PLVDH	R/W	0	LVD Interrupt Priority High bit
		1	PPCH	R/W	0	Port0~Port3 pin change Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit
BFh	LVDS	7	LVDPD	R/W	0	Low Voltage Detect function select (Auto disable in Idle/Stop mode) 0: enable LVD 1: disable LVD
		6	LVDO	R	-	Low Voltage Detect output
		3~0	LVDS	R/W	0	Low Voltage Detect select 0000: Set LVD at 2.05V 0001: Set LVD at 2.19V 0010: Set LVD at 2.33V 0011: Set LVD at 2.47V 0100: Set LVD at 2.61V 0101: Set LVD at 2.75V 0110: Set LVD at 2.89V 0111: Set LVD at 3.03V 1000: Set LVD at 3.17V 1001: Set LVD at 3.31V 1010: Set LVD at 3.45V 1011: Set LVD at 3.59V 1100: Set LVD at 3.73V 1101: Set LVD at 3.87V 1110: Set LVD at 4.01V 1111: Set LVD at 4.15V
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0: timer stops 1: timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C9h	IAPWE	7~0	IAPWE	W	–	Write 47h to set IAPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after IAP write.
		7~0	EEPWE	W	–	Write E2h to set EEPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		7	IAPWE	R	0	Flag indicates Flash memory can be written by IAP or not 0: IAP Write disable 1: IAP Write enable
		6	IAPTO	R	0	IAP (or EEPROM write) Time-Out flag Set by H/W when IAP (or EEPROM write) Time-out occurs. Cleared by H/W when IAPWE=0 (or EEPWE=0).
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
CEh	EXA2	7~0	EXA2	R/W	00h	Expansion accumulator 2
CFh	EXA3	7~0	EXA3	R/W	00h	Expansion accumulator 3
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D1h	PWM0DH	7~0	PWM0DH	R/W	80h	PWM0 duty high byte write sequence: PWM0DL then PWM0DH read sequence: PWM0DH then PWM0DL
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty low byte write sequence: PWM0DL then PWM0DH read sequence: PWM0DH then PWM0DL
D3h	PWM1DH	7~0	PWM1DH	R/W	80h	PWM1 duty high byte write sequence: PWM1DL then PWM1DH read sequence: PWM1DH then PWM1DL
D4h	PWM1DL	7~0	PWM1DL	R/W	00h	PWM1 duty low byte write sequence: PWM1DL then PWM1DH read sequence: PWM1DH then PWM1DL
D5h	PWM2DH	7~0	PWM2DH	R/W	80h	PWM2 duty high byte write sequence: PWM2DL then PWM2DH read sequence: PWM2DH then PWM2DL
D6h	PWM2DL	7~0	PWM2DL	R/W	00h	PWM2 duty low byte write sequence: PWM2DL then PWM2DH read sequence: PWM2DH then PWM2DL
D8h	CLKCON	7	SCKTYPE	R/W	0	Slow clock Type. This bit can be changed only in Fast mode (SELFCK=1) 0: SRC 1: SXT, P2.0 and P2.1 are crystal pins
		6	FCKTYPE	R/W	0	Fast clock type. This bit can be changed only in Slow mode (SELFCK=0). 0: FRC 1: FXT, P2.0 and P2.1 are crystal pins, oscillator gain is high for FXT
		5	STPSCK	R/W	1	Set 1 to stop Slow clock in PDOWN mode
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0 period high byte write sequence: PWM0PRDL then PWM0PRDH read sequence: PWM0PRDH then PWM0PRDL
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0 period low byte write sequence: PWM0PRDL then PWM0PRDH read sequence: PWM0PRDH then PWM0PRDL
DBh	PWM1PRDH	7~0	PWM1PRDH	R/W	FFh	PWM1 period high byte write sequence: PWM1PRDL then PWM1PRDH read sequence: PWM1PRDH then PWM1PRDL
DCh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1 period low byte write sequence: PWM1PRDL then PWM1PRDH read sequence: PWM1PRDH then PWM1PRDL
DDh	PWM2PRDH	7~0	PWM2PRDH	R/W	FFh	PWM2 period high byte write sequence: PWM2PRDL then PWM2PRDH read sequence: PWM2PRDH then PWM2PRDL
DEh	PWM2PRDL	7~0	PWM2PRDL	R/W	FFh	PWM2 period low byte write sequence: PWM2PRDL then PWM2PRDH read sequence: PWM2PRDH then PWM2PRDL
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E1h	MICON	7	MIEN	R/W	0	Master I ² C enable 0: disable 1: enable
		6	MIACKO	R/W	0	When Master I ² C receive data, send acknowledge to I ² C Bus 0: ACK to slave device 1: NACK to slave device
		5	MIIF	R/W	0	Master I ² C Interrupt flag 0: write 0 to clear it 1: Master I ² C transfer one byte complete
		4	MIACKI	R	–	When Master I ² C transfer, acknowledgement form I ² C bus (read only) 0: ACK received 1: NACK received
		3	MISTART	R/W	0	Master I ² C Start bit 1: start I ² C bus transfer
		2	MISTOP	R/W	1	Master I ² C Stop bit 1: send STOP signal to stop I ² C bus
		1~0	MICR	R/W	00	Master I ² C (SCL) clock frequency selection 00: Fsys/4 (ex. If Fsys=16MHz, I ² C clock is 4M Hz) 01: Fsys/16 (ex. If Fsys=16MHz, I ² C clock is 1M Hz) 10: Fsys/64 (ex. If Fsys=16MHz, I ² C clock is 250K Hz) 11: Fsys/256 (ex. If Fsys=16MHz, I ² C clock is 62.5K Hz)
E2h	MIDAT	7~0	MIDAT	R/W	00	Master I ² C data shift register (W): After Start and before Stop condition, write this register will resume transmission to I ² C bus (R): After Start and before Stop condition, read this register will resume receiving from I ² C bus
E6h	EXA	7~0	EXA	R/W	00h	Expansion accumulator
E7h	EXB	7~0	EXB	R/W	00h	Expansion B register
E9h	SIADR	7~1	SA	R/W	64h	Slave I ² C address assigned
		0	SIEN	R/W	0	Slave I ² C enable 0: disable 1: enable

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
EAh	SICON	7	MIIE	R/W	0	I ² C Master interrupt enable 0: disable 1: enable
		6	TXDIE	R/W	0	Slave I ² C transmission completed interrupt enable 0: disable 1: enable
		5	RCD2IE	R/W	0	Slave I ² C DATA2(SITXRCD2) reception completed interrupt enable 0: disable 1: enable
		4	RCD1IE	R/W	0	Slave I ² C DATA1(SIRCD1) reception completed interrupt enable 0: disable 1: enable
		2	TXDF	R/W	1	Slave I ² C transmission completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave I ² C transmission complete
		1	RCD2F	R/W	0	Slave I ² C DATA2 (SITXRCD2) reception completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave I ² C DATA2 (SITXRCD2) reception complete
		0	RCD1F	R/W	0	Slave I ² C DATA1 (SIRCD1) reception completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave I ² C DATA1 (SIRCD1) reception complete
EBh	SIRCD1	7~0	SIRCD1	R	–	Slave I ² C data receive register1 (DATA1)
ECh	SITXRCD2	7~0	SITXRCD2	R/W	–	Slave I ² C transmit and receive data register Read: Slave I ² C data receive register2 (DATA2) Write: Slave I ² C data transmission register (TXD)
EFh	AUX3	5~3	TM3PSC	R/W	000	Timer3 Interrupt rate 000: Timer3 Interrupt rate is 32768 Timer3 clock cycle 001: Timer3 Interrupt rate is 16384 Timer3 clock cycle 010: Timer3 Interrupt rate is 8192 Timer3 clock cycle 011: Timer3 Interrupt rate is 4096 Timer3 clock cycle 100: Timer3 Interrupt rate is 2048 Timer3 clock cycle 101: Timer3 Interrupt rate is 1024 Timer3 clock cycle 110: Timer3 Interrupt rate is 512 Timer3 clock cycle 111: Timer3 Interrupt rate is 256 Timer3 clock cycle
		2	VBGEN	R/W	0	VBG enable control 0: VBG/VBGO disable at Idle and Stop mode 1: Force VBG/VBGO to be enabled, included in Idle mode, but disabled in Stop mode
		1	–	–	0	Force 0 (tenx reserved)
		0	ADCVREFS	R/W	0	ADC reference voltage (V _{REFS}) select 0: V _{CC} 1: 2.5V
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	–	CRC input data
F5h	CFGGBG	4~0	BGTRIM	R/W	–	VBG trimming value (Chip Reserved)
F6h	CFGWL	6~0	FRCF	R/W	–	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency
F7h	AUX2	7~6	WDTE	R/W	00	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Stop mode 11: WDT always enable
		5	PWRSAPV	R/W	0	Set 1 to reduce the chip's power consumption at Idle/Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
F8h	AUX1	3	DIV32	R/W	0	only active when MULDIV16 =1 0: instruction DIV as 16/16 bit division operation 1: instruction DIV as 32/16 bit division operation
		2~1	IAPTE	R/W	00	IAP watchdog timer enable 00: Disable 01: wait 1mS trigger watchdog time-out flag 10: wait 3.9mS trigger watchdog time-out flag 11: wait 7.8mS trigger watchdog time-out flag
		0	MULDIV16	R/W	0	0: instruction MUL/DIV as 8*8, 8/8 operation 1: instruction MUL/DIV as 16*16, 16/16 or 32/16 operation
		7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear Timer3, HW auto clear it at next clock cycle.
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	LVRPD	R/W	0	Low Voltage Reset function select 0: enable LVR 1: disable LVR
		2	T2SEL	R/W	0	Timer2 counter mode (CT2N=1) input select 0: P1.0 (T2) pin (8051standard) 1: Slow clock divide by 16 (SLOWCLK/16)
		1	T1SEL	R/W	0	Timer1 counter mode (CT1N=1) input select 0: P3.5 (T1) pin (8051 standard) 1: Slow clock divide by 16 (SLOWCLK/16)
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
3FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset enable, 1=enable.
		5~2	LVRE	Low Voltage Reset function select 0000: Set LVR at 2.05V 0001: Set LVR at 2.19V 0010: Set LVR at 2.33V 0011: Set LVR at 2.47V 0100: Set LVR at 2.61V 0101: Set LVR at 2.75V 0110: Set LVR at 2.89V 0111: Set LVR at 3.03V 1000: Set LVR at 3.17V 1001: Set LVR at 3.31V 1010: Set LVR at 3.45V 1011: Set LVR at 3.59V 1100: Set LVR at 3.73V 1101: Set LVR at 3.87V 1110: Set LVR at 4.01V 1111: Set LVR at 4.15V
		1	PREAD	Reserved
		0	FRCPSC	Reserved

注：上表列出所有的SFR, 特地保留原始英文, 以供使用者交互参考。

指令集

指令都是 1, 2 或 3 个字节长如“字节”列所示。每条指令需要 2~8 个系统时钟周期来执行如“周期”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A, Rn	Add register to A	1	2	28-2F
ADD A, dir	Add direct byte to A	2	2	25
ADD A, @Ri	Add indirect memory to A	1	2	26-27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	2	38-3F
ADDC A, dir	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A, dir	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8 / 16	A4
DIV AB	Divide A by B	1	8/16/32	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A, Rn	AND register to A	1	2	58-5F
ANL A, dir	AND direct byte to A	2	2	55
ANL A, @Ri	AND indirect memory to A	1	2	56-57
ANL A, #data	AND immediate to A	2	2	54
ANL dir, A	AND A to direct byte	2	2	52
ANL dir, #data	AND immediate to direct byte	3	4	53
ORL A, Rn	OR register to A	1	2	48-4F
ORL A, dir	OR direct byte to A	2	2	45
ORL A, @Ri	OR indirect memory to A	1	2	46-47
ORL A, #data	OR immediate to A	2	2	44
ORL dir, A	OR A to direct byte	2	2	42
ORL dir, #data	OR immediate to direct byte	3	4	43
XRL A, Rn	Exclusive-OR register to A	1	2	68-6F
XRL A, dir	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL dir, A	Exclusive-OR A to direct byte	2	2	62
XRL dir, #data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A, Rn	Move register to A	1	2	E8-EF
MOV A, dir	Move direct byte to A	2	2	E5
MOV A, @Ri	Move indirect memory to A	1	2	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	2	F8-FF
MOV Rn, dir	Move direct byte to register	2	4	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV dir, A	Move A to direct byte	2	2	F5
MOV dir, Rn	Move register to direct byte	2	4	88-8F
MOV dir, dir	Move direct byte to direct byte	3	4	85
MOV dir, @Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir, #data	Move immediate to direct byte	3	4	75
MOV @Ri, A	Move A to indirect memory	1	2	F6-F7
MOV @Ri, dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri, #data	Move immediate to indirect memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	4	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	4	93
MOVC A, @A+PC	Move code byte relative PC to A	1	4	83
MOVB A, @Ri	Move external data (A8) to A	1	4	E2-E3
MOVB A, @DPTR	Move external data (A16) to A	1	4	E0
MOVB @Ri, A	Move A to external data (A8)	1	4	F2-F3
MOVB @DPTR, A	Move A to external data (A16)	1	4	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A, Rn	Exchange A and register	1	2	C8-CF
XCH A, dir	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A, @Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	4	82
ANL C, /bit	AND direct bit inverse to carry	2	4	B0
ORL C, bit	OR direct bit to carry	2	4	72
ORL C, /bit	OR direct bit inverse to carry	2	4	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	4	11-F1
LCALL addr 16	Long jump to subroutine	3	4	12
RET	Return from subroutine	1	4	22
RETI	Return from interrupt	1	4	32
AJMP addr 11	Absolute jump unconditional	2	4	01-E1
LJMP addr 16	Long jump unconditional	3	4	02
SJMP rel	Short jump (relative address)	2	4	80
JC rel	Jump on carry = 1	2	4	40
JNC rel	Jump on carry = 0	2	4	50
JB bit, rel	Jump on direct bit = 1	3	4	20
JNB bit, rel	Jump on direct bit = 0	3	4	30
JBC bit, rel	Jump on direct bit = 1 and clear	3	4	10
JMP @A+DPTR	Jump indirect relative DPTR	1	4	73
JZ rel	Jump on accumulator = 0	2	4	60
JNZ rel	Jump on accumulator ≠ 0	2	4	70
CJNE A, dir, rel	Compare A, direct, jump not equal relative	3	4	B5
CJNE A, #data, rel	Compare A, immediate, jump not equal relative	3	4	B4
CJNE Rn, #data, rel	Compare register, immediate, jump not equal relative	3	4	B8-BF
CJNE @Ri, #data, rel	Compare indirect, immediate, jump not equal relative	3	4	B6-B7
DJNZ Rn, rel	Decrement register, jump not zero relative	2	4	D8-DF
DJNZ dir, rel	Decrement direct byte, jump not zero relative	3	4	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中，如 E8-EF 中的指令操作码(十六进制)指示用于一个连续的块的 8 个不同的寄存器，寄存器编号，由其相应的操作码的最低 3 位定义。码的不连续的块，如 11-F1(举例)，用于绝对跳转和调用，码的前 3 位用于指示目的地址的顶部 3 位。

电气特性

1. 最大绝对额定值 ($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+5.5$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
全部引脚高电位输出电流	-80	
全部引脚低电位输出电流	+150	V
最大工作电压	5.5	
工作温度	$-40 \sim +85$	
储存温度	$-65 \sim +150$	

2. DC 特性 ($T_A=25^{\circ}\text{C}$, $V_{CC}=2.0\text{V} \sim 5.5\text{V}$)

参数	符号	条件	最小值	典型值	最大值	单位
工作电压	V_{CC}	$F_{SYSCLK}=18.432 \text{ MHz}$	2.2	—	5.5	V
输入高电压	V_{IH}	所有输入	$V_{CC}=5\text{V}$	—	—	V
			$V_{CC}=3\text{V}$	—	—	V
输入低电压	V_{IL}	所有输入	$V_{CC}=5\text{V}$	—	$0.2V_{CC}$	V
			$V_{CC}=3\text{V}$	—	$0.2V_{CC}$	V
I/O 端口 拉电流	I_{OH}	所有输出	$V_{CC}=5\text{V}$, $V_{OH}=0.9V_{CC}$	6	12	mA
			$V_{CC}=3\text{V}$, $V_{OH}=0.9V_{CC}$	2.5	5	
I/O 端口 灌电流	I_{OL}	所有输出	$V_{CC}=5\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=1	48	60	mA
			$V_{CC}=5\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=0	32	40	
			$V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=1	24	30	
			$V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$ HSNKxEN=0	9	18	
电源电流	I_{DD}	快钟模式 $V_{CC}=5\text{V}$	FRC=18.432 MHz	—	10	mA
			FRC=9.216 MHz	—	6.5	
		快钟模式 $V_{CC}=3\text{V}$	FRC=18.432 MHz	—	5.5	
			FRC=9.216 MHz	—	3.5	
		慢钟模式	$V_{CC}=5\text{V}$	—	2.6	mA
			$V_{CC}=3\text{V}$	—	1.8	
		空闲模式 PWRSV=0	SRC, $V_{CC}=5\text{V}$	—	100	μA
			SRC, $V_{CC}=3\text{V}$	—	60	
		空闲模式 PWRSV=1	SRC, $V_{CC}=5\text{V}$	—	40	
			SRC, $V_{CC}=3\text{V}$	—	16	

参数	符号	条件		最小值	典型值	最大值	单位
		停止模式 PWRSAV=1	$V_{CC}=5V$	0.4	—	—	
			$V_{CC}=3V$	0.1	—	—	
		暂停模式 PWRSAV=1	$V_{CC}=5V$ (Timer3=0.5 秒唤醒)	23	—	—	
			$V_{CC}=3V$ (Timer3=0.5 秒唤醒)	5.5	—	—	
系统时钟频率	F_{SYSCLK}	$V_{CC} > LVR_{TH}$	$V_{CC}=2.2V$	—	—	18.432	MHz
LVR 参考电压	V_{LVR}	$T_A=25^{\circ}C$		—	4.15	—	V
				—	4.01	—	
				—	3.87	—	
				—	3.73	—	
				—	3.59	—	
				—	3.45	—	
				—	3.31	—	
				—	3.17	—	
					3.03		
					2.89		
					8.75		
					2.61		
					2.47		
					2.33		
					2.19		
					2.05		
LVD 参考电压	V_{LVD}	$T_A=25^{\circ}C$		—	4.15	—	V
				—	4.01	—	
				—	3.87	—	
				—	3.73	—	
				—	3.59	—	
				—	3.45	—	
				—	3.31	—	
				—	3.17	—	
				—	3.03	—	
				—	2.89	—	
				—	8.75	—	
				—	2.61	—	
				—	2.47	—	
				—	2.33	—	
				—	2.19	—	
				—	2.05	—	
LVR 滞后电压	V_{HYST}	$T_A=25^{\circ}C$		—	± 0.1	—	V
低电压检测时间	t_{LVR}	$T_A=25^{\circ}C$		100	—	—	μs
上拉电阻	R_{PU}	$V_{IN}=0V$	$V_{CC}=5V$	—	25	—	K Ω
			$V_{CC}=3V$	—	25	—	
下拉电阻	R_{PD}	$V_{IN}=0V$	$V_{CC}=5V$	—	25	—	
			$V_{CC}=3V$	—	25	—	

3. 时钟时序 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
内部 RC 频率	25°C, $V_{CC}=5.0\text{V}$	-1%	18.432	+1%	MHz
	0°C ~ 85°C, $V_{CC}=5.0\text{V}$	-1.5%	18.432	+1.5%	
	0°C ~ 85°C, $V_{CC}=3.0 \sim 5.0\text{V}$	-3.5%	18.432	+3.5%	

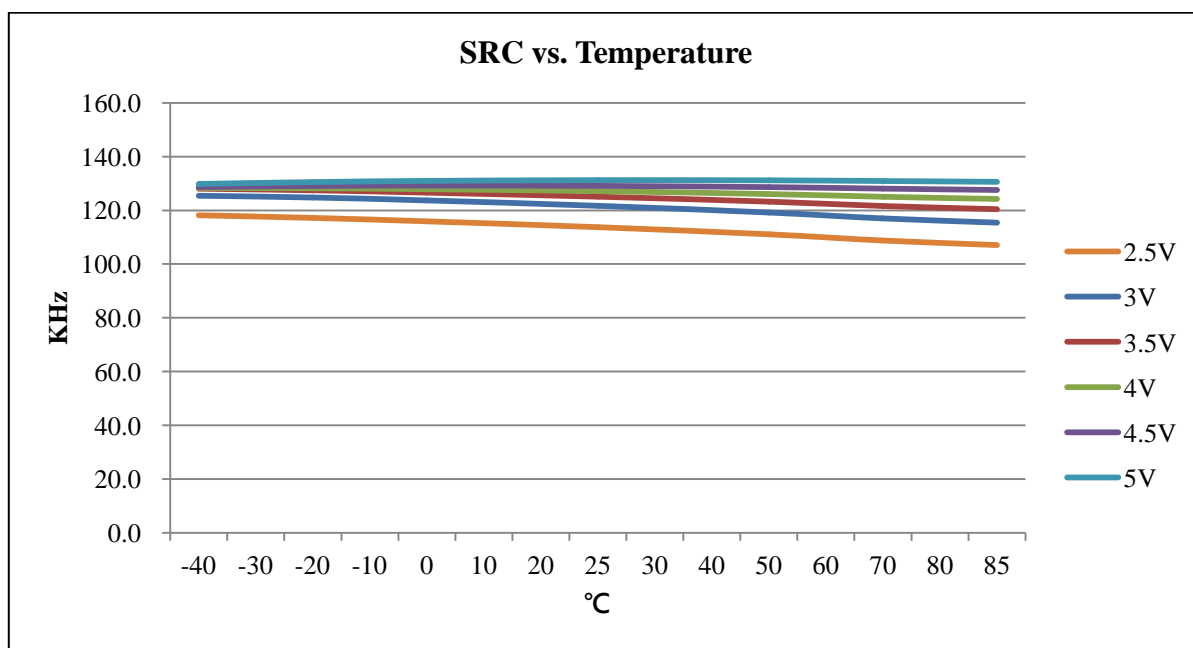
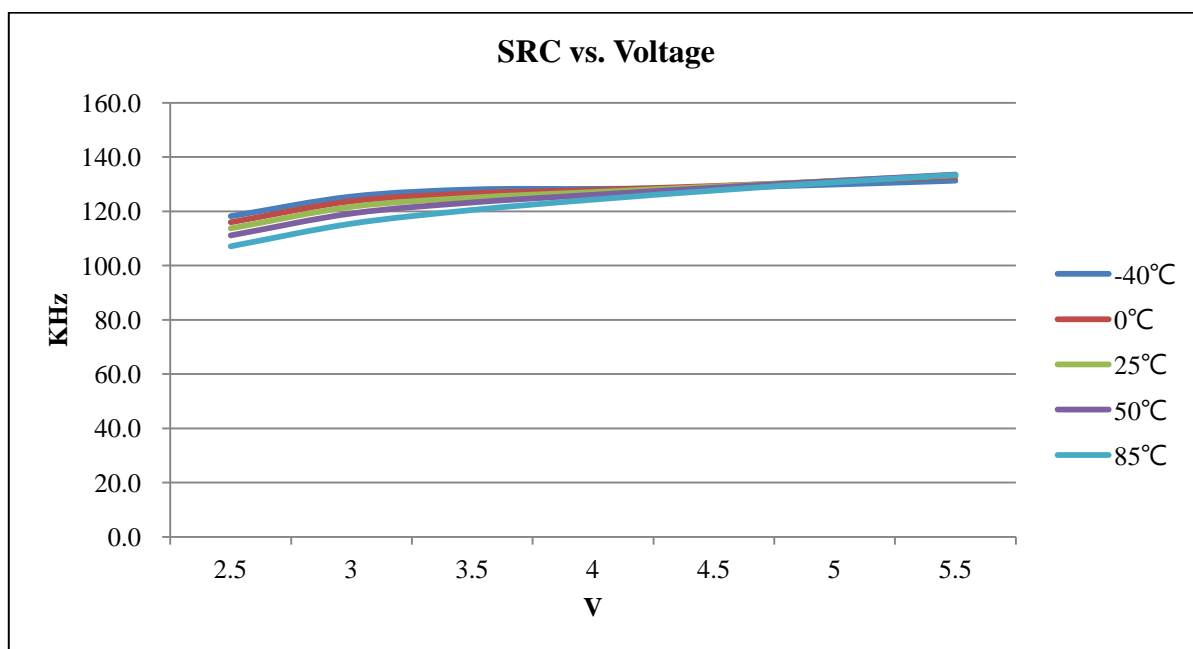
4. 复位时序特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)

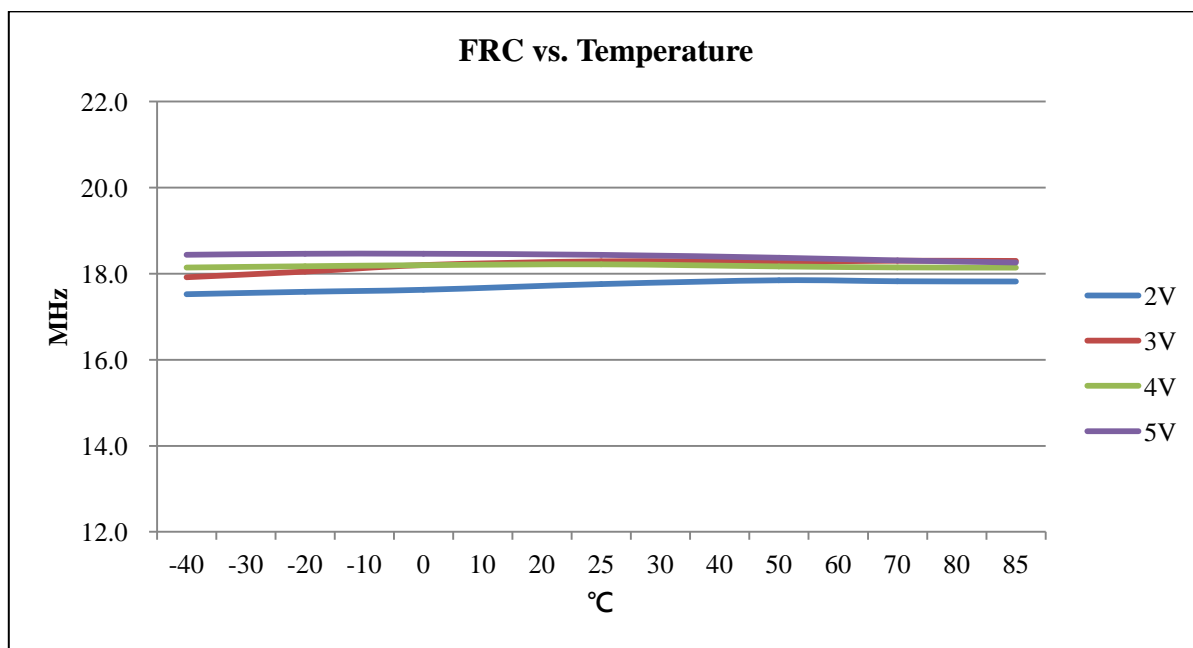
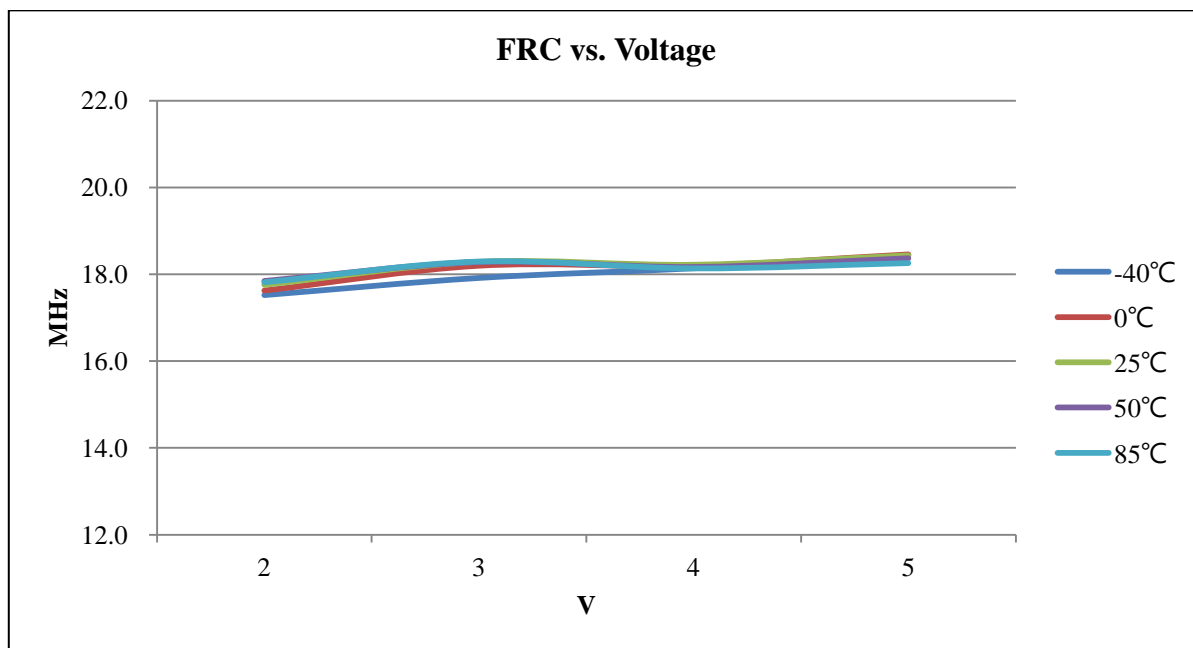
参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=5\text{V} \pm 10\%$	30	—	—	μs
WDT 唤醒时间	$V_{CC}=5\text{V}$, WDTPSC=11	—	30	—	ms
	$V_{CC}=3\text{V}$, WDTPSC=11	—	32	—	
CPU 启动时间	$V_{CC} = 5\text{V}$	—	13.6	—	ms

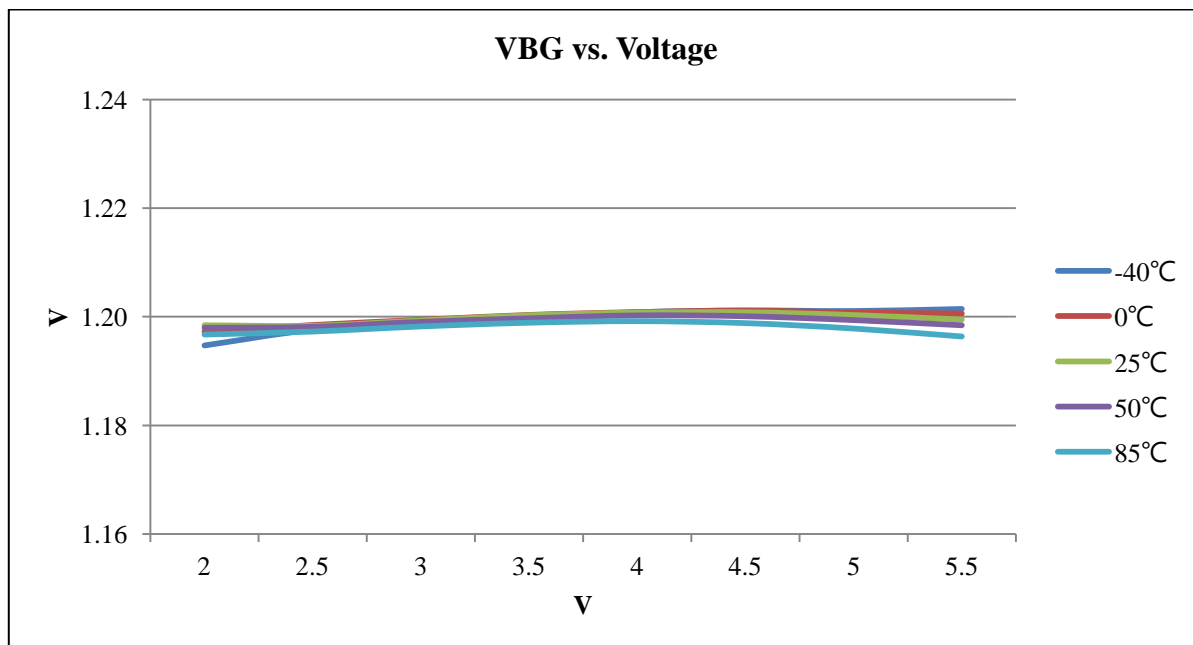
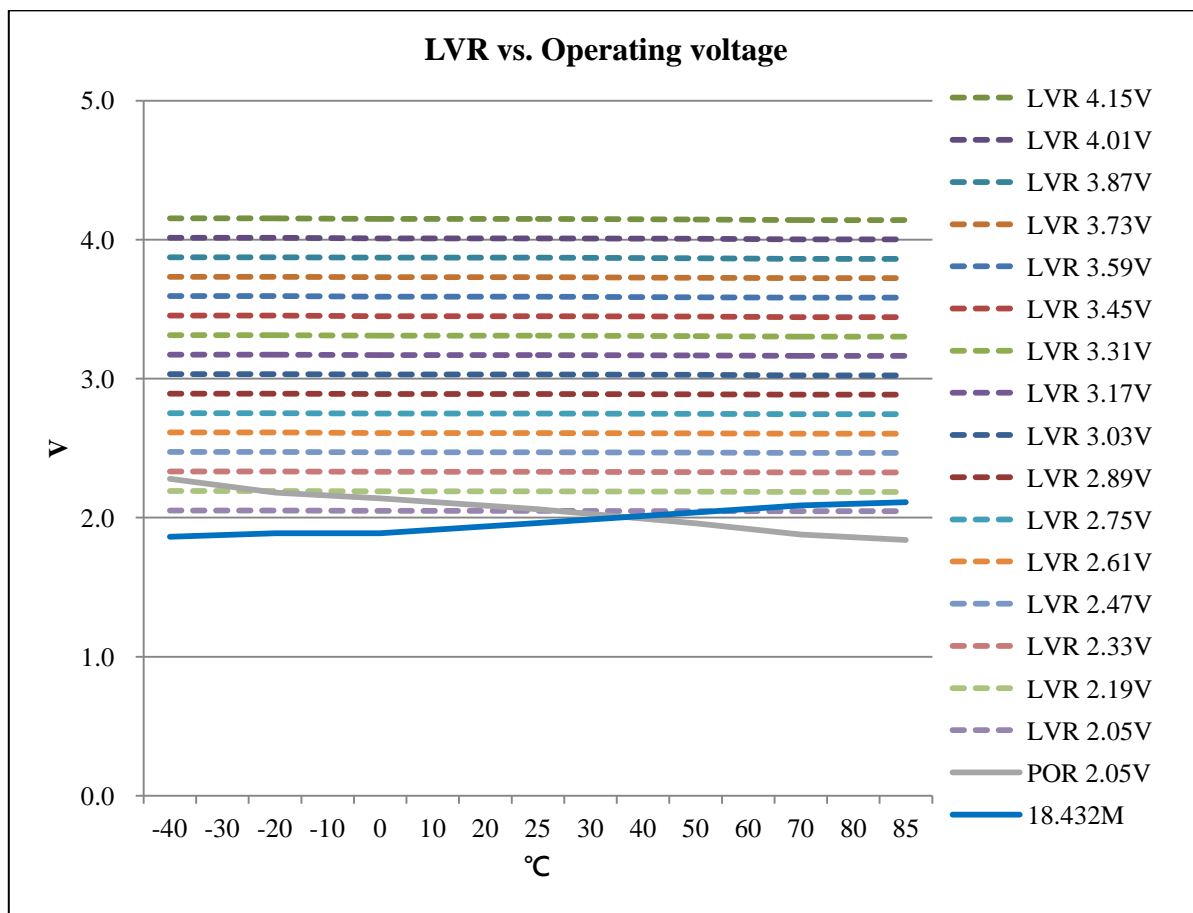
5. ADC 电气特性 ($T_A = 25^{\circ}\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$)

参数	条件		最小值	典型值	最大值	单位
总绝对误差	$V_{CC}=5.12\text{V}$, $V_{SS}=0\text{V}$		—	± 2.5	± 4	LSB
积分非线性误差			—	± 3.2	± 5	
最大输入时钟 (f_{ADC})	信号驱动源阻抗 ($R_s < 10\text{K ohm}$)		—	—	2	MHz
	信号驱动源阻抗 ($R_s < 20\text{K ohm}$)		—	—	1	
	信号驱动源阻抗 ($R_s < 50\text{K ohm}$)		—	—	0.5	
	信号来号是 VBG (ADCHS=01011b)		—	—	0.5	
转换时间	$F_{\text{ADC}} = 1\text{MHz}$		—	50	—	μs
带隙基准电压 (V_{BG})	—	$V_{CC}=3\text{V} \sim 5.5\text{V}$ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	-1.5%	1.20	+1.5%	V
ADC 参考电压 (V_{ADC})	ADCVREFS=1	$V_{CC}=3\text{V} \sim 5.5\text{V}$ $40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	-1.5%	2.5	+1.5%	
VCC/4 基准电压 ($V_{1/4}$)	—	$V_{CC}=5\text{V}$, 25°C	-0.8%	1.26	+0.8%	
		$V_{CC}=3.6\text{V}$, 25°C	-0.8%	0.907	+0.8%	
输入电压	—		V_{SS}	—	V_{CC}	

6. 特性曲线图







封装说明

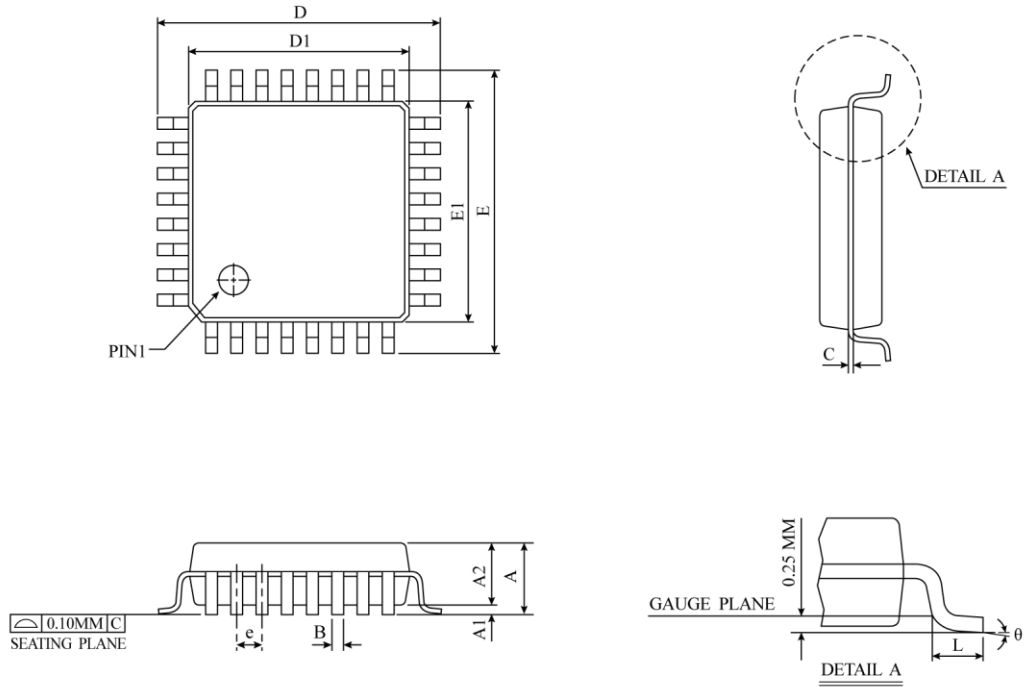
请注意，此处提供的包装信息仅供参考。由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

Ordering number	Package
TM52F1376-MTP	Wafer/Dice blank chip
TM52F1378-MTP	
TM52F1376-COD	Wafer/Dice with code
TM52F1378-COD	
TM52F1376-MTP-71	LQFP 32-pin (7x7x1.4 mm)
TM52F1376C-MTP-23	SOP 28-pin (300 mil)
TM52F1376H-MTP-23	
TM52F1376C-MTP-29	SSOP 28-pin (150 mil)
TM52F1376-MTP-C3	QFN 28-pin (4x4x0.75-0.4 mm)
TM52F1376-MTP-28	SSOP 24-pin (150 mil)
TM52F1376-MTP-21	SOP 20-pin (300 mil)
TM52F1376-MTP-46	TSSOP 20-pin (173 mil)
TM52F1376-MTP-D1	QFN 20-pin (3x3x0.75-0.4 mm) (L=0.25mm)
TM52F1378-MTP-D1	
TM52F1376-MTP-16	SOP 16-pin (150 mil)

包装信息

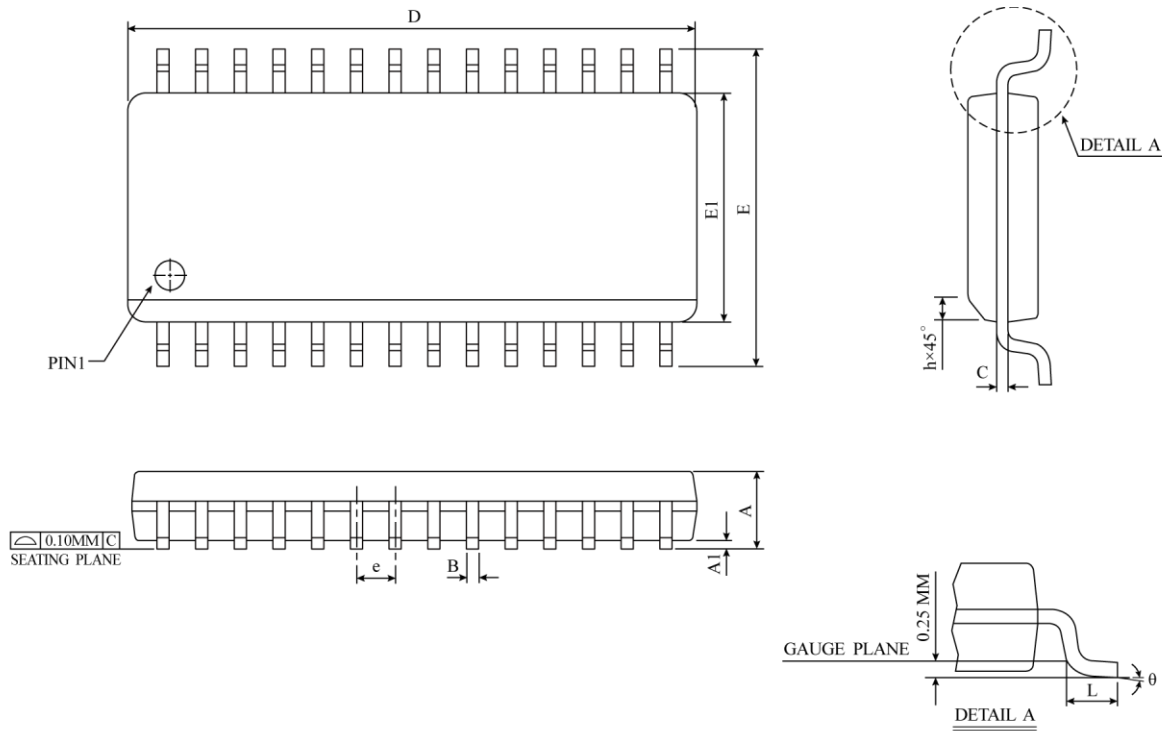
LQFP-32 引脚 (7×7x1.4mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.60	-	-	0.063
A1	0.05	0.10	0.15	0.001	0.004	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
B	0.30	0.38	0.45	0.012	0.015	0.018
C	0.09	0.09	0.20	0.004	0.006	0.008
D	9.00 BSC			0.354 BSC		
D1	7.00 BSC			0.276 BSC		
E	9.00 BSC			0.354 BSC		
E1	7.00 BSC			0.276 BSC		
e	0.80 BSC			0.031 BSC		
L	0.45	0.60	0.75	0.018	0.027	0.035
θ	0°	3.5°	7°	0°	3.5°	7°
JEDEC	MS-026 (BBA)					

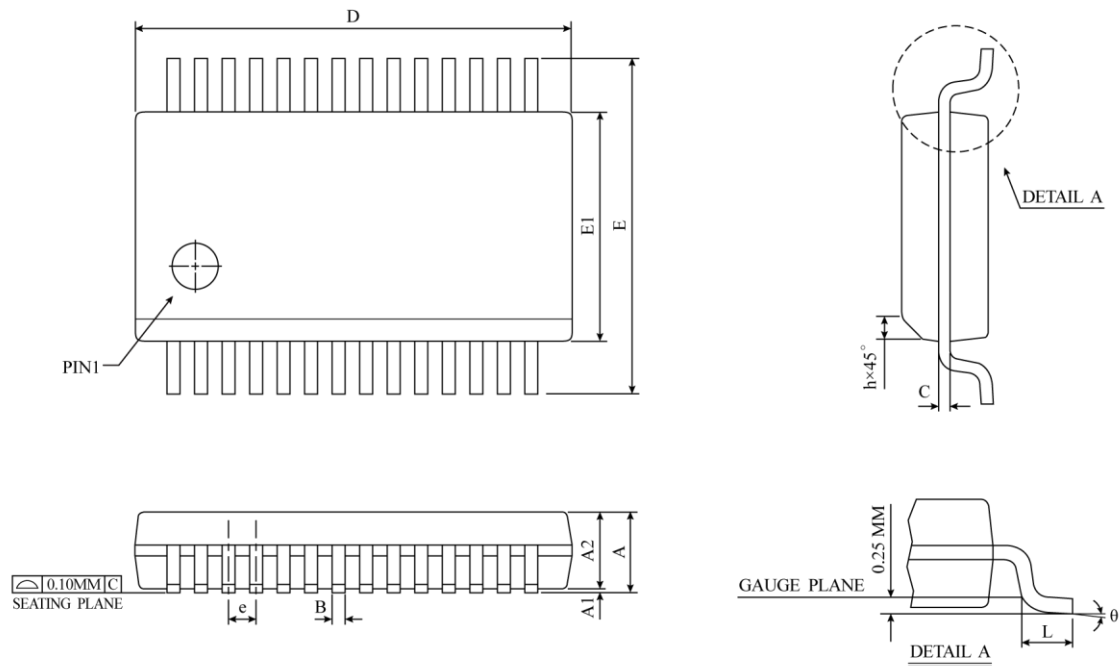
△ * NOTES : DIMENSION "D1" AND "E1" DO NOT INCLUDE MOLD PROTRUSIONS. ALLOWABLE PROTRUSIONS IS 0.25 mm PER SIDE.
 "D1" AND "E1" ARE MAXIMUM PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD MISMACH.

SOP-28 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	17.70	17.90	18.10	0.6969	0.7047	0.7125
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AE)					

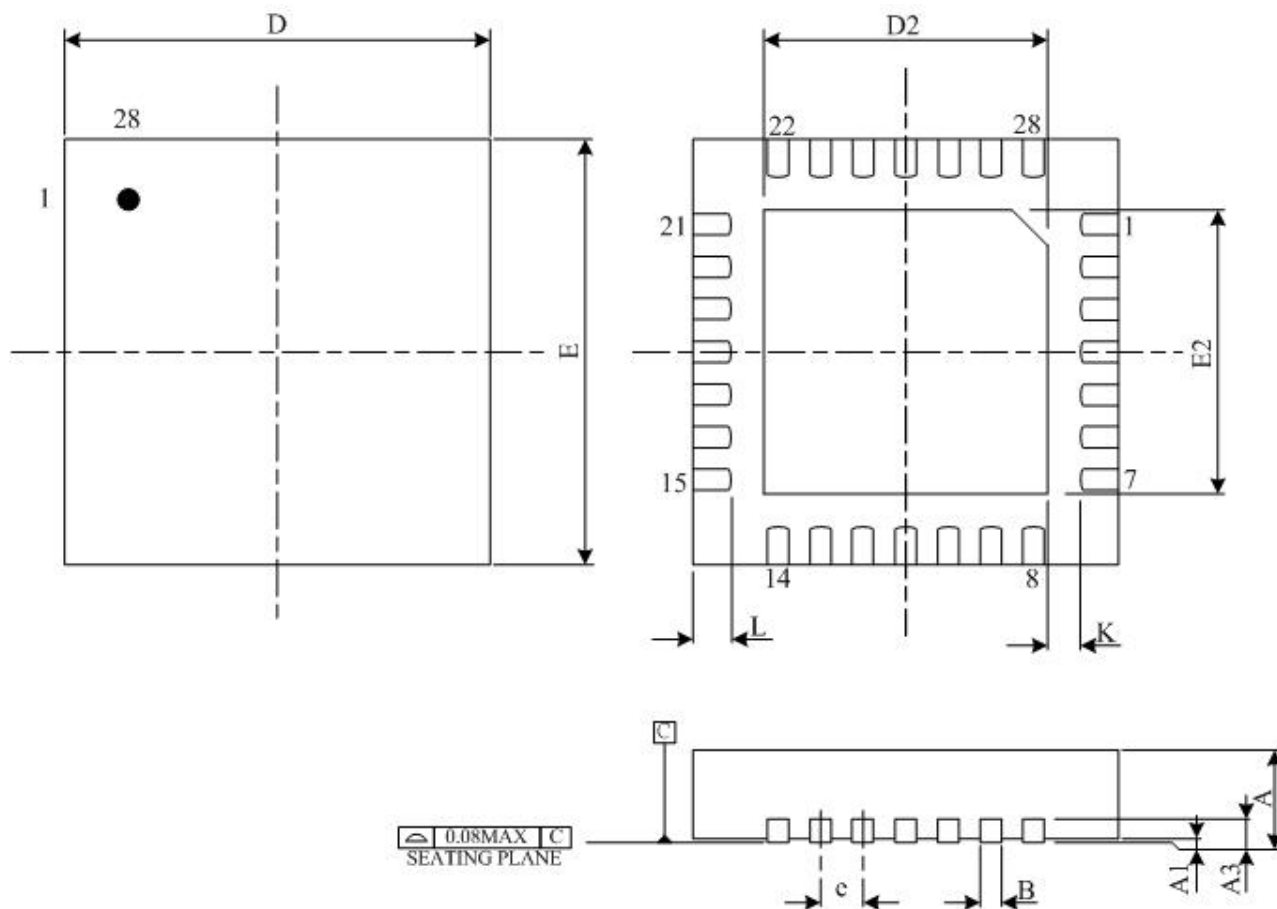
△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SSOP-28 引脚 (150mil) 包装尺寸


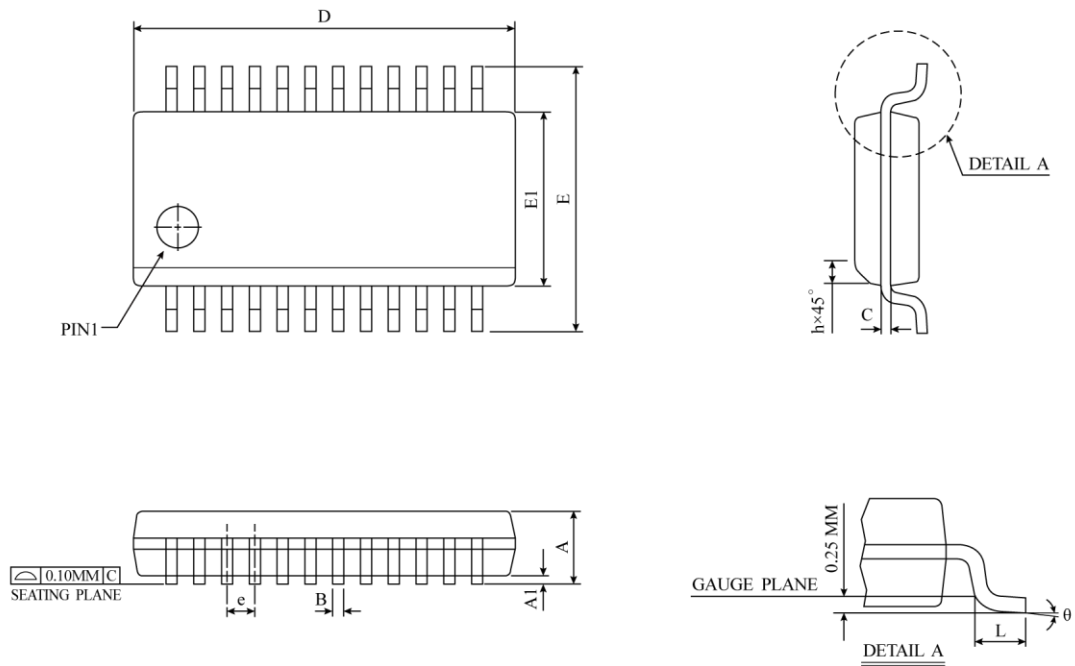
SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.50	1.65	1.80	0.06	0.06	0.07
A1	0.102	0.176	0.249	0.004	0.007	0.010
A2	1.40	1.475	1.55	0.06	0.06	0.06
B	0.20	0.25	0.30	0.01	0.01	0.01
C	0.2TYP			0.008TYP		
e	0.635TYP			0.025TYP		
D	9.804	9.881	9.957	0.386	0.389	0.392
E	5.842	6.020	6.198	0.230	0.237	0.244
E1	3.86	3.929	3.998	0.152	0.155	0.157
L	0.406	0.648	0.889	0.016	0.026	0.035
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137(AF)					

△B*NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

QFN-28 引脚 (4x4x0.75-0.4mm) 包装尺寸



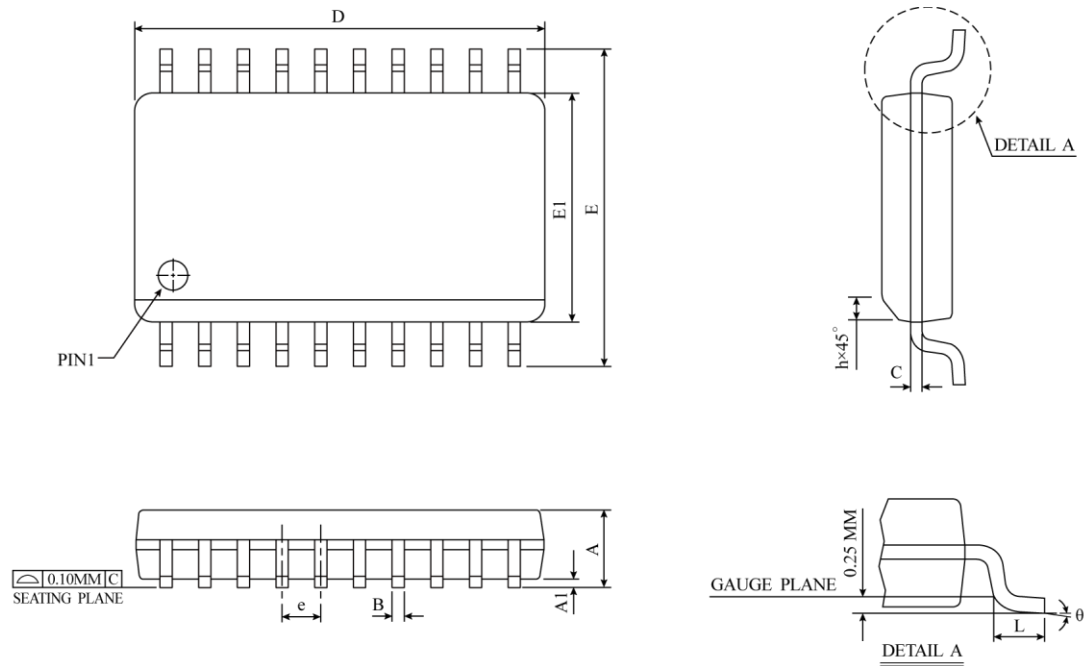
SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.7	0.75	0.8	0.028	0.030	0.031
A1	0	0.02	0.05	0	0.001	0.002
A3	0.203 REF			0.008 REF		
B	0.15	0.2	0.25	0.006	0.008	0.010
D	4 BSC			0.157		
E	4 BSC			0.157		
D2	2.2	2.3	2.4	0.087	0.091	0.094
E2	2.2	2.3	2.4	0.087	0.091	0.094
e	0.4 BSC			0.016		
L	0.3	0.4	0.5	0.012	0.016	0.020
K	0.45 REF			0.018		
JEDEC	MO-220					

SSOP-24 引脚 (150mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.053	0.061	0.069
A1	0.10	0.18	0.25	0.004	0.007	0.010
A2	-	-	1.50	-	-	0.059
B	0.20	0.25	0.30	0.008	0.010	0.012
C	0.18	0.22	0.25	0.007	0.009	0.010
D	8.56	8.65	8.74	0.337	0.341	0.344
E	5.79	6.00	6.20	0.228	0.236	0.244
E1	3.81	3.90	3.99	0.150	0.154	0.157
e	0.635 BSC			0.025 BSC		
L	0.41	0.84	1.27	0.016	0.033	0.050
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137 (AE)					

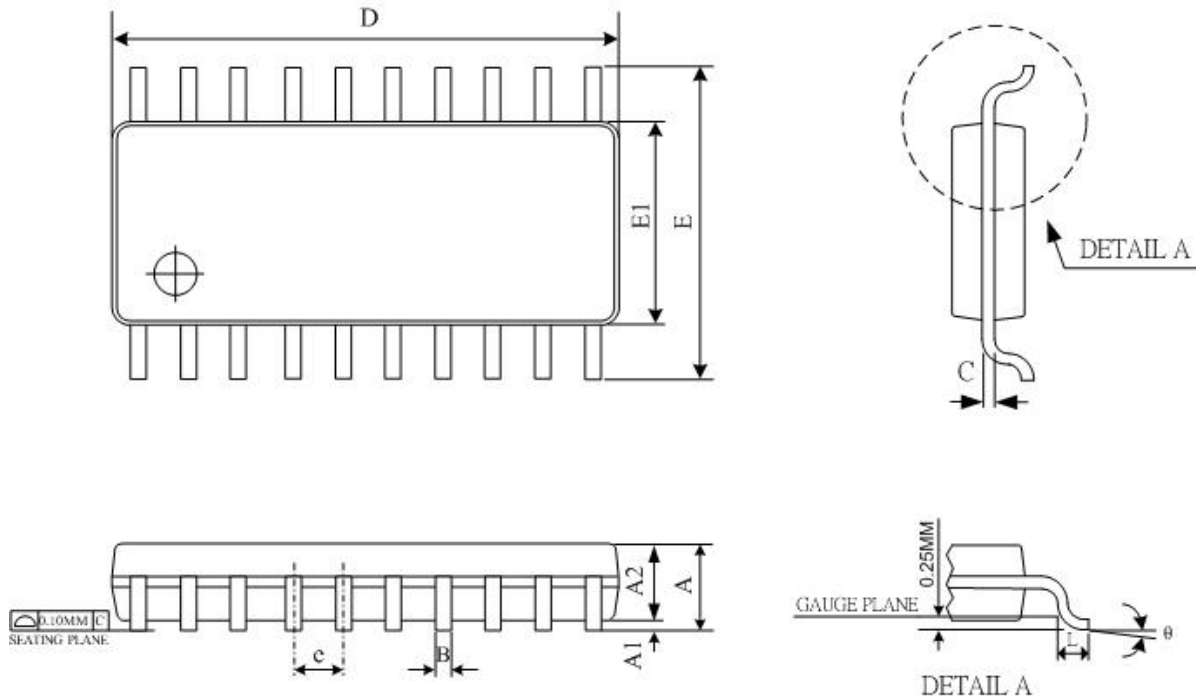
△ * NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD PROTRUSIONS
OR GAT BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT
EXCEED 0.006 INCH PER SIDE.

SOP-20 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	12.60	12.80	13.00	0.4961	0.5040	0.5118
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

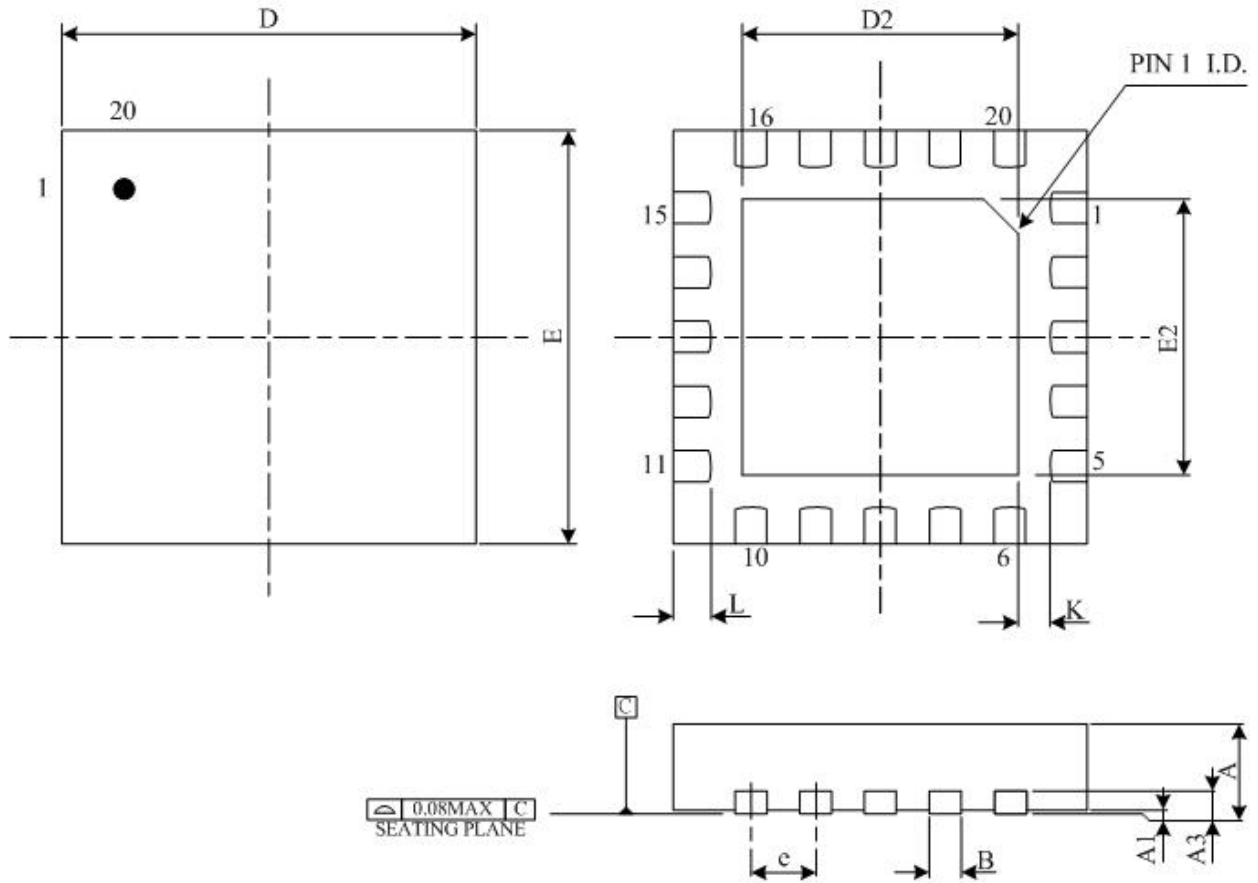
TSSOP-20 引脚 (173mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.2	-	-	0.047
A1	0.05	0.10	0.15	0.002	0.004	0.006
A2	0.8	0.93	1.05	0.031	0.036	0.041
B	0.19	-	0.3	0.007	-	0.012
D	6.4	6.5	6.6	0.252	0.256	0.260
E	6.25	6.4	6.55	0.246	0.252	0.258
E1	4.3	4.4	4.5	0.169	0.173	0.177
e	0.65 BSC			0.026 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
θ	0 °		8 °	0 °		8 °
JEDEC	MO-153 AC REV.F					

Notes :

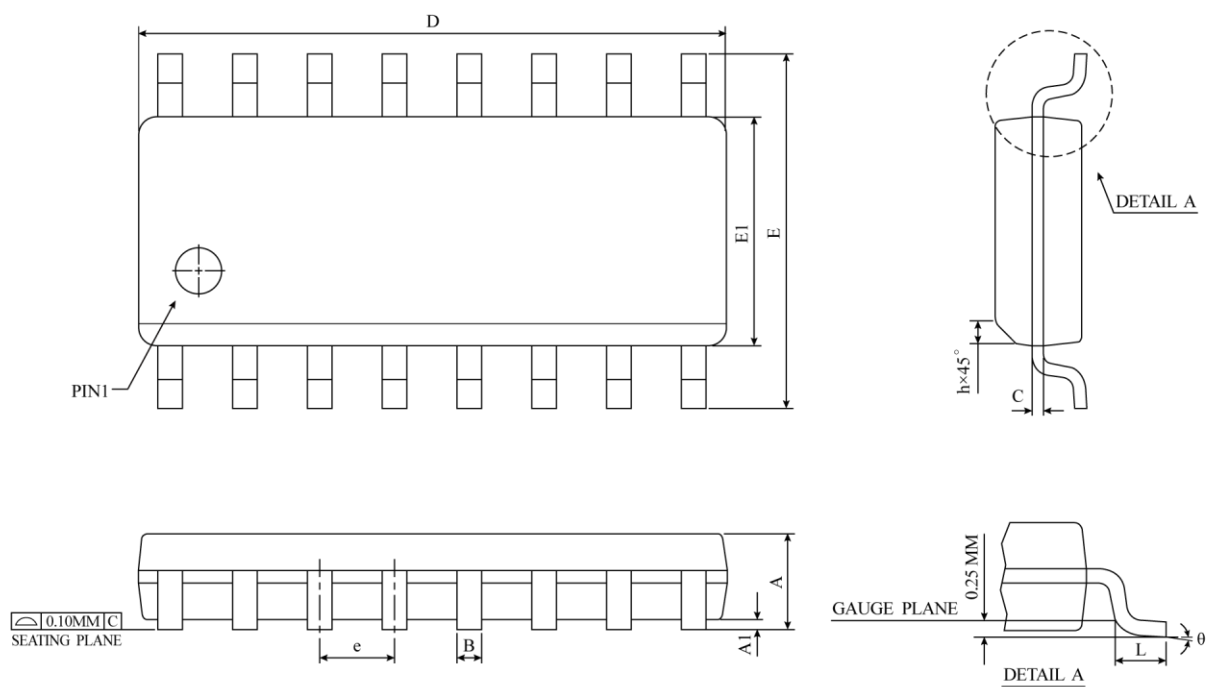
- 1.DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 PER SIDE.
- 2.DIMENSION "E1" DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 PER SIDE.
- 3.DIMENSION "B" DOES NOT INCLUDE DAMBAR PROTRUSION.ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08MM TOTAL IN EXCESS OF THE "B" DIMENSION AT MAXIMUM METERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD IS 0.07MM.

QFN-20 引脚 (3x3x0.75-0.4mm) (L=0.25mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.00	0.001	0.002
A3	0.203 REF			0.008 REF		
B	0.15	0.20	0.25	0.006	0.008	0.010
D	3 BSC			0.118 BSC		
E	3 BSC			0.118 BSC		
D2	1.80	1.90	2.00	0.071	0.075	0.079
E2	1.80	1.90	2.00	0.071	0.075	0.079
e	0.40 BSC			0.016 BSC		
L	0.15	0.25	0.35	0.006	0.010	0.014
K	0.30 REF			0.012 REF		
JEDEC	MO-220					

SOP-16 引脚 (150mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	9.80	9.90	10.00	0.3859	0.3898	0.3937
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.