



Panchip Microelectronics Co., Ltd.

**PAN3028**

用户使用说明书

低功耗远距离无线收发芯片

当前版本: 2.1

发布日期: 2023.10

**上海磐启微电子有限公司**

地址: 上海张江高科技园区盛夏路 666 号 D 栋 302 室

联系电话: 021-50802371

网址: <http://www.panchip.com>

## 文档说明

由于版本升级或存在其他原因，本文档内容会不定期进行更新。除非另有约定，本文档内容仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 商标

磐启是磐启微电子有限公司的商标。本文档中提及的其他名称是其各自所有者的商标/注册商标。

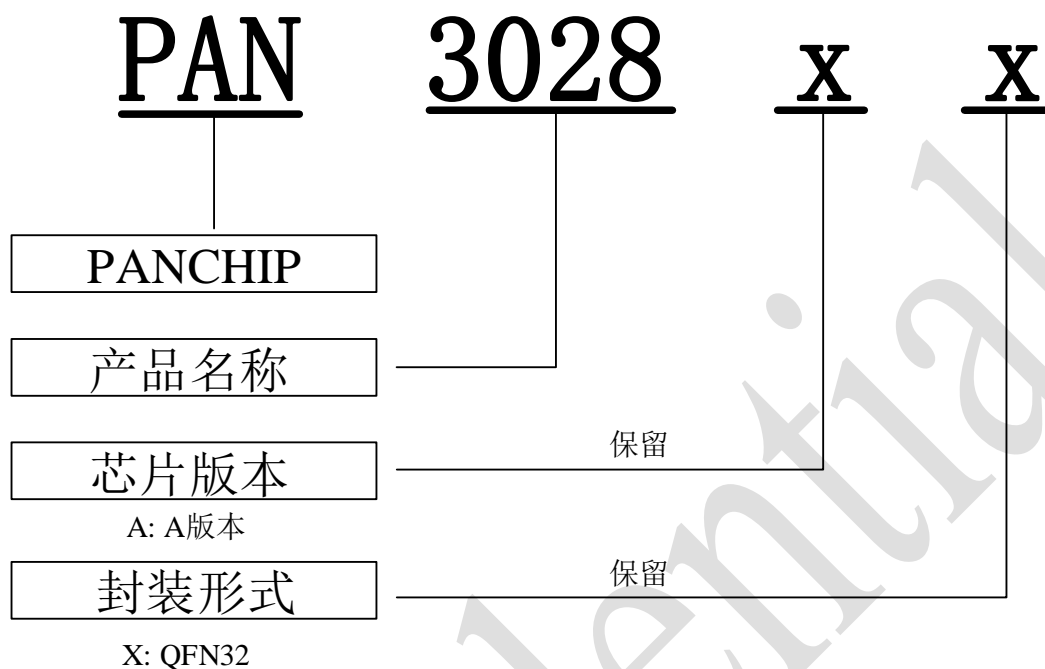
## 免责声明

本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，磐启微电子有限公司对本文档内容不做任何明示或暗示的声明或保证。

## 修订历史

版本	修订时间	更新内容
V1.0	2019.03	第一版
V1.1	2019.11	封装形式修改为 QFN28； 更新寄存器。
V1.2	2020.06	封装形式修改为 QFN32。
V1.3	2020.07	封装引脚新增 33 号引脚； 新增 GPIO 相关章节。
V1.4	2021.04	<ul style="list-style-type: none"><li>● 工作频率扩大为 370~600 MHz，740~1200MHz；</li><li>● 最大链路预算扩大为 162Db；</li><li>● 最大发射输出功率扩大到 22dBm；</li><li>● 补充 22dBm 的发射电流：135Ma@22dBm。</li></ul>
V1.5	2021.09	<ul style="list-style-type: none"><li>● 更新 9.8.1 章节为 page1；</li><li>● 更新 9.8.1 章节的寄存器描述；</li><li>● 修改 4.2 章节电特性参数 IRX 的测试条件为：DCDC 模式下，最大 LNA 增益。</li></ul>
V1.6	2021.10	<ul style="list-style-type: none"><li>● 新增产品命名规则以及产品系列；</li><li>● 更新参考原理图以及相关参数说明；</li><li>● 新增 CAD 相关说明。</li></ul>
V1.7	2022.02	<ul style="list-style-type: none"><li>● 工作频率修改为 370~590MHz，740~1180MHz</li><li>● 4.3 节 RF 性能表格下增加备注</li></ul>
V1.8	2022.06	更新参考原理图
V1.9	2023.03	修改 9.9.1 章节 page 描述错误
V2.0	2023.05	增加包装信息和回流焊曲线
V2.1	2023.10	更新发射输出功率

## 命名规则



## 订购信息

产品命名	芯片版本	封装	GPIO	休眠电流 (nA)	发射输出功率 (dBm)	温度 (°C)	包装
PAN3028AX	A	QFN32	6	400	-23.5 ~ 22	-40~85	卷带

Confidential

## 目 录

命名规则 .....	II
订购信息 .....	III
缩略语 .....	VI
1 概述 .....	1
1.1 主要特性 .....	1
1.2 典型应用 .....	1
2 系统结构方框图 .....	2
3 引脚定义和说明 .....	3
3.1 引脚定义 .....	3
3.2 引脚说明 .....	3
4 电气特性参数 .....	5
4.1 绝对最大额定值 .....	5
4.2 直流电特性 .....	5
4.3 RF 性能 .....	6
5 MAC 设计 .....	8
5.1 发送接收模式 .....	8
5.2 发射机模式 .....	8
5.2.1 单包发送模式 .....	8
5.2.2 连续发送模式 .....	9
5.3 接收机模式 .....	10
5.3.1 单包接收模式 .....	10
5.3.2 带超时的单包接收模式 .....	10
5.3.3 连续接收模式 .....	11
6 接口设计 .....	13
6.1 SPI .....	13
6.2 FIFO .....	14
6.3 GPIO .....	14
7 信道活跃检测（CAD）及智能化 SF 识别 .....	15
7.1 信道活跃检测（CAD） .....	15
7.2 智能化 SF 识别 .....	16
8 操作模式说明 .....	17
8.1 综述 .....	17
8.2 Deep Sleep 模式 .....	17
8.3 Sleep 模式 .....	17
8.4 STB1 模式 .....	18
8.5 STB2 模式 .....	18

8.6	STB3 模式 .....	18
8.7	TX 模式 .....	18
8.8	RX 模式 .....	18
9	寄存器 .....	19
9.1	系统控制寄存器 .....	19
9.2	3V 逻辑区域寄存器 .....	19
9.3	DCDC 寄存器 .....	20
9.3.1	Page3 .....	20
9.4	低功耗功率控制寄存器 .....	20
9.4.1	Page1 .....	20
9.5	Modem 模块寄存器 .....	21
9.5.1	Page1 .....	21
9.5.2	Page2 .....	22
9.5.3	Page3 .....	22
9.6	MAC 模块寄存器 .....	23
9.6.1	Page0 .....	23
9.6.2	Page3 .....	23
9.7	智能 SF 识别寄存器 .....	24
9.7.1	Page1 .....	24
9.7.2	Page3 .....	25
9.8	PLL 模块寄存器 .....	25
9.8.1	Page3 .....	25
9.9	GPIO 配置接口寄存器 .....	26
9.9.1	Page 0 .....	26
10	参考原理图 .....	28
10.1	参考原理图 .....	28
10.2	不同频段匹配参考值 .....	29
11	封装尺寸 .....	30
12	注意事项 .....	31
13	储存条件 .....	32

## 图 清 单

图 2-1 PAN3028 系统结构方框图 .....	2
图 3-1 PAN3028 芯片引脚图（QFN32 封装） .....	3
图 5-1 单包发送模式状态流程图 .....	9
图 5-2 连续发送模式流程图 .....	9
图 5-3 单包接收模式流程图 .....	10
图 5-4 带超时的单包接收模式流程图 .....	11
图 5-5 连续接收模式流程图 .....	12
图 6-1 SPI 写时序 .....	13
图 6-2 SPI 读时序 .....	14
图 7-1 信道活跃检测（CAD） .....	15
图 7-2 智能化 SF 识别 .....	16
图 8-1 PAN3028 上电流程 .....	17
图 10-1 PAN3028 参考原理图（外部 LDO 供电） .....	28
图 10-2 PAN3028 参考原理图（内部 DCDC 供电） .....	28
图 11-1 PAN3028 芯片 QFN32 5*5 封装图 .....	30
图 12-1 回流焊工艺曲线图 .....	31

## 表 清 单

表 3-1 PAN3028 引脚说明（QFN32 封装） .....	3
表 4-1 绝对最大额定值 .....	5
表 4-2 电压和电流 .....	5
表 4-3 RF 参数 .....	6
表 6-1 GPIO 端口模式配置 .....	14
表 11-1 QFN32 5*5 封装尺寸 .....	30



## 缩略语

ADC	模数转换器
CAD	信道活跃检测
Chirp	线性调频
CRC	循环冗余校验
CSN	SPI 片选信号
DAC	数模转换器
DCDC	直流变换器
FIFO	先入先出
GPIO	通用型输入输出
IRQ	中断请求
LDO	低压差线性稳压器
LPF	低通滤波器
MAC	介质访问控制层
MCU	微处理单元
Mixer	混频器
Modem	调制解调器
OSC	振荡器
PA	功率放大器
RF	射频
PLL	锁相环
PMU	电源管理单元
POR	上电复位
RAM	随机存取存储器
RSSI	信号强度指示
SCK	SPI 时钟信号
SF	扩频因子
SPI	串行外设接口
STB	待机模式
Sync	同步
VCO	压控振荡器

## 1 概述

PAN3028 是一款采用 ChirpIoT™ 调制解调技术的低功耗远距离无线收发芯片，支持半双工无线通信，工作频段为 370~590 MHz 和 740~1180MHz，该芯片具有高抗干扰性、高灵敏度、低功耗和超远传输距离等特性。最高具有-140dBm 的灵敏度，22dBm 的最大输出功率，产生业界领先的链路预算，使其成为远距离传输和对可靠性要求极高的应用的最佳选择。

与常规调制技术相比，PAN3028 在阻塞和邻道选择方面也具有显著的优势，可以进一步提高通信可靠度。同时，它还提供了较大的灵活性，用户可以自行调节扩频调制带宽、扩频因子和纠错率，有效改善采用常规调制技术的芯片在距离、抗干扰能力和功耗之间的折衷问题。

### 1.1 主要特性

- 工作频段：370~590 MHz，740~1180MHz
- 调制方式：ChirpIoT™
- 发射输出功率：-23.5dBm ~ 22dBm
- 最大链路预算可达：162dB
- 灵敏度低至-140dBm@62.5KHz
- 工作电流
  - 休眠电流：400nA
  - 接收电流：12.5mA@DCDC模式
  - 发射电流：135mA@22dBm，83mA@18dBm，25mA@0dBm
- 支持带宽：62.5KHz、125KHz、250KHz、500KHz
- 支持 SF 因子：7~12，支持扩频因子自动识别
- 支持码率：4/5，4/6，4/7，4/8
- 支持 CAD 功能
- 支持低速率模式：0.08~20.4kbps
- 支持 4 线 SPI 配置接口，支持 6 个 GPIO
- 完全集成的频率合成器
- 工作电压：1.8V ~3.6V；DCDC 模式 2V~3.6V
- 工作温度：-40°C~85°C
- 封装：QFN32，5×5mm

### 1.2 典型应用

- |        |        |
|--------|--------|
| ● 智慧工厂 | ● 智慧水务 |
| ● 智慧农业 | ● 智慧医疗 |
| ● 智慧社区 | ● 智慧消防 |

## 2 系统结构方框图

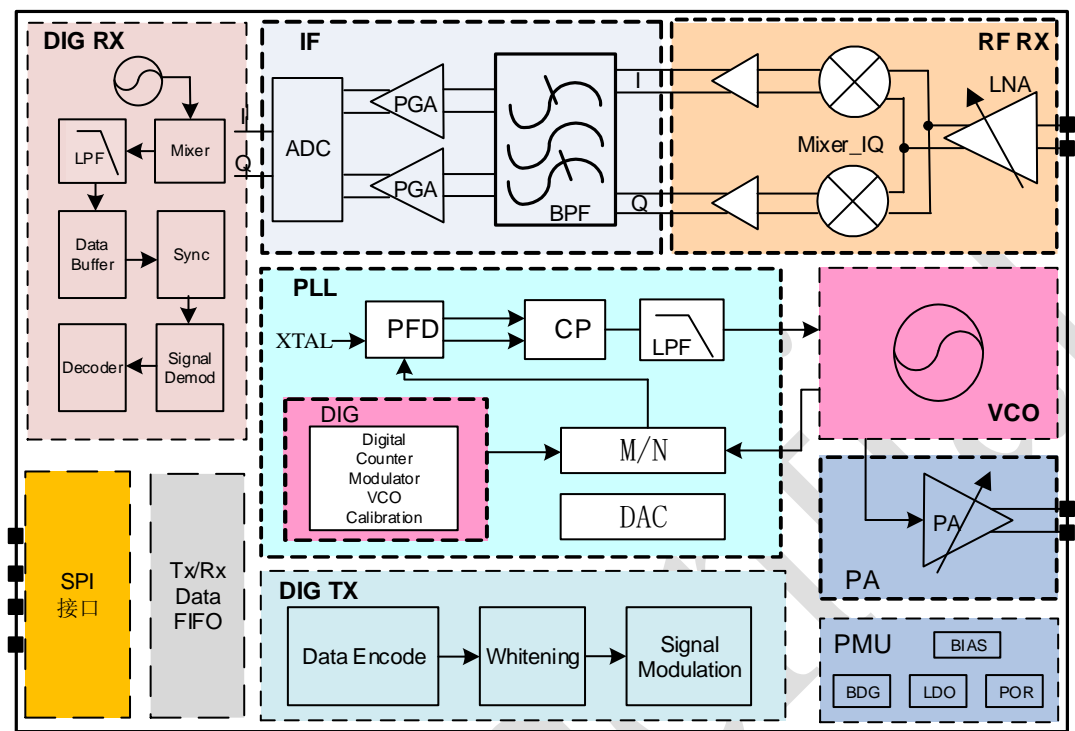


图 2-1 PAN3028 系统结构方框图

## 3 引脚定义和说明

### 3.1 引脚定义

PAN3028 芯片 QFN32 封装形式的引脚图如图 3-1 所示。

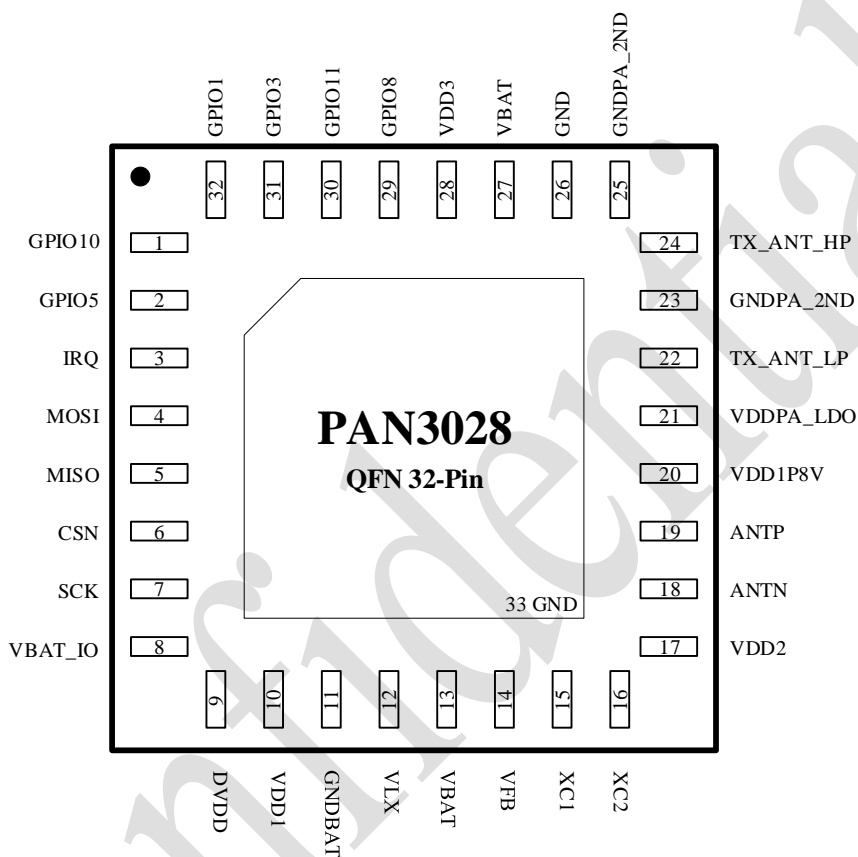


图 3-1 PAN3028 芯片引脚图（QFN32 封装）

### 3.2 引脚说明

表 3-1 PAN3028 引脚说明（QFN32 封装）

序号	符号	类型	功能
1	GPIO10	I	数字信号输入
		O	外置 PA 使能控制信号
2	GPIO5	I/O	数字 IO，软件可配置
3	IRQ	O	中断信号
4	MOSI	I	SPI 数据输入信号
5	MISO	O	SPI 数据输出信号
6	CSN	I	SPI 片选信号

7	SCK	I	SPI 串行时钟
8	VBAT_IO	P	数字 GPIO 电源，连接总电源
9	DVDD	P	数字电源 LDO 输出
10	VDD1	P	模拟电源，DCDC 模式连接 VFB，LDO 模式连接总电源
11	GNCBAT	G	模拟地
12	VLX	AO	内部 DCDC 输出，DCDC 连接外部串联电感，LDO 模式 NC
13	VBAT	P	模拟电源，连接总电源
14	VFB	AI	内部 DCDC 反馈输入，DCDC 模式与 VDD 相连，LDO 模式 NC
15	XC1	AI	晶振输入
16	XC2	AO	晶振输出
17	VDD2	P	模拟电源，DCDC 模式连接 VFB，LDO 模式连接总电源
18	ANTN	AI	接收端天线负端
19	ANTP	AI	接收端天线正端
20	VDD1P8V	P	低功率 PA LDO 电源，DCDC 模式接到 VFB，LDO 模式连接总电源
21	VDDPA_LDO	P	低功率 LDO 输出
22	TX_ANT_LP	AO	发射端低功率 PA 输出
23	GNDPA_2ND	G	模拟地
24	TX_ANT_HP	AO	发射端高功率 PA 输出
25	GNDPA_2ND	G	模拟地
26	GND	G	地
27	VBAT	P	模拟电源，连接总电源
28	VDD3	P	模拟电源，DCDC 模式连接 VFB，LDO 模式连接总电源
29	GPIO8	I/O	数字 IO
30	GPIO11	I	数字 IO
		O	信道状态指示信号
31	GPIO3	I/O	数字 IO
32	GPIO1	I/O	数字 IO
33	GND	G	芯片底部 GND 焊盘，需要接地

## 4 电气特性参数

所有参数都精确到小数点后一位。

### 4.1 绝对最大额定值

测试条件：

- 供电电压：3.3V
- 温度：25°C

表 4-1 绝对最大额定值

符号	描述	最小	典型	最大	单位
VDD	VDD1/VDD2/VDD3/VBAT/VBAT_IO	-0.3	3.3	3.6	V
V <sub>I</sub>	输入电压	-0.3	-	VDD	V
V <sub>O</sub>	输出电压	VSS	-	VDD	V
T <sub>OP</sub>	工作温度	-40	-	85	°C
T <sub>STG</sub>	存储温度	-55	-	125	°C

注意：超过一个或多个限制值可能会对 PAN3028 造成永久性损坏。

注意：静电敏感设备，操作时符合保护规则。

### 4.2 直流电特性

测试条件：

- 供电电压：3.3V
- 温度：25°C
- 频率：490MHz

表 4-2 电压和电流

符号	描述	最小	典型	最大	单位	测试条件
VDD	电源	1.8	3.3	3.6	V	TA=25°C, LDO 模式
		2	3.3	3.6	V	TA=25°C, DCDC 模式
VSS	地	-	0	-	V	-
I <sub>DeepSleep</sub>	深度睡眠电流	-	400	-	nA	-
I <sub>TX,22dBm</sub>	TX 模式的工作电流	-	135	-	mA	22dBm 输出功率
I <sub>TX,18dBm</sub>	TX 模式的工作电流	-	83	-	mA	18dBm 输出功率
I <sub>TX,0dBm</sub>	TX 模式的工作电流	-	25	-	mA	0dBm 输出功率
I <sub>RX,LDO</sub>	RX 模式的工作电流	-	18	-	mA	LDO 模式下, 最大 LNA 增益
I <sub>RX,DCDC</sub>	RX 模式的工作电流	-	12.5	-	mA	DCDC 模式下, 最大 LNA 增益

V <sub>OH</sub>	输出高电平电压	VDD-0.3	-	VDD	V	-
V <sub>OL</sub>	输出低电平电压	VSS	-	VSS+0.3	V	-
V <sub>IH</sub>	输入高电平电压	0.8*VDD	-	-	V	-
V <sub>IL</sub>	输入低电平电压	-	-	0.2*VDD	V	-
SPI_rate	SPI 速率	-	-	10	Mbps	-

## 4.3 RF 性能

测试条件:

- 供电电压: 3.3V
- 温度: 25°C
- 频率: 490MHz
- 纠错码 = 4/8
- 误包率 ≤ 5%
- Payload 长度=10Bytes

表 4-3 RF 参数

符号	描述	条件	最小	典型	最大	单位
通用频率						
F <sub>op</sub>	工作频率	-	370	-	590	MHz
		-	740	-	1180	MHz
F <sub>xtal</sub>	晶振频率	-	-	32	-	MHz
R <sub>S</sub>	晶体串联电阻	-	-	30	50	Ω
C <sub>FOOT</sub>	晶体外部电容	-	8	15	22	pF
C <sub>LOAD</sub>	晶体负载电容	-	6	10	12	pF
F <sub>TOL</sub>	初始频率容限	-	-	±10	-	ppm
BR	比特速率	-	0.08	-	20.4	kbps
发射器						
PLP <sub>WAN</sub>	输出功率	-	-23.5	-	22	dBm
接收器						
RF_62.5	RF 灵敏度, 长距离模式, 最高 LNA 增益, 使用分离的 RX/TX 通道 62.5 kHz 带宽	SF = 7	-	-126	-	dBm
		SF = 10	-	-135	-	
		SF = 12	-	-140	-	
RF_125	RF 灵敏度, 长距离模式, 最高 LNA 增益, 使用分离的 RX/TX 通道 125 kHz 带宽	SF = 7	-	-124	-	dBm
		SF = 10	-	-132	-	
		SF = 12	-	-137	-	
RF_250	RF 灵敏度, 长距离模式, 最高 LNA 增益, 使用分离的 RX/TX 通道 250 kHz 带宽	SF = 7	-	-121	-	dBm
		SF = 10	-	-129	-	
		SF = 12	-	-134	-	
RF_500	RF 灵敏度, 长距离模式, 最高 LNA 增益, 使用分离的 RX/TX 通道 500 kHz 带宽	SF = 7	-	-119	-	dBm
		SF = 10	-	-126	-	

		SF = 12	-	-132	-	
--	--	---------	---	------	---	--

备注：上面的测试数据是基于 490MHz 频点，其它频段参数指标上会有区别。

Confidential



## 5 MAC设计

### 5.1 发送接收模式

PAN3028 的发射机具有两种独特的工作模式；接收机具有三种独特的工作模式。

发射机的工作模式：

- 单包发送模式
- 连续发送模式

接收机的工作模式：

- 单包接收模式
- 带超时的单包接收模式
- 连续接收模式

### 5.2 发射机模式

在 MAC 发送模式中，有单包发送和连续发送模式两种。可用模式选择寄存器进行选择。

在模式选择寄存器选择了 TX 模式之后，状态机进入 TX 准备状态，等待 FIFO 写满数据之后，进入 TX 发送状态。

当 MAC 进入 TX 发送模式，功耗控制模块陆续打开 LDO 模块、PLL 模块、PA 等模拟模块电路，之后发送 TX 起始信号给 Modem 模块，开始发送数据。

数据发送完毕之后，依次关闭 LDO 模块、PLL 模块、PA 等模拟模块电路。然后向 MCU 发送 IRQ 信号，MCU 清除 IRQ 后，模式选择寄存器选择晶振输出模式，结束一次 TX 流程。

#### 5.2.1 单包发送模式

单包发送模式的状态流程图如图 5-1 所示。

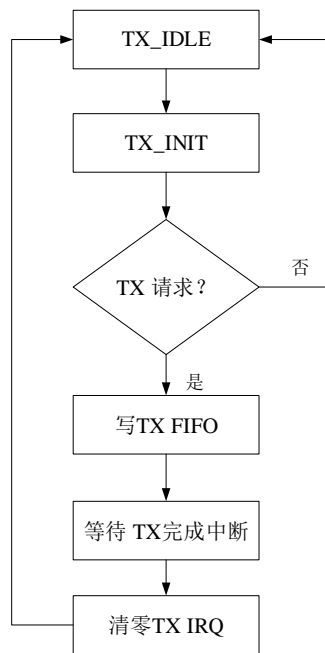


图 5-1 单包发送模式状态流程图

## 5.2.2 连续发送模式

连续发送模式的状态流程图如图 5-2 所示。

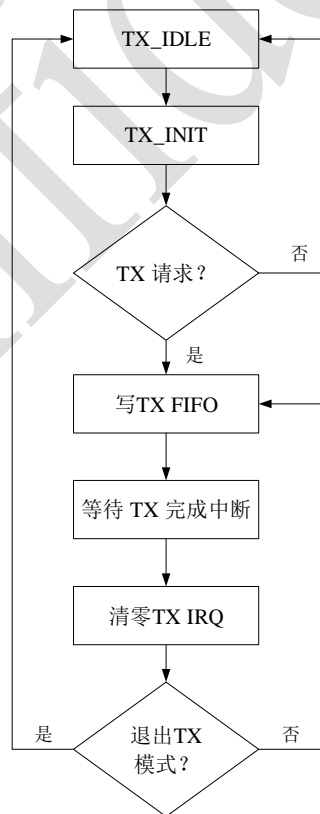


图 5-2 连续发送模式流程图

## 5.3 接收机模式

在 MAC 接收模式中，有单包接收、带超时的单包接收和连续接收模式，用 2 位模式选择寄存器进行选择。

在模式选择寄存器选择了 RX 模式之后，状态机进入 RX 接收状态。

当 MAC 进入接收模式，功耗控制模块陆续打开 LDO，PLL，PA 等模拟模块电路，同时发送 RX 起始信号给 Modem，开始接收数据。

数据接收完毕之后，依次关闭 LDO，PLL，PA 等模拟模块电路。然后向 MCU 发送 IRQ 信号，MCU 清除 IRQ 后，模式选择寄存器选择晶振输出模式，结束一次 RX 流程。

### 5.3.1 单包接收模式

单包接收模式的状态流程图如图 5-3 所示。

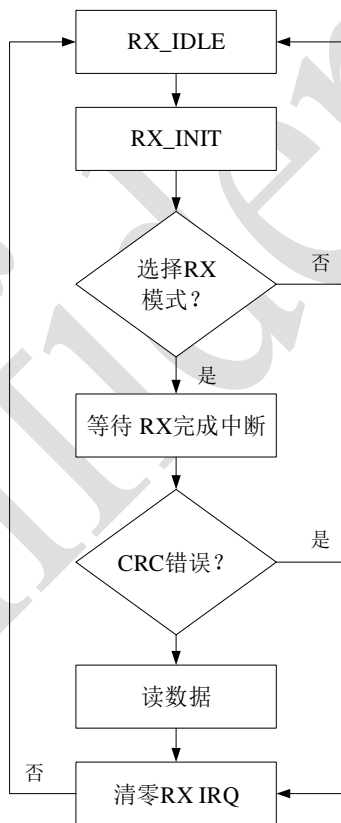


图 5-3 单包接收模式流程图

### 5.3.2 带超时的单包接收模式

带超时的单包接收模式的状态流图如图 5-4 所示。

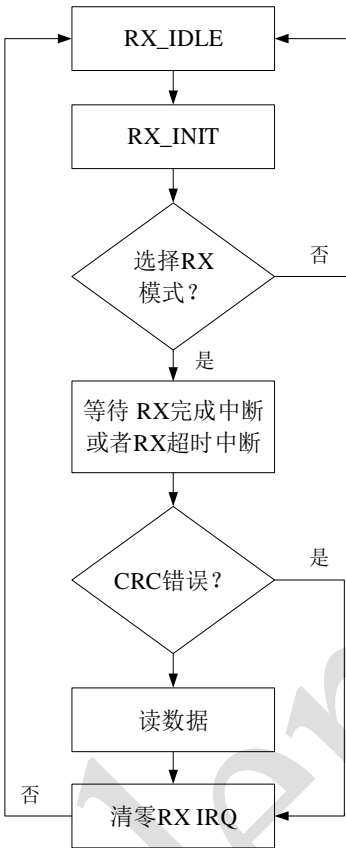


图 5-4 带超时的单包接收模式流程图

5.3.3 连续接收模式

连续接收模式的状态流程图如图 5-5 所示。

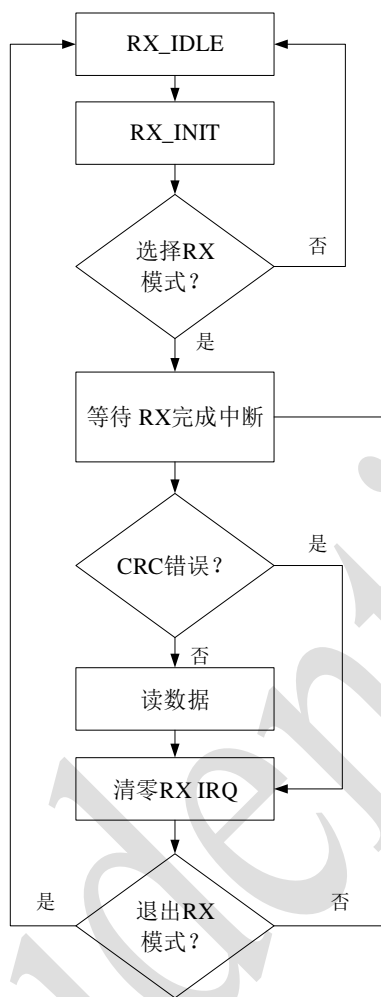


图 5-5 连续接收模式流程图

连续接收模式与单包接收模式和带超时的单包接收模式不同点在于，数据接收完毕之后，向 MCU 发送 IRQ 信号，MCU 清除 IRQ 后，开始下一次的数据接收。若要退出连续接收模式，模式选择寄存器选择晶振输出模式，之后依次关闭 LDO 模块、PLL 模块、PA 等模拟模块电路，结束一次连续接收模式流程。

## 6 接口设计

### 6.1 SPI

PAN3028 芯片实现了 SPI 总线的从机 Slave，用于读写寄存器和 FIFO。SPI 总线为四线制，分别为：

- SCK（时钟）
- CSN（片选信号，低电平有效）
- MOSI（数据输入）
- MISO（数据输出）

其中 SCK、CSN、MOSI 由主机 Master 控制，MISO 由 Slave 控制。

在通信过程中，以 CSN 电平拉低起始，直至 CSN 电平拉高时结束本次传输过程。主机 Master 通过 MOSI 发送数据，MISO 接收数据。SCK 下降沿时产生数据，上升沿时进行数据采样。

Master 传输的信息由 Address Byte 和 Data Byte 两部分组成。其中 Address Byte 前 7bit 为地址位 addr；最后 1bit 为读写位 wr，写操作时该 bit 置 1，读操作时该 bit 置 0。

SPI 有三种传输模式：

- Single：单字节传输模式。信息仅为 2 byte，Master 通过 MOSI 发送 Address Byte。若为写操作，Master 继续通过 MOSI 发送 Data Byte；若为读操作，则 Master 读取 MISO 上 Slave 回复的 Data Byte。
- Burst：突发连续传输模式。信息大于 2byte，Address Byte 后跟若干个 Data Byte，Data Byte 之间无需增加 Address Byte，从机 Slave 内部会自动在每个 Data Byte 之间递增地址。CSN 信号在最后一个 Data Byte 后拉高，其余传输信息过程均维持低电平。
- FIFO：FIFO 读写模式。该模式下单字节或连续传输均可实现，传输规则同 Single 模式和 Burst 模式，不同点在于 Address Byte 中的地址位 addr 只能配置为 7'h1，且 Slave 在 Data Byte 之间不做地址递增操作。

SPI 写时序如下：

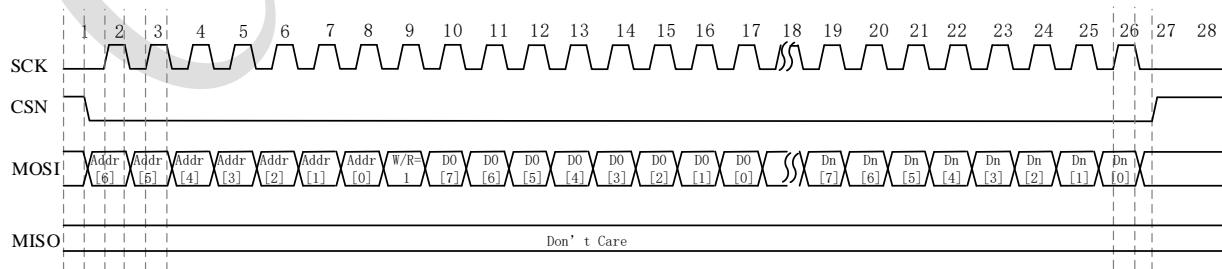


图 6-1 SPI 写时序

SPI 读时序如下：

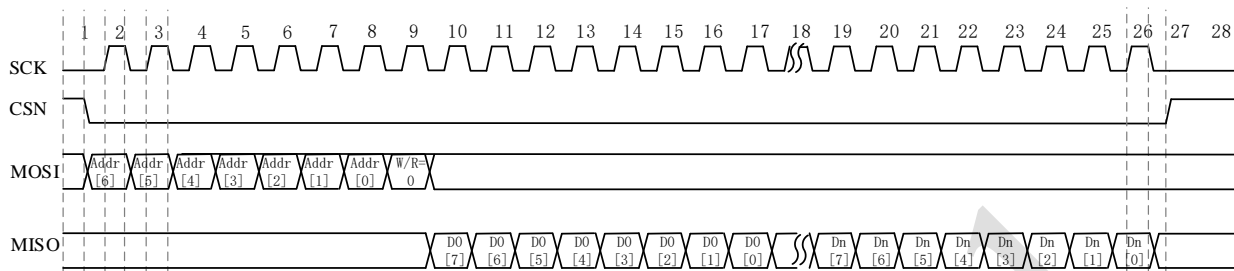


图 6-2 SPI 读时序

## 6.2 FIFO

PAN3028 具有 256bytes 的 FIFO 用以存储 TX 模块发送数据和 RX 模块解码数据。

FIFO 由单口 RAM 组成，只能实现单包数据信息的存储和读取，在 FIFO 已存有一包数据的情况下，应先读取完此包数据后再写入，否则 FIFO 中前一包数据将被覆盖。

FIFO 在 STB3 及之后的工作模式中，可以由 Modem 和 SPI 完成读写操作。

## 6.3 GPIO

PAN3028 支持多个 GPIO 输入输出控制，可通过寄存器配置对 GPIO 进行控制，寄存器配置请见 9.9 节。每个 GPIO 端口都可以配置成内部拉高(pull up)/拉低(pull down)的输入、高阻输入（floating input）、推挽输出（CMOS output）等模式，配置方式如表 6-1 所示。

表 6-1 GPIO 端口模式配置

DIEN	OE	OUT	IN	PUEN	PDEN	IO 方向	IO 状态
1	0	x	0/1	0	0	输入	高阻
1	0	x	0/1	1	0	输入	上拉
1	0	x	0/1	0	1	输入	下拉
0	1	0/1	0	0	0	输出	0/1

另外，注意，PAN3028 芯片中 GPIO10 和 GPIO11 的输出模式被复用为实现特殊功能。

当 GPIO10 被配置为输出时，GPIO10 可作为外部 PA 的使能控制引脚，即 GPIO10 仅在发射模式下发送数据时输出高电平，其他时间输出低电平。

当 GPIO11 被配置为输出时，GPIO11 作为信号检测中断输出，即 PAN3028 处于 RX 状态时，当接收到与当前配置的带宽和扩频因子参数相同的信号时，GPIO11 就会产生一个连续稳定的高电平，指示芯片 PAN3028 搜寻到了空中信号，该高电平直到信号消失才会拉低；其他情况和模式，GPIO11 都输出低电平。

## 7 信道活跃检测（CAD）及智能化SF识别

### 7.1 信道活跃检测（CAD）

在物联网设计应用中，无线收发机的节能是一个非常关键的问题。为进一步减小功耗，只有通过减少无用的工作时间。无线通信时，射频大部分处于接收状态，也是主要的能量消耗所在。当物联网中信息量较小，而节点必须随时准备接数据。理想的状态是当有信息需要接收时，节点处于接收状态，无信息接收时，节点处于睡眠状态。这就需要无线唤醒技术，这里的无线唤醒从现象上看，好像发射机把接收机从睡眠中唤醒，其实接收机是周期性得自动醒来，在醒来的极短时间内若没有发现呼叫信号，则马上睡眠，若正好有呼叫信号，则被唤醒而进入接收状态。所以在没有呼叫信号时，接收机平均耗电较低。

关于如何发现呼叫信号，以及发现什么信号，传统的做法是信号强度指示(RSSI)。当信号强度足够强时才认为信号是有效的，唤醒节点，相反，当信号强度低于阈值时，认为信道是空的，不唤醒节点。随着扩频调制技术的应用，人们在确定可能低于接收机底噪声的信号是否已经使用信道时，面临重重挑战。这种情况下，使用 RSSI 无疑是行不通的。为了解决这个问题，可使用信道活动检测器来检测其他 ChirpIoT™信号，如图 7-1 所示，

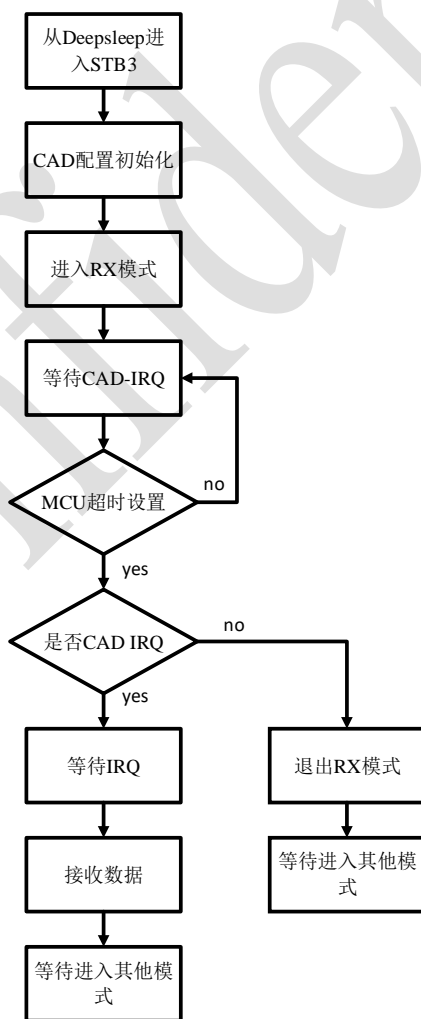


图 7-1 信道活跃检测（CAD）



PAN3028 芯片支持 CAD-IRQ 中断，在进入 RX 模式后，PAN3028 会检测信道中是否存在 ChirpLoT™信号，如果存在则将 CAD-IRQ 置高，外部 MCU 可以通过在一定时间内检测 CAD-IRQ 信号是否拉高来判断信道中是否存在 ChirpLoT™信号。如存在则可以继续等待数据接收的 IRQ 中断，而后进行数据接收；如不存在 ChirpLoT™信号，则快速退出 RX 模式，等待进入其他模式命令。

## 7.2 智能化 SF 识别

PAN3028 芯片为实现轻量化网关设备，设计了智能化 SF 识别硬件电路，可完成在同一个频点根据实际信道中的 ChirpLoT™的 SF 模式，智能化识别，并配置芯片 SF 参数，达到接收不同 SF 信号数据的目的。具体实现流程如图 7-2 所示：

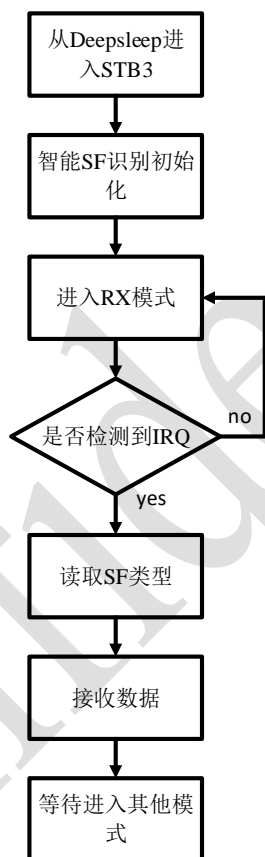


图 7-2 智能化 SF 识别

## 8 操作模式说明

### 8.1 综述

PAN3028 一共有 7 种模式：DeepSleep 模式、Sleep 模式、STB1 模式、STB2 模式、STB3 模式、TX 模式和 RX 模式。

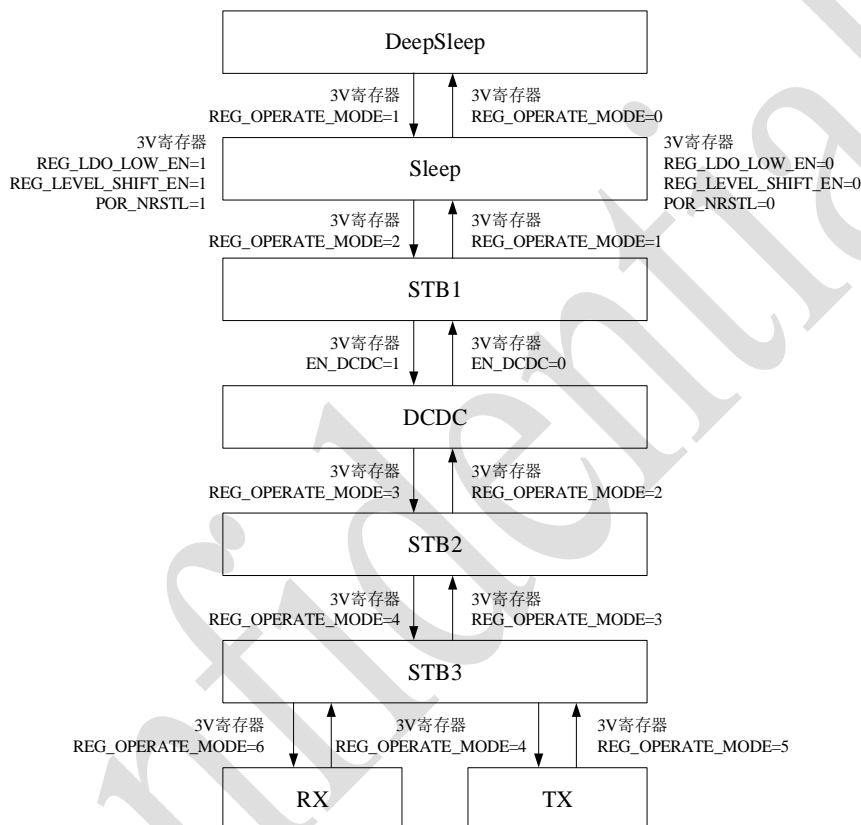


图 8-1 PAN3028 上电流程

PAN3028 上电后有七种状态，包括深度睡眠模式(DeepSleep)、睡眠模式(Sleep)、OSC 工作模式(STB1)、LDO 工作模式(STB2)、OSC 输出模式(STB3)、TX 模式以及 RX 模式。所有状态可通过配置寄存器进行切换。在 STB1 状态下可通过给 EN\_DCDC 寄存器写入高电平来打开芯片的 DCDC 功能。

### 8.2 Deep Sleep 模式

该模式下除 3V 逻辑区域寄存器可配置，其余模块不可操作，保持芯片功耗最小。

### 8.3 Sleep 模式

该模式下使能 LDO，3V 逻辑区域工作，可通过 SPI 配置寄存器。

## 8.4 STB1 模式

该模式打开 OSC 晶振，OSC 开始工作维持震荡但不输出给其他模块，功耗相对较小。

## 8.5 STB2 模式

该模式 LDO 开始工作，低压区域逻辑使能。

## 8.6 STB3 模式

该模式下 OSC 时钟输出给各模块，芯片开始正常工作。

## 8.7 TX 模式

该模式已打开所有 TX 发射相关的模块，可实现包数据的编码和发送。

## 8.8 RX 模式

该模式已打开所有 RX 接收相关的模块，等待包数据的接收和解码。

## 9 寄存器

PAN3028 的寄存器分为 4 页，每页共 128 个寄存器地址，通过寄存器 0x00 的 REG\_PAGE\_SEL 进行寄存器页选择，其中地址 0x00~0x05 的寄存器在任意一个寄存器页都可以实现操作。下表描述了 PAN3028 每个寄存器的位置和功能。

### 9.1 系统控制寄存器

地址	寄存器	位	推荐值	读写	说明
0x00	REG_SOFT_RST	7	0x00	W/R	软复位
	保留	6:2		W/R	保留
	REG_PAGE_SEL	1:0		W/R	0: 选择 Page0 1: 选择 Page1 2: 选择 Page2 3: 选择 Page3
0x01	FIFO READ/WRITE ACCESS POINT	7:0	-	W/R	FIFO 读写地址

### 9.2 3V 逻辑区域寄存器

地址	寄存器	位	推荐值	读写	说明
0x02	保留	7:3	0x00	W/R	保留
	REG_OPERATE_MODE	2:0		W/R	0: 深度睡眠模式 1: 睡眠模式 2: STB1 模式 3: STB2 模式 4: STB3 模式 5: TX 模式 6: RX 模式
0x03	保留	7:6	0x0C	W/R	保留
	REG_LDO_LOW_SR	5		W/R	使能低功耗片内电容 LDO 摆率扩展功能: 1: 打开 0: 关闭
	REG_LDO_DVDD_LP_SEL	4		W/R	低功耗 LDO 模式选择 1: 片外电容模式 0: 无片外电容模式
	REG_LDO_DVDD_LP_VSEL	3:0		W/R	低功耗 LDO 输出电压配置（请勿修改默认配置）
0x04	保留	7	0x06	W/R	保留
	REG_LDO_LOW_EN	6		W/R	1: 弱 LDO 开启 0: 弱 LDO 关闭
	REG_LEVEL_SHIFT_EN	5		W/R	1: 电平转换使能

					0: 电平转换关闭
	POR_NRSTL	4		W/R	低压区域逻辑复位 1: 复位 0: 不复位
	保留	3:0		W/R	保留

## 9.3 DCDC 寄存器

### 9.3.1 Page3

地址	寄存器	位	推荐值	读写	说明
0x1E	保留	7:1	0x6C	W/R	保留
	EN_DCDC	0		W/R	DCDC 使能 0: DCDC 不工作 1: DCDC 工作

## 9.4 低功耗功率控制寄存器

### 9.4.1 Page1

地址	寄存器	位	推荐值	读写	说明
0x63	REG_2ND_RAMP_CTRL	7:4	0xF7	W/R	设置 PA_2ND_PWR[3:0] UP 时所达到的最大值
	保留	3		W/R	保留
	REG_1ST_RAMP_CTRL	2:0		W/R	设置 PA_1ST_PWR[2:0] UP 时所达到的最大值
0x64	保留	7:5	0x1F	W/R	保留
	REG_2ND_EN_CTRL	4		W/R	设置 PA_2ND_EN UP 时所达到的最大值
	REG_2ND_VC_CTRL	3:0		W/R	设置 PA_2ND_VC[3:0] UP 时所达到的最大值
0x66	REG_RAMP_DN_TICK	7	0x00	W/R	设置外置 PA 在 RAMP DOWN 时的时钟周期: 0: 4us 1: 2us
	保留	6:0		W/R	保留
0x67	REG_PA_OSIDE_EN	7	0x40	W/R	外挂 PA 使能控制: 0: 不使用外置 PA 1: 使用外置 PA 并加入 RAMP 行列
	REG_PA_OSIDE_TIME	6:0		W/R	片内 RAMP UP 结束到片外 PA_EN 拉高的时间设置, [6:0]*4us=0~508us, 默认 256us

## 9.5 Modem 模块寄存器

### 9.5.1 Page1

地址	寄存器	位	推荐值	读写	说明
0x0B	保留	7:5	0x98	W/R	保留
		4		W/R	在初始化时, 请修改配置为 1
		3:0		W/R	保留
0x0C	PAYLOAD_LEN	7:0	0x0A	W/R	发送 Payload 长度设置, 单位 Byte.
0x0E	保留	7	0x04	W/R	保留
	INVERTIQ_IN	6		W/R	输入 IQ 信号交换选择 0: 输入 IQ 信号不交换 1: 输入 IQ 信号交换
	保留	5		W/R	保留
	SIGNSWITCH_IN	4		W/R	输入 IQ 信号符号选择 0: 输入 IQ 信号是无符号数 1: 输入 IQ 信号是有符号数
	保留	3:0		W/R	保留
0x0F	DETECTION	7:0	0x04	W/R	检测阈值, 大于此值表示存在 ChirpIoT™ 信号
0x1E	保留	7:4	0x00	W/R	保留
	DIGMODE_SEL_REG	3		W/R	高功率模式设置 0: 高功率模式关闭 1: 高功率模式启动
	REG_IQ_SEL	2:1		W/R	射频测试模式下 IQ 信号输出选择
	保留	0		W/R	保留
0x74	SIG_POW_AVG[7:0]	7:0	-	R	信噪比低 8 位, 输出值即信噪比
0x75	SIG_POW_AVG[15:8]	7:0	-	R	信噪比次高 8 位
0x76	SIG_POW_AVG[23:16]	7:0	-	R	信噪比高 8 位
0x77	ORI_DEC_FREQ_BUFF[7:0]	7:0	-	R	频偏计算值低 8 位, 计算公式: $freq = \frac{ori\_dec\_freq\_buff}{2^{SF}}$ 单位为 Hz
0x78	ORI_DEC_FREQ_BUFF[15:8]	7:0	-	R	频偏计算值高 8 位
0x79	ORI_DEC_FREQ_BUFF[23:16]	7:0	-	R	频偏计算值高 8 位
0x7A	保留	7:2	-	R	保留
	ORI_DEC_FREQ_BUFF[25:24]	1:0	-	R	频偏计算值高 2 位
0x7B	保留	7:6	-	R	保留
	REG_DC_DONE	5	-	R	DC 补偿计算完成标识
	PAYLOAD_CR_ERR	4	-	R	接收有效负载编码速率计算错误标识
	CRC_MAC	3	-	R	CRC 功能是否开启标识

	CR[2:0]	2:0	-	R	收到的数据包的编码速率
0x7C	保留	7:3	-	R	保留
	HEADER_CRC[7:0]	2	-	R	接收端标头 CRC
	保留	1:0	-	R	保留
0x7D	PAYLOAD_LEN[7:0]	7:0	-	R	收到的数据 Payload 长度
0x7E	RSSI_MIX_HOLD[7:0]	7:0	-	R	当前 RSSI 计算值
0x7F	RSSI_FIR_HOLD[7:0]	7:0	-	R	当前 RSSI 计算值

## 9.5.2 Page2

地址	寄存器	位	推荐值	读写	说明
0x6C	RSSI_MIX_CHG[7:0]	7:0	-	R	当前 RSSI 计算值, 输出值即 RSSI 取值
0x6D	RSSI_FIR_CHG[7:0]	7:0	-	R	当前 RSSI 计算值
0x6E	REG_GAIN_GRID[7:0]	7:0	-	R	AGC 增益, 输出值即 AGC 增益值
0x6F	AGC_SET[7:0]	7:0	-	R	AGC 控制码设置低 8 位
0x70	AGC_SET[15:8]	7:0	-	R	AGC 控制码设置高 8 位
0x71	NOI_POW_AVG[7:0]	7:0	-	R	噪声功率信号均值低 8 位, 输出值即噪声功率
0x72	NOI_POW_AVG[15:8]	7:0	-	R	噪声功率信号均值次高 8 位
0x73	NOI_POW_AVG[23:16]	7:0	-	R	噪声功率信号均值高 8 位
0x74	REG_DC_OFFSET_O_I	7:0	-	R	DC 补偿结果
0x75	REG_DC_OFFSET_O_Q	7:0	-	R	DC 补偿结果

## 9.5.3 Page3

地址	寄存器	位	推荐值	读写	说明
0x09	SYNC_FREQC[7:0]	7:0	0x40	W/R	射频频率配置, 低 8 位
0x0A	SYNC_FREQC[15:8]	7:0	0x0E	W/R	射频频率配置, 次低 8 位
0x0B	SYNC_FREQC[23:16]	7:0	0xCF	W/R	射频频率配置, 次高 8 位
0x0C	保留	7:6	0x19	W/R	保留
	SYNC_FREQC[29:24]	5:0		W/R	射频频率配置, 高 6 位
0x0D	BW	7:4	0x98	W/R	6: 62.5 kHz 7: 125 kHz 8: 250 kHz 9: 500 kHz
	CODING RATE	3:1		W/R	1: 4/5 2: 4/6 3: 4/7 4: 4/8
	保留	0		W/R	保留
0x0E	SPREADING FACTOR	7:4	0x78	W/R	7: 128 chips / symbol 8: 256 chips / symbol

					9: 512 chips / symbol 10: 1024 chips / symbol 11: 2048 chips / symbol 12: 4096 chips / symbol
	RXPAYLOADCRC CON	3		W/R	0: CRC 关闭 1: CRC 使能
	保留	2:0		W/R	保留
0x0F	SYNCWORD	7:0	0x12	W/R	同步字配置。 配置范围为 (0x10 到 0xFF)
0x10	IF[7:0]	7:0	0x40	W/R	中频配置, 低 8 位
0x11	保留	7:4	0x00	W/R	保留
	IF[11:8]	3:0		W/R	中频配置, 高 4 位
0x12	保留	7:4	0x00		保留
	LOWDATARATE	3		W/R	0: 关闭低速率模式 1: 打开低速率模式
	保留	2:1			保留
	REG_SF_SYC_EN	0		W/R	0: 关闭 SF 智能识别模式 1: 打开 SF 智能识别模式
0x13	PREAMBLE_LEN[7:0]	7:0	0x08	W/R	Preamble 长度, 低 8 位
0x14	PREAMBLE_LEN[15:8]	7:0	0x00	W/R	Preamble 长度, 高 8 位

## 9.6 MAC 模块寄存器

### 9.6.1 Page0

地址	寄存器	位	推荐值	读写	说明
0x6C	保留	7:4	0x00	W/R	保留
	REG_RX_DONE_IRQ	3		W/R	写 1 清零 RX DONE IRQ
	REG_RX_PL_CRC_ERR_IRQ	2		W/R	写 1 清零 RX PAYLOAD CRC ERROR IRQ
	REG_RX_TIMEOUT_IRQ	1		W/R	写 1 清零 RX TIMEOUT IRQ
	REG_TX_DONE_IRQ	0		W/R	写 1 清零 TX DONE IRQ

### 9.6.2 Page3

地址	寄存器	位	推荐值	读写	说明
0x06	保留	7:6	0x00	W/R	保留
	ISO_TO_0	5		W/R	工作隔离设置 0: 工作电压隔离 1: 电压正常工作
	保留	4:3		W/R	保留



	REG_TX_CFG_MODE	2		W/R	0: 单个发射模式 1: 连续发射模式
	REG_RX_CFG_MODE	1:0		W/R	0: 单个接收模式 1: 带溢出的单个接收模式 2: 连续接收模式
0x07	REG_RX_TIMEOUT[7:0]	7:0	0x00	W/R	接收超时设置, 低 8 位, 单位微秒
0x08	REG_RX_TIMEOUT[15:8]	7:0	0x00	W/R	接收超时设置, 高 8 位, 单位微秒

## 9.7 智能 SF 识别寄存器

### 9.7.1 Page1

地址	寄存器	位	推荐值	读写	说明
0x1C	REG SFA SCAN SYM	7:6	0x00	W/R	SF10 扫描时间: 0: 1.5 个 SF10 chirp 符号 1: 1.8 个 SF10 chirp 符号 2: 2.0 个 SF10 chirp 符号 3: 2.5 个 SF10 chirp 符号
	REG SF9 SCAN SYM	5:4		W/R	SF9 扫描时间: 0: 1.5 个 SF10 chirp 符号 1: 1.8 个 SF10 chirp 符号 2: 2.0 个 SF10 chirp 符号 3: 2.5 个 SF10 chirp 符号
	REG SF8 SCAN SYM	3:2		W/R	SF8 扫描时间: 0: 1.5 个 SF8 chirp 符号 1: 1.8 个 SF8 chirp 符号 2: 2.0 个 SF8 chirp 符号 3: 2.5 个 SF8 chirp 符号
	REG SF7 SCAN SYM	1:0		W/R	SF7 扫描时间: 0: 1.5 个 SF7 chirp 符号 1: 1.8 个 SF7 chirp 符号 2: 2.0 个 SF7 chirp 符号 3: 2.5 个 SF7 chirp 符号
0x1D	保留	7:4	0x00	W/R	保留
	REG SFC SCAN SYM	3:2		W/R	SF12 扫描时间: 0: 1.5 个 SF12 chirp 符号 1: 1.8 个 SF12 chirp 符号 2: 2.0 个 SF12 chirp 符号 3: 2.5 个 SF12 chirp 符号
	REG SFB SCAN SYM	1:0		W/R	SF11 扫描时间: 0: 1.5 个 SF11 chirp 符号 1: 1.8 个 SF11 chirp 符号

					2: 2.0 个 SF11 chirp 符号 3: 2.5 个 SF11 chirp 符号
0x2D	保留	7:6	0x00	W/R	保留
	REGSFCCYCLE	5		W/R	0: 关闭智能 SF12 识别使能 1: 打开智能 SF12 识别使能
	REGSFBCYCLE	4		W/R	0: 关闭智能 SF11 识别使能 1: 打开智能 SF11 识别使能
	REGSFACYCLE	3		W/R	0: 关闭智能 SF10 识别使能 1: 打开智能 SF10 识别使能
	REGSF9CYCLE	2		W/R	0: 关闭智能 SF9 识别使能 1: 打开智能 SF9 识别使能
	REGSF8CYCLE	1		W/R	0: 关闭智能 SF8 识别使能 1: 打开智能 SF8 识别使能
	REGSF7CYCLE	0		W/R	0: 关闭智能 SF7 识别使能 1: 打开智能 SF7 识别使能

## 9.7.2 Page3

地址	寄存器	位	推荐值	读写	说明
0x12	保留	7:4	0x00	-	保留
	LOWDATARATE	3		W/R	0: 关闭低速率模式 1: 打开低速率模式
	保留	2:1		-	保留
	REG_SF_SYC_EN	0		W/R	0: 关闭 SF 智能识别模式 1: 打开 SF 智能识别模式

## 9.8 PLL 模块寄存器

### 9.8.1 Page3

地址	寄存器	位	推荐值	读写	说明
0x15	保留	7	0x21	W/R	保留
	FB[6:0]	6:0		W/R	工作频点配置
0x16	FC[7:0]	7:0	0x04	W/R	工作频点配置
0x17	保留	7:4	0x01	W/R	保留
	FC[11:8]	3:0		W/R	工作频点配置
0x18	保留	7:4	0x0F	W/R	保留
	MODE_SEL	3		W/R	PLL 配置 0: 高频率模式 1: 低频率模式

	LBS	2		W/R	工作频段配置
	LBS2	1		W/R	工作频段配置
	HI_LO_SET	0		W/R	工作频段配置
0x19	保留	7:5	0x08	W/R	保留
	CAL_CODE[4:0]	4:0		W/R	校正配置

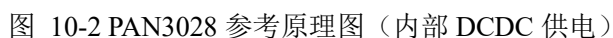
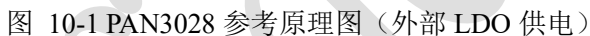
## 9.9 GPIO 配置接口寄存器

### 9.9.1 Page 0

地址	寄存器	位	推荐值	读写	说明
0x5f	GPIO_PDEN LSB	7:0	0x00	W/R	IO MUX GPIO 下拉使能 Bit7~Bit0 对应 GPIO7~GPIO0 下拉使能， 1: 下拉使能打开 0: 下拉使能关闭
0x60	保留	7:4	0x00	W/R	保留
	GPIO_PDEN MSB	3:0		W/R	IO MUX GPIO 下拉使能 Bit3~Bit0 对应 GPIO11~GPIO8 下拉使能， 1: 下拉使能打开 0: 下拉使能关闭
0x61	GPIO_PUEN LSB	7:0	0x00	W/R	IO MUX GPIO 上拉使能 Bit7~Bit0 对应 GPIO7~GPIO0 上拉使能， 1: 上拉使能打开 0: 上拉使能关闭
0x62	保留	7:4	0x00	W/R	保留
	GPIO_PUEN MSB	3:0		W/R	IO MUX GPIO 上拉使能 Bit3~Bit0 对应 GPIO11~GPIO8 上拉使能， 1: 上拉使能打开 0: 上拉使能关闭
0x63	GPIO_DIEN LSB	7:0	0x00	W/R	IO MUX GPIO 输入使能 Bit7~Bit0 对应 GPIO7~GPIO0 输入使能， 1: 输入使能打开 0: 输入使能关闭
0x64	保留	7:4	0x00	W/R	保留
	GPIO_DIEN MSB	3:0		W/R	IO MUX GPIO 输入使能 Bit3~Bit0 对应 GPIO11~GPIO8 输入使能， 1: 输入使能打开 0: 输入使能关闭
0x65	GPIO_OE LSB	7:0	0x00	W/R	IO MUX GPIO 输出使能 Bit7~Bit0 对应 GPIO7~GPIO0 输出使能， 1: 输出使能打开 0: 输出使能关闭

0x66	保留	7:4	0x00	W/R	保留
	GPIO_OE MSB	3:0		W/R	IO MUX GPIO 输出使能 Bit3~Bit0 对应 GPIO11~GPIO8 输出使能, 1: 输出使能打开 0: 输出使能关闭
0x67	GPIO_OUT LSB	7:0	0x00	W/R	IO MUX GPIO 输出 Bit7~Bit0 对应 GPIO7~GPIO0 输出, 1: 输出高电平 0: 输出低电平
0x68	保留	7:2	0x00	W/R	保留
	GPIO_OUT MSB	1:0		W/R	IO MUX GPIO 输出 Bit1~Bit0 对应 GPIO9~GPIO8 输出, 1: 输出高电平 0: 输出低电平 注: GPIO11, GPIO10 输出分别由信道状态指示信号和外置 PA 使能控制信号占用, 不能控制
0x74	保留	7:6	-	R	保留
	GPIO_IN LSB	5:0	-	R	IO MUX GPIO 输入 Bit5~Bit0 对应 GPIO5~GPIO0 输入, 1: 输入高电平 0: 输入低电平
0x75	保留	7:6	-	R	保留
	GPIO_IN MSB	5:0	-	R	IO MUX GPIO 输入 Bit5~Bit0 对应 GPIO11~GPIO6 输入 1: 输入高电平 0: 输入低电平

## 10.1 参考原理图



## 10.2 不同频段匹配参考值

频率 (MHz)	TX								
	L1(nH)	C3(pF)	L2(nH)	L3(nH)	C4(pF)	L4(nH)	C5(pF)	L5(nH)	C6(pF)
433	68	4	33	8.2	7	22	10	24	8.2
470~510	68	3	33	10	12	27	9	24	2.7
863~870	220	2.2	15	5.1	5	12	6	9.1	3.9
902~928	220	2.2	15	5.1	5	15	6	8.2	3.9

备注 1: L3、C4、L4、C5、L5、C6 为安规滤波匹配, 如果不考虑安规可以去掉。

备注 2: 匹配元器件值需要根据 TR Switch 和 Layout 的不同微调。

备注 3: 电感 L1 推荐使用直流内阻小于 2 欧姆、额定电流大于 150mA 的器件。

频率 (MHz)	RX			
	L6(nH)	C9(pF)	L7(nH)	C15(pF)
433	68	2	68	3.6
470~510	56	1.5	56	3
863~870	15	3	56	1.8
902~928	15	3	56	1.8

备注 1: 匹配元器件值需要根据 TR Switch 和 Layout 的不同微调。

备注 2: 其它频段的配置值, 请参考硬件设计参考文档。

## 11 封装尺寸

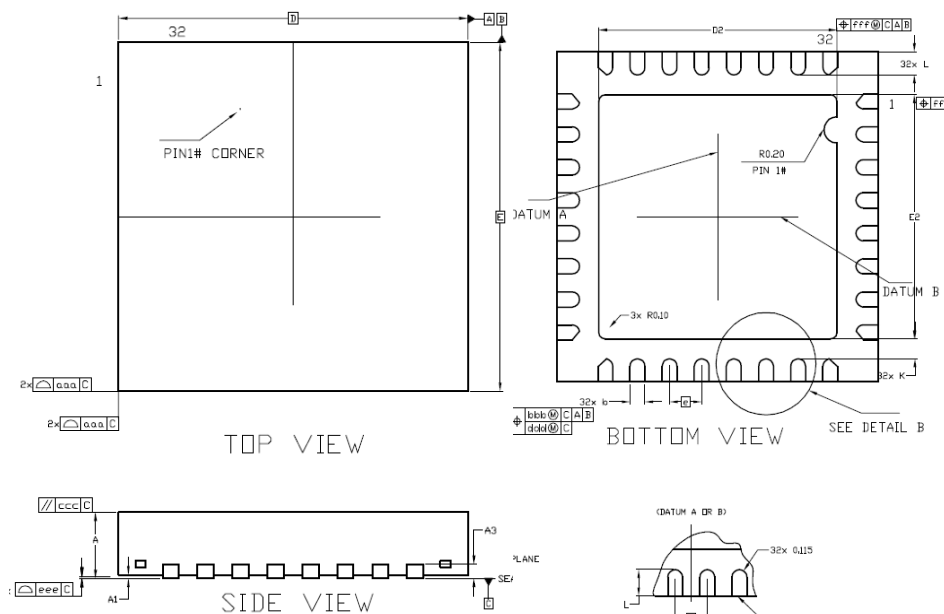


图 11-1 PAN3028 芯片 QFN32 5\*5 封装图

表 11-1 QFN32 5\*5 封装尺寸

符号	最小(mm)	典型(mm)	最大(mm)
A	0.70	0.75	0.80
	0.85	0.90	0.95
A1	0	0.02	0.05
A3	-	0.20 REF	-
b	0.18	0.23	0.28
D	5.00BSC		
E	5.00BSC		
D2	3.55	3.65	3.75
E2	3.55	3.65	3.75
e	0.50BSC		
L	0.30	0.35	0.40
K	0.20	-	-
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

注 1: 计量单位是毫米。

## 12 注意事项

- (1) 该产品属 CMOS 器件，在储存、运输、使用过程中要注意防静电。
- (2) 器件使用时接地要良好。
- (3) 回流焊温度不能超过 260℃。

无铅回流焊工艺曲线如下图：

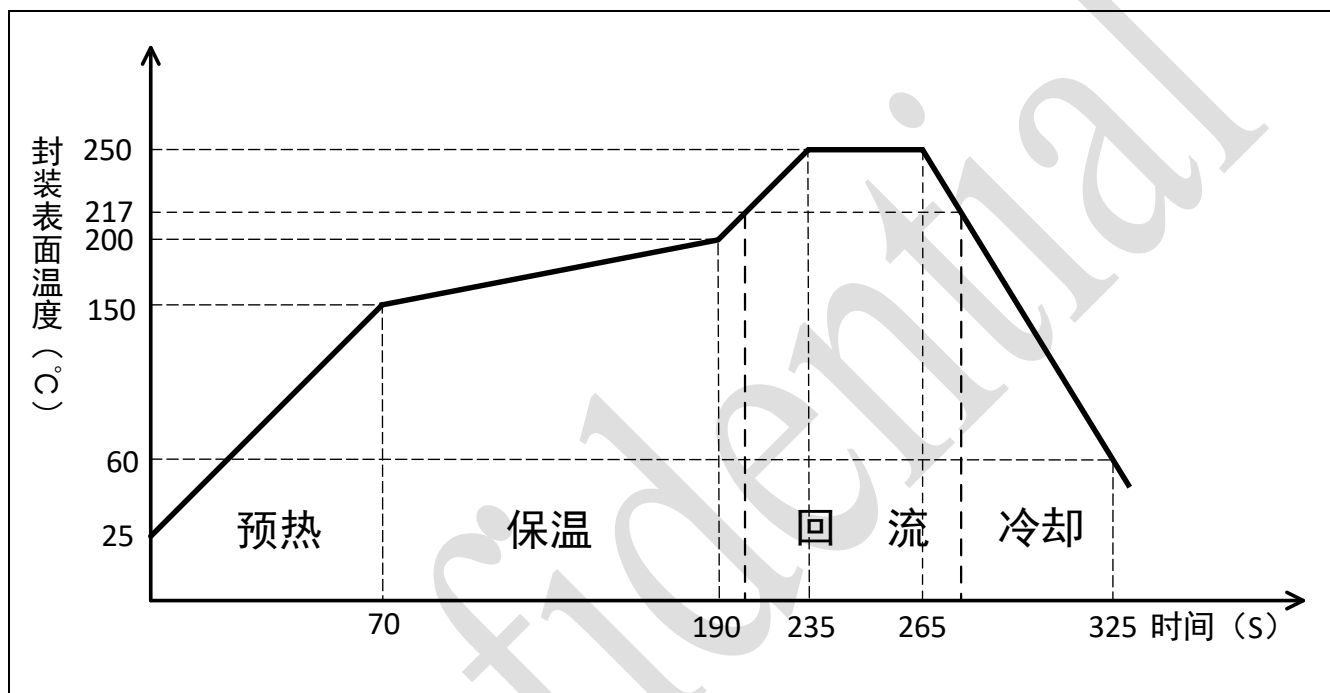


图 12-1 回流焊工艺曲线图



## 13 储存条件

- (1) 产品在密封包装中储存：温度小于 30°C 且湿度小于 90%时，可达 12 个月。
- (2) 包装袋被打开后，元器件将被回流焊制程或其他的高温制程所采用时必须符合：
  - 1) 在 72 小时内且工厂环境为小于 30°C≤60%RH 完成；
  - 2) 保存在 10%RH 环境下；
  - 3) 使用前进行 125°C，24H 烘烤去除内部水汽。
- (3) MSL（包装湿度敏感性）：3 级（根据 IPC/JEDEC J-STD-020 确定）