



Panchip Microelectronics Co., Ltd.

**PAN1026**

用户手册

蓝牙收发芯片

当前版本：2.0

发布日期：2023.06

**上海磐启微电子有限公司**

地址：上海张江高科技园区盛夏路 666 号 D 栋 302 室

联系电话：021-50802371

网址：<http://www.panchip.com>

## 文档说明

由于版本升级或存在其他原因，本文档内容会不定期进行更新。除非另有约定，本文档内容仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 商标

磐启是磐启微电子有限公司的商标。本文档中提及的其他名称是其各自所有者的商标/注册商标。

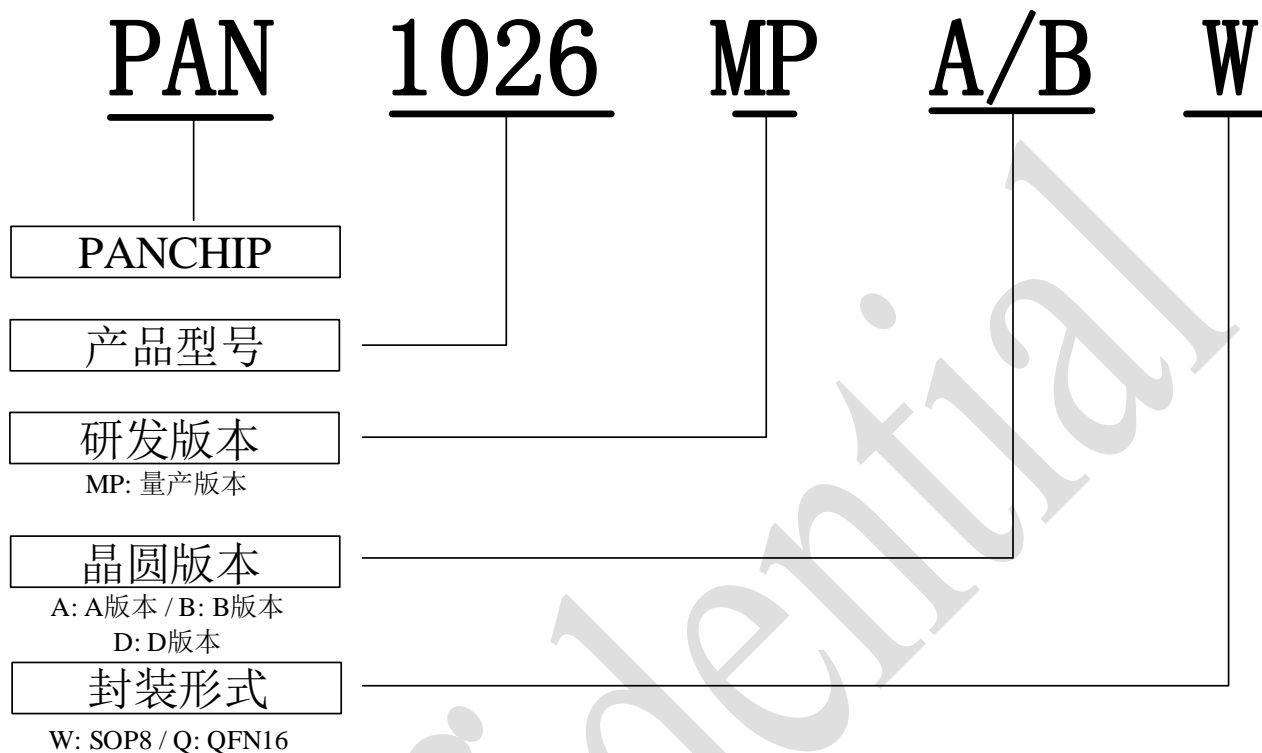
## 免责声明

本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，磐启微电子有限公司对本文档内容不做任何明示或暗示的声明或保证。

## 修订历史

版本	修订时间	更新内容
V1.0	2020.12	初版
V1.1	2021.3	1. 更新特性说明 2. 更新寄存器说明
V1.2	2021.9	1. 更新测试数据指标 2. 更新寄存器说明 3. 更新封装形式 4. 更新表 8-3 I2C 接口说明 5. 更新产品系列 6. 更新命名规则
V1.3	2022.4	更新应用参考图
V1.4	2022.8	1. 发射功率更新为最大 10dBm 2. 增加晶圆版本 D 3. 增加 QFN16
V1.5	2022.9	去除 Nordic nRF24L01
V1.6	2022.10	更新 QFN16 的引脚定义
V1.7	2023.2	1. 更正图 5-1 中 STB2→STB3 时间为 2ms 2. 表 5-1 中加入 CE 控制标识，更新 EN_LS 的 STB2 参数 3. 待机模式-II（STB2）中增加描述
V1.8	2023.5	增加 250kbps 速率
V1.9	2023.5	引脚说明中补充 QFN16 的 I2C 功能说明
V2.0	2023.6	修改图 6-2 及其描述；增加回流焊曲线和 MSL 等级

## 命名规则



## 产品系列

产品系列	晶圆版本	封装形式	温度
PAN1026MPAW	A	SOP8	-40°C~+85°C
PAN1026MPBW	B	SOP8	-40°C~+85°C
PAN1026MPDW	D	SOP8	-40°C~+85°C
PAN1026MPDQ	D	QFN16	-40°C~+85°C

## 目录

命名规则 .....	II
产品系列 .....	III
目录 .....	IV
图清单 .....	VI
表清单 .....	VII
缩略语 .....	VIII
1 概述 .....	1
1.1 主要特性 .....	1
1.2 典型应用 .....	2
2 系统结构方框图 .....	3
3 引脚定义和说明 .....	4
3.1 引脚定义 .....	4
3.2 引脚说明 .....	5
4 主要电特性 .....	6
4.1 直流电特性 .....	6
4.2 极限最大额定值 .....	6
4.3 电流消耗 .....	6
4.4 RF 指标 .....	7
4.5 TX 指标 .....	7
4.6 RX 指标 .....	8
5 芯片工作状态 .....	9
5.1 休眠模式 .....	10
5.2 待机模式-I (STB1) .....	10
5.3 待机模式-II (STB2) .....	10
5.4 待机模式-III (STB3) .....	10
5.5 接收模式 .....	11
5.6 发射模式 .....	11
6 数据通信模式 .....	12
6.1 普通模式 .....	12
6.2 增强模式 .....	13
6.3 增强发送模式 .....	13
6.4 增强接收模式 .....	14
6.5 增强模式下的数据包识别 .....	15
6.6 增强模式下的 PTX 和 PRX 的时序图 .....	15
6.7 增强模式下的接收端一对多通信 .....	16
6.8 DATA FIFO .....	17

6.9	中断引脚 .....	18
7	数据包格式 .....	19
7.1	BLE 包格式 .....	19
7.2	兼容 XN297L 的数据包格式 .....	19
7.2.1	普通模式的数据包格式 .....	19
7.2.2	增强模式的数据包格式 .....	19
7.2.3	增强模式的 ACK 包格式 .....	20
8	SPI/I2C 控制接口 .....	21
8.1	SPI 指令格式 .....	21
8.2	3 线 SPI 时序 .....	23
8.3	I2C 时序 .....	24
8.4	4 线 SPI 时序 .....	24
9	控制寄存器 .....	26
9.1	3V 寄存器映射 .....	26
9.2	1.8V 寄存器映射 .....	28
9.2.1	PAGE0 .....	28
9.2.2	PAGE1 .....	39
10	应用参考图 .....	41
10.1	SOP8 应用参考图 .....	41
10.2	QFN16 应用参考图 .....	41
11	封装尺寸 .....	42
11.1	SOP8 封装尺寸 .....	42
11.2	QFN16 封装尺寸 .....	44
12	注意事项 .....	45
13	储存条件 .....	46

## 图清单

图 2-1 PAN1026 芯片系统结构方框图 .....	3
图 3-1 SOP8 封装引脚图 .....	4
图 3-2 QFN16 封装引脚图 .....	4
图 5-1 工作状态图 .....	9
图 6-1 PID 生成和检测 .....	15
图 6-2 增强模式下的 PTX 和 PRX 的时序图（发送成功） .....	15
图 6-3 星状网络下的数据管道寻址示例 .....	17
图 6-4 FIFO 框图 .....	17
图 8-1 3 线 SPI 写时序 .....	23
图 8-2 I2C 时序 .....	24
图 8-3 SPI 读操作 .....	24
图 8-4 SPI 写操作 .....	24
图 8-5 SPI, NOP 操作时序图 .....	25
图 10-1 SOP8 应用参考图 .....	41
图 10-2 QFN16 应用参考图 .....	41
图 11-1 SOP8 封装图 .....	42
图 11-2 QFN16 封装图 .....	44
图 12-1 回流焊工艺曲线图 .....	45

## 表清单

表 3-1 SOP8 封装引脚说明 .....	5
表 3-2 QFN16 封装引脚说明 .....	5
表 4-1 直流电特性 .....	6
表 4-2 极限最大额定值 .....	6
表 4-3 电流消耗 .....	6
表 4-4 RF 指标 .....	7
表 4-5 TX 指标 .....	7
表 4-6 RX 指标 .....	8
表 5-1 控制信号和功能描述 .....	9
表 6-1 普通模式 .....	12
表 6-2 增强模式 .....	12
表 6-3 多通道地址设置 .....	16
表 7-1 BLE 包格式 .....	19
表 7-2 普通模式的数据包格式 .....	19
表 7-3 增强模式的数据包格式 .....	19
表 7-4 增强模式的 ACK 数据包格式 .....	20
表 8-1 四线 SPI 接口 .....	21
表 8-2 三线 SPI 接口 .....	21
表 8-3 I2C 接口 .....	21
表 8-4 SPI 指令格式 .....	22
表 8-5 SPI 操作参考时间 .....	25
表 9-1 3V 寄存器映射 .....	26
表 9-2 PAGE0 .....	28
表 9-3 PAGE1 .....	39
表 11-1 SOP8 封装尺寸 .....	42
表 11-2 QFN16 封装尺寸 .....	44



## 缩略语

ACK	响应信号
BLE	低功耗蓝牙
CDM	组件充电模式
CRC	循环冗余检查
CSN	片选
DPLL	数字锁相环
ESD	静电释放
FIFO	先入先出
GFSK	高斯频移键控
HBM	人体模式
I2C	二线制同步串行总线
ISM	工业、科学和医学频段
MCU	微控制器单元
MISO	主入从出
MM	机器模式
MOSI	主出从入
PLL	锁相环
PRX	主接收机
PTX	主发射机
RC	电阻电容振荡器
RF	射频
RX	接收器
SDA	串行数据接口
SPI	串行外设接口
STB	待机模式
TX	发射器

## 1 概述

PAN1026 系列产品是一款低成本、高集成度的无线 BLE 数据收发芯片，工作在射频 2400MHz ~2483MHz 的通用 ISM 频段。具有较低的系统应用成本，只需要一个 MCU 和少量外部无源组件即可构建满足无线应用的系统。同时，操作方式非常方便，只需要 MCU 通过 SPI/I2C 外设接口对芯片少数几个寄存器配置，即可实现数据的收发通信。

PAN1026 芯片集成发射机、接收机、频率发生器、GFSK 调制解调器等功能模块。其中，发射机支持功率可调（最大可达 10dBm）；接收机采用数字通信机制，在复杂环境和强干扰条件下，具有良好的收发性能。

PAN1026 通信兼容 XN297L 及 BLE 数据包，封装兼容 XN297L（SOP8，3 线 SPI 功能）。

### 1.1 主要特性

#### ● RF

- 无线
  - 通信频段：2400MHz ~2483MHz
  - 数据速率：2Mbps, 1Mbps, 250kbps
  - 调制方式：GFSK
  - 兼容性：兼容 XN297L（SOP8，3 线 SPI 功能）
- 射频综合器
  - 完全集成频率合成器
  - 250kbps 模式（晶振精度±10ppm）
  - 1Mbps/2Mbps 模式（晶振精度±40ppm）
- 接收器
  - -88dBm 灵敏度@1Mbps
  - 工作电流 20mA
  - 休眠电流 0.1uA
- 发射器
  - 25mA@0dBm 输出功率
  - 发射输出功率最大可达 10dBm
- 协议引擎
  - 最大支持 64 字节数据长度
  - 支持自动应答及自动重传
  - 6 个接收数据通道构成 1: 6 的星状网络

#### ● 电源管理

- 集成电压调节器
- 工作电压：2.2~3.6V

#### ● 主机接口

- 支持 4 线和 3 线 SPI，2 线 I2C
- 高达 16Mbps 的 SPI 接口速率
- 高达 1.5Mbps 的 I2C 接口速率
- 支持两个独立的 32 字节 TX 和 RX FIFOs

- 支持一个 64 字节的 TX 和 RX FIFOs
- 封装
  - SOP8
  - QFN16
- 温度条件
  - 工作温度：-40 ~ +85°C（250kbps 速率支持-40 ~ +70°C）
- 其他特性
  - ESD
    - HBM:  $\pm 2\text{KV}$
    - MM:  $\pm 100\text{V}$
    - CDM:  $\pm 2\text{KV}$
  - 带自动扰码和 CRC 校验功能
  - BLE 模式支持白名单过滤功能
  - 较少外围器件

## 1.2 典型应用

- 遥控
- 智能家居

## 2 系统结构方框图

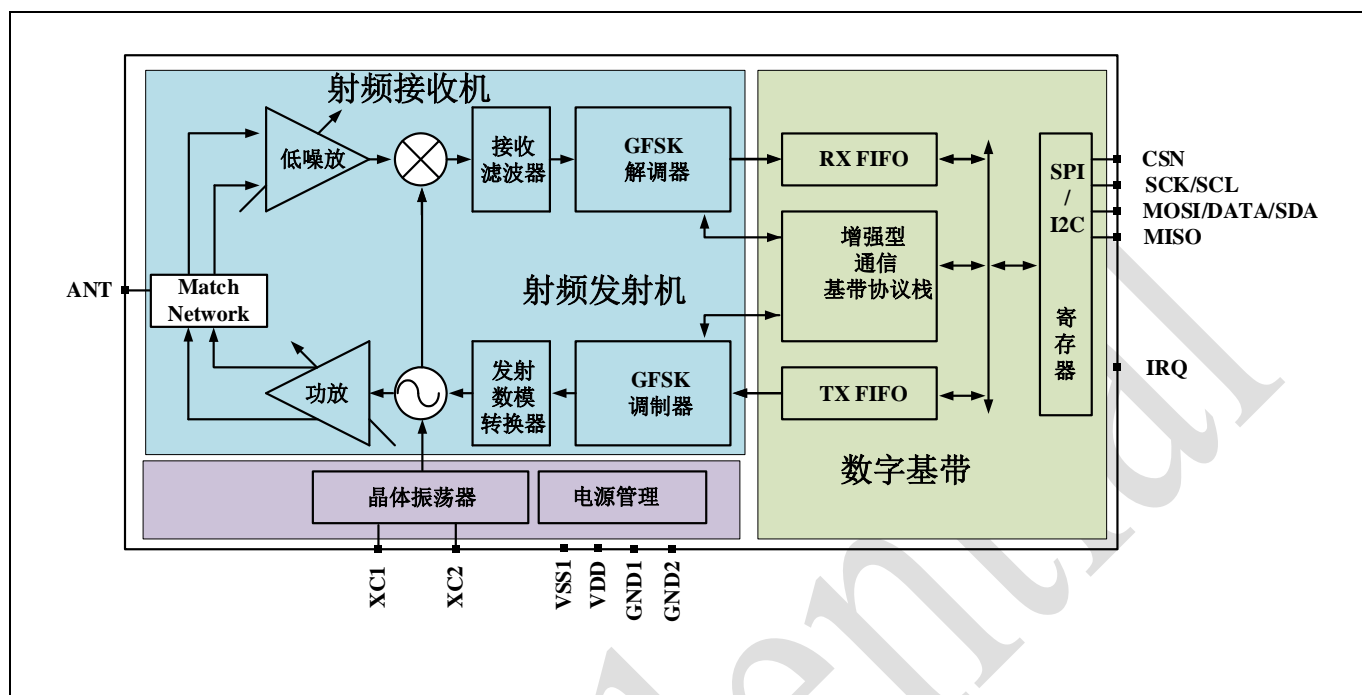


图 2-1 PAN1026 芯片系统结构方框图

## 3 引脚定义和说明

### 3.1 引脚定义

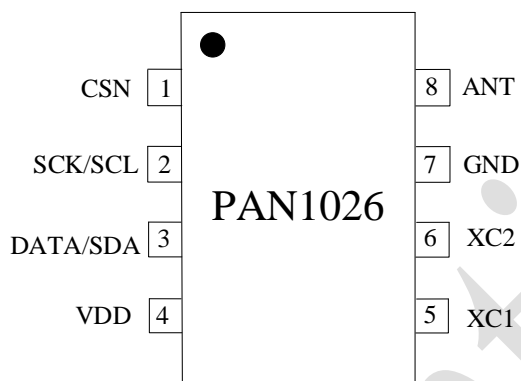


图 3-1 SOP8 封装引脚图

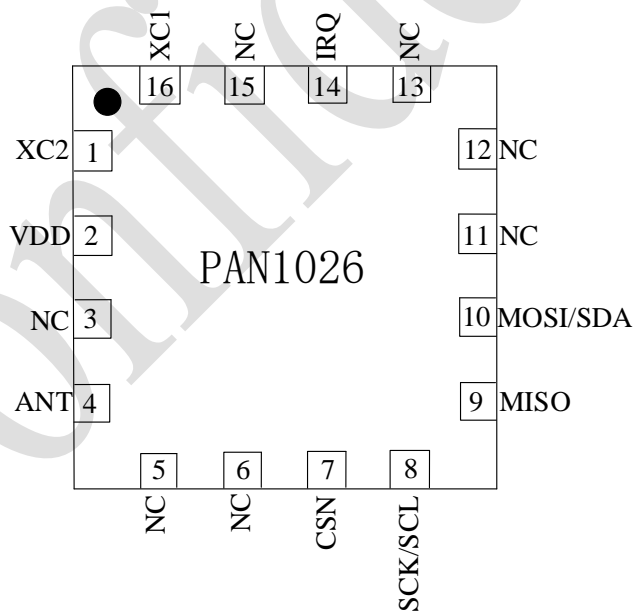


图 3-2 QFN16 封装引脚图

## 3.2 引脚说明

表 3-1 SOP8 封装引脚说明

序号	符号	类型	功能
1	CSN	I	SPI 片选信号输入
2	SCK	I	SPI 时钟信号输入
	SCL	I	I2C 时钟信号输入
3	DATA	I/O	3 线 SPI 数据输入/输出
	SDA	I/O	I2C 数据输入/输出
4	VDD	P	电源输入(2.2~3.6V 直流)
5	XC1	AI	晶振输入
6	XC2	AO	晶振输出
7	GND	G	地 (GND)
8	ANT	AI	天线接口

表 3-2 QFN16 封装引脚说明

序号	符号	类型	功能
1	XC2	AO	晶振输出
2	VDD	P	电源输入(2.2~3.6V 直流)
3	NC	-	-
4	ANT	AI	天线接口
5	NC	-	-
6	NC	-	-
7	CSN	I	SPI 片选信号输入
8	SCK	I	SPI 时钟信号输入
	SCL	I	I2C 时钟信号输入
9	MISO	I/O	SPI 数据输出信号
10	MOSI	I/O	SPI 数据输入信号
	SDA	I/O	I2C 数据输入/输出
11	NC	-	-
12	NC	-	-
13	NC	-	-
14	IRQ	I/O	中断信号
15	NC	-	-
16	XC1	AI	晶振输入

## 4 主要电特性

条件:  $VCC = 3.0V \pm 5\%$ ,  $TA = 25^{\circ}C$

### 4.1 直流电特性

表 4-1 直流电特性

符号	参数	最小	典型	最大	单位
VDD	供电电压	2.2	3	3.6	V
VSS	地	-	0	-	V
V <sub>OH</sub>	输出高电平电压	VDD-0.3	-	VDD	V
V <sub>OL</sub>	输出低电平电压	VSS	-	VSS+0.3	V
V <sub>IH</sub>	输入高电平电压	VDD-0.3	-	VDD	V
V <sub>IL</sub>	输入低电平电压	VSS	-	VSS+0.3	V

### 4.2 极限最大额定值

表 4-2 极限最大额定值

符号	参数	最小	典型	最大	单位
VDD	供电电压	-0.3	-	3.6	V
V <sub>I</sub>	输入电压	-0.3	-	3.6	V
V <sub>O</sub>	输出电压	VSS	-	VDD	-
Pd	总功耗 (温度=-40°C~85°C)	-	-	-	mW
T <sub>OP</sub>	工作温度	-40	-	85	°C
T <sub>STG</sub>	储藏温度	-40	-	125	°C

注释: 超过一个或多个最大额定值可能对 PAN1026 造成永久性损坏。

### 4.3 电流消耗

表 4-3 电流消耗

符号	参数	最小	典型	最大	单位
I <sub>CC</sub>	休眠	-	100	-	nA
	待机模式-I	-	170	-	uA
	待机模式-III	-	460	-	uA
	待机模式-II	-	225	-	uA
	TX 模式@ -40dBm 输出功率	-	13	-	mA
	TX 模式@ -30dBm 输出功率	-	15	-	mA

TX 模式@ -27dBm 输出功率	-	20	-	mA
TX 模式@ -10dBm 输出功率	-	23	-	mA
TX 模式@ 0dBm 输出功率	-	25	-	mA
TX 模式@ 2dBm 输出功率	-	28	-	mA
TX 模式@ 8dBm 输出功率	-	52	-	mA
TX 模式@ 10dBm 输出功率	-	57	-	mA
RX 模式@ 2Mbps	-	20	-	mA
RX 模式@ 1Mbps	-	20	-	mA
RX 模式@ 250kbps	-	20	-	mA

## 4.4 RF 指标

表 4-4 RF 指标

符号	参数	最小	典型	最大	单位
$f_{OP}$	工作频率	2400	-	2483	MHz
$PLL_{res}$	PLL 编程分辨率	-	1	-	MHz
$f_{XTAL}$	晶振频率	-	16	-	MHz
DR	数据速率	1	-	2	Mbps
$\Delta f_{250K}$	频率偏差为 250kbps	-	150	180	kHz
$\Delta f_{1M}$	频率偏差为 1Mbps	-	250	300	kHz
$\Delta f_{2M}$	频率偏差为 2Mbps	-	500	600	kHz
$FCH_{250K}$	通道间隔为 250kbps	-	1	-	MHz
$FCH_{1M}$	通道间隔为 1Mbps	-	1	-	MHz
$FCH_{2M}$	通道间隔为 2Mbps	-	2	-	MHz

注释：不推荐使用整数倍于 16MHz 的频道，如 2480MHz。因为接收机的灵敏度在这些信道中会降低约 2dB。

## 4.5 TX 指标

表 4-5 TX 指标

符号	参数	最小	典型	最大	单位
PRF	输出功率	-	8	10	dBm
PRFC	输出功率范围	-40	-	10	dBm



## 4.6 RX 指标

表 4-6 RX 指标

符号	参数	最小	典型	最大	单位
$RX_{max}$	误码率<0.1%时的最大接收幅度	-	0	-	dBm
$RXSENS1$	接收灵敏度 (0.1%BER) @2Mbps	-	-84	-	dBm
$RXSENS2$	接收灵敏度(0.1%BER) @1Mbps	-	-88	-	dBm
$RXSENS3$	接收灵敏度 (0.1%BER) @250kbps	-	-96	-	dBm
$C/I_{CO}$	同频的通道选择性@2Mbps	-	13	-	dBc
$C/I_{1ST}$	第一相邻通道选择性 C/I	-	18	-	dBc
$C/I_{2ND}$	第二相邻通道选择性 C/I	-	-15	-	dBc
$C/I_{3RD}$	第三相邻通道选择性 C/I	-	-17	-	dBc
$C/I_{4TH}$	第四相邻通道选择性 C/I	-	-21	-	dBc
$C/I_{5TH}$	第五相邻通道选择性 C/I	-	-25	-	dBc
$C/I_{CO}$	同频的通道选择性@1Mbps	-	12	-	dBc
$C/I_{1ST}$	第一相邻通道选择性 C/I	-	0	-	dBc
$C/I_{2ND}$	第二相邻通道选择性 C/I	-	-32	-	dBc
$C/I_{3RD}$	第三相邻通道选择性 C/I	-	-28	-	dBc
$C/I_{4TH}$	第四相邻通道选择性 C/I	-	-31	-	dBc
$C/I_{5TH}$	第五相邻通道选择性 C/I	-	-34	-	dBc
$C/I_{6TH}$	第六相邻通道选择性 C/I	-	-37	-	dBc

## 5 芯片工作状态

本章描述 PAN1026 系列芯片的各种工作模式，以及用于控制芯片进入各工作模式的方法。PAN1026 芯片自带状态机受控于芯片内部寄存器的配置值和外部引脚信号。

图 5-1 是 PAN1026 工作状态图，表示 5 种工作模式之间的跳变。PAN1026 在 VDD 大于 2.2V 才开始正常工作。即使进入休眠模式，MCU 还是可以通过 SPI 发送配置命令使芯片进入其它 5 种状态。

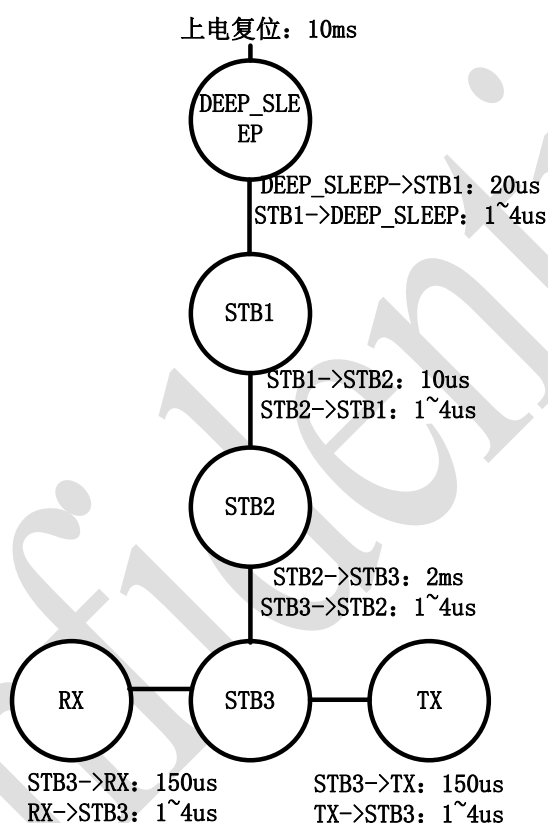


图 5-1 工作状态图

表 5-1 控制信号和功能描述

状态名	DEEP_SLEEP	STB1	STB2	STB3	RX	TX
控制信号						
EN_PM	0	1	1	1	1	1
EN_LDO_DVDD	0	0	1	1	1	1
EN_LS	0	0	1	1	1	1
PWR_UP	0	0	0	1	1	1
EN_CLK_BUF(由 CE 控制)	X	X	X	0	1	1
EN_LDO_1P8V(由 CE 控制)	X	X	X	0	1	1
PRIM_RX	X	X	X	0	1	0

功能描述						
3V SPI 操作	√	√	√	√	√	√
3V 寄存器值保存	√	√	√	√	√	√
1.8V SPI 操作	X	X	X	√	√	√
1.8V 寄存器值保存	X	X	X	√	√	√
BandGap、 电流源使能	X	√	√	√	√	√
DVDD LDO 使能	X	X	√	√	√	√
晶振起振	X	X	X	√	√	√
晶振输出	X	X	X	X	√	√
发射模块使能	X	X	X	X	X	√
接收模块使能	X	X	X	X	√	X

## 5.1 休眠模式

在休眠模式下，PAN1026 除了 3V 区域之外的所有功能关闭，保持电流消耗最小。进入休眠模式后，PAN1026 停止工作，但 3V 寄存器内容保持不变。休眠模式由 3V 寄存器中 PWR\_UP、EN\_LS、EN\_LDO\_DVDD、EN\_PM 位控制。

## 5.2 待机模式-I (STB1)

在待机模式-I 下，芯片维持 bandgap、电流源工作，其余功能模块均关闭，消耗电流较小。在休眠模式下，通过配置寄存器 EN\_PM 的值为 1，芯片即可进入待机模式-I。而处于发射或接收模式时，可以通过配置 PWR\_UP、EN\_LS、EN\_LDO\_DVDD 控制信号为 0，芯片返回到待机模式-I。

## 5.3 待机模式-II (STB2)

在待机模式-I 时，配置 EN\_LDO\_DVDD 控制信号为 1，芯片进入到待机模式-II。待机模式-II 主要目的是使得芯片的 DVDD LDO 模块必须先于晶振输出，在 STB2 模式下，1.8V 寄存器数据可以保持。

注意：在操作 1.8V 寄存器之前，必须将 DVDD LDO 打开；同时，晶振可根据需要进行打开操作。

## 5.4 待机模式-III (STB3)

在待机模式-II 时，配置 PWR\_UP 控制信号为 1，芯片进入到待机模式-III。待机模式-III，晶振使能；通过配置 PRIM-RX、SPI\_CE，以及操作 FIFO，可以让芯片进入接收或者发射模式。

## 5.5 接收模式

当 PWR\_UP、PRIM-RX、EN\_PM、SPI\_CE 置 1 时，进入接收模式。

在 RX 模式下，射频部分接收从天线来的信号，将其放大、下变频、滤波和解调，根据地址、校验码、数据长度等，判断是否收包有效，有效收包上传 RX FIFO，上报中断。如果 RX FIFO 是满的，接收的数据包就会被丢弃。

## 5.6 发射模式

当 PWR\_UP、EN\_PM 置 1，PRIM-RX 置 0，SPI\_CE 置 1，且 TX FIFO 中存在有效数据，进入发射模式。

PAN1026 在数据包发送完之前都会保持在发送模式。发送完成后，返回到待机模式。PAN1026 采用 PLL 开环发射方式，数据包是单包发送的。

## 6 数据通信模式

PAN1026 芯片搭配 MCU 来共同完成通信功能。链路层，如数据组帧、校验、地址判断、数据白化的扰码、数据重传和 ACK 响应等处理是由芯片内部完成的，无需 MCU 参与。

PAN1026 芯片可配置为二个不同的 RX FIFO 寄存器（32 字节）或者一个 RX FIFO 寄存器（64 字节）（6 个接收通道共享）、二个不同的 TX FIFO 寄存器（32 字节）或者一个 TX FIFO 寄存器（64 字节）。在休眠模式和待机模式下，MCU 可以访问 FIFO 寄存器。

PAN1026 芯片主要有二种数据通信模式：

不带自动重传不带 ACK 的通信模式（后简称为普通模式），发射端可以使用命令有 W\_TX\_PAYLOAD， REUSE\_TX\_PL 等；

带自动重传带 ACK 的通信模式（后简称为增强模式），发射端可以使用命令有 W\_TX\_PAYLOAD， W\_TX\_PAYLOAD\_NOACK， REUSE\_TX\_PL 等；接收端可以使用命令有 W\_ACK\_PAYLOAD 等；

表 6-1 普通模式

通信名称	普通模式	
通信方	PTX	PRX
特点	单向发送	单向接收
发送数据的组帧方式	I	无
开启 REUSE_TX_PL 命令	重复发送前一包数据	无

表 6-2 增强模式

通信名称	增强模式	
通信方	PTX	PRX
特点	发送数据后，等待接收 ACK	接收数据后，回发送 ACK
发送数据的组帧方式	发送数据组帧方式 II	回发送 ACK 组帧方式 III
PTX 使用 REUSE_TX_PL 命令	重复发送前一包数据	每收到一包，回发送 ACK
PTX 使用 W_TX_PAYLOAD 命令 PRX 使用 W_ACK_PAYLOAD 命令	发送数据后，等待接收 ACK PAYLOAD	接收数据后，回发送 ACK PAYLOAD，组帧方式 II
PTX 使用 W_TX_PAYLOAD_NO ACK 命令	发送一次数据，不等 ACK，组帧方式 II	接收数据，不回 ACK

### 6.1 普通模式

普通模式下，发送端从 TX FIFO 寄存器中取出数据并且发送，发送完成后上报中断（中断需要清除），同时 TX FIFO 寄存器清除该数据（TX FIFO 需要清空）；接收端接收到有效的地址和数据时上报中断通知 MCU，随后 MCU 可将该数据从 RX FIFO 寄存器中读出（TX FIFO 和 RX FIFO 需要清空，中断需要清除）。

普通模式, (0X01)EN\_AA 寄存器置 0X00, (0X04)SETUP\_RETR 寄存器置 0X00, (0X1C) DYNPD 寄存器置 0X00, (0X1D) FEATURE 寄存器的低 3 bits 置 000。

## 6.2 增强模式

增强模式下,把主动发起通信的一方称为 PTX(主发端),把接收数据并响应的一方称为 PRX (主收端)。PTX 发出数据后等待应答信号,PRX 接收到有效数据后回应答信号。PTX 规定时间内未收到应答信号,自动重新发送数据。自动重传和自动应答功能为 PAN1026 芯片自带,无需 MCU 参与。

PTX 在发送数据后自动转到接收模式等待应答信号。如果没有在规定时间内收到正确的应答信号,PTX 将重发相同的数据包,直到收到应答信号,或传输次数超过 ARC 的值 (SETUP\_RETR 寄存器)产生 MAX\_RT 中断。PTX 收到应答信号,即认为数据已经发送成功 (PRX 收到有效数据),清除 TX FIFO 中的数据并产生 TX\_DS 中断 (TX FIFO 和 RX FIFO 需要清空,中断需要清除)。

PRX 每次收到一包有效数据都会回 ACK 应答信号,该数据如果为新数据 (PID 值与上一包数据不同)保存到 RX FIFO,否则就丢弃。

增强模式,需要保证 PTX 的 TX 地址 (TX\_ADDR)、通道 0 的 RX 地址 (如 RX\_ADDR\_P0),以及 PRX 的 RX 地址 (如 RX\_ADDR\_P5)三者相同。例:在

图 6-3 中,PTX5 对应 PRX 的数据通道 5,地址设置如下:

PTX5: TX\_ADDR=0xC2C3C4C5C1

PTX5: RX\_ADDR\_P0=0xC2C3C4C5C1

RX: RX\_ADDR\_P5=0xC2C3C4C5C1

增强模式有如下特征:

减少 MCU 的控制,简化软件操作;

抗干扰能力强,减少无线传输中因瞬间同频干扰造成的丢包,更易开发跳频算法;

重传过程中,减少 MCU 通过 SPI 接口的每次写入待发送数据的操作时间。

## 6.3 增强发送模式

1、SPI\_CE 置 0, CONFIG 寄存器的 PRIM\_RX 位先置 0。

2、当发送数据时,发送地址 (TX\_ADDR)和有效数据 (TX\_PLD)通过 SPI 接口按字节写入地址寄存器和 TX FIFO。CSN 引脚为低时,数据写入,CSN 引脚再次为高,数据完成写入。

3、SPI\_CE 从 0 置 1,启动发射 (CE 至少持续置 1 在 30us 以上,该操作生效)。

4、自动应答模式下 (SETUP\_RETR 寄存器置不为 0, ENAA\_P0 =1), PTX 发送完数据后立即自动将通道 0 切换到接收模式等待应答信号。如果在有效应答时间范围内收到 ACK 应答信号,则认为数据发送成功,状态寄存器的 TX\_DS 位置 1 并自动清除 TX FIFO 中的数据。如果在设定时间范围内没有接收到应答信号,则自动重传数据。

- 5、如果自动传输计数器 (ARC\_CNT) 溢出 (超过了设定值), 则状态寄存器的 MAX\_RT 位置 1, 不清除 TX FIFO 中的数据。当 MAX\_RT 或 TX\_DS 为 1 时, IRQ 引脚产生低电平中断 (需要使能相应中断)。中断可以通过写状态寄存器来复位。
- 6、数据包丢失计数器 (PLOS\_CNT) 在每次产生 MAX\_RT 中断后加一。自动传输计数器 ARC\_CNT 统计重发数据包的次数; 数据包丢失计数器 PLOS\_CNT 统计在达到最大允许传输次数时仍没有发送成功的数据包个数。
- 7、产生 MAX\_RT 或 TX\_DS 中断后, 系统进入待机模式。

## 6.4 增强接收模式

- 1、SPI\_CE 置 0, CONFIG 寄存器的 PRIM\_RX 位先置 1。准备接收数据的通道必须被使能 (EN\_RXADDR 寄存器), 所有工作在增强型通信模式下的数据通道的自动应答功能是由 EN\_AA 寄存器来使能的, 有效数据宽度是由 RX\_PW\_PX 寄存器来设置的。
- 2、接收模式由设置 SPI\_CE 为 1 启动。
- 3、预设的等待时间后, PRX 开始检测无线信号。
- 4、接收到有效的数据包后, 数据存储 in RX\_FIFO 中, 同时 RX\_DR 位置 1, 产生中断。状态寄存器中 RX\_P\_NO 位显示数据是由哪个通道接收到的。
- 5、自动发送 ACK 应答信号。
- 6、如果 SPI\_CE 保持为 1, 继续进入接收模式; 如果 SPI\_CE 置为 0, 则进入待机模式-III;
- 7、MCU 以合适的速率通过 SPI 口将数据读出。

## 6.5 增强模式下的数据包识别

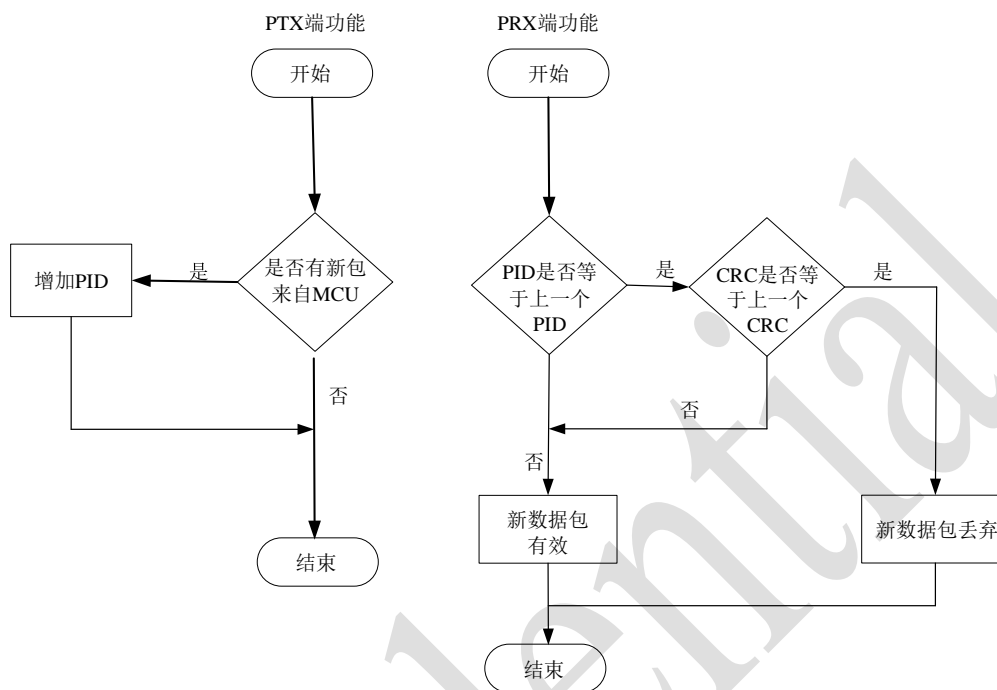


图 6-1 PID 生成和检测

每一包数据都包括两位的 PID（数据包标志位），来帮助接收端识别该数据是新数据包还是重发的数据包，防止多次存入相同的数据包，PID 的生成和检测如图 6-1 所示。发送端从 MCU 取得一包新数据后 PID 值加一。

## 6.6 增强模式下的 PTX 和 PRX 的时序图

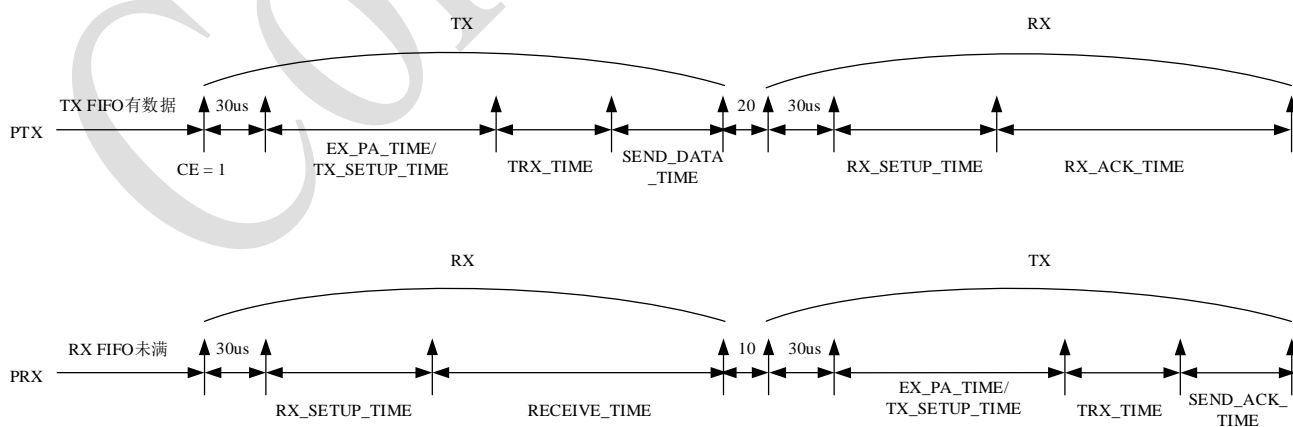


图 6-2 增强模式下的PTX和PRX的时序图（发送成功）

如图 6-2 所示的是一次 PTX 和 PRX 通信的芯片内部时序图，使得通信成功必须满足以下两



个条件：

条件 1、PTX（或 PRX）发射的锁相环稳定+功放使能+锁相环开环的三段时间之和，大于 PRX（或 PTX）接收的锁相环稳定时间 20us 以上，这样可以保证 PTX（或 PRX）发射数据的时间段落在 PRX（或 PTX）接收数据的时间段内，即：

$$\max(\text{EX\_PA\_TIME}, \text{TX\_SETUP\_TIME}) + \text{TRX\_TIME} > \text{RX\_SETUP\_TIME} + 20\mu\text{s};$$

条件 2、PRX 发送 ACK 的锁相环稳定+功放使能+锁相环开环+发送 ACK 的四段时间之和，小于 PTX 接收的锁相环稳定+等待 ACK 的两端时间之和 80us 以上，保证 PRX 回复 ACK 的时间端落在 PTX 等待 ACK 的时间段内，发送帧比特数 ÷ 通信数据率，即：

$$\max(\text{EX\_PA\_TIME}, \text{TX\_SETUP\_TIME}) + \text{TRX\_TIME} + \text{SEND\_ACK\_TIME} < \text{RX\_SETUP\_TIME} + \text{RX\_ACK\_TIME} - 80\mu\text{s}.$$

## 6.7 增强模式下的接收端一对多通信

PAN1026 芯片作为发射端，对于一对多通信，可以采用不同的地址与多个接收端进行通信。

PAN1026 芯片作为接收端，可以接收 6 路不同地址、相同频率的发送端数据。每个数据通道拥有自己的地址。

使能哪些数据通道是通过寄存器 EN\_RXADDR 来设置的。每个数据通道的地址是通过寄存器 RX\_ADDR\_PX 来配置的。通常情况下不允许不同的数据通道设置完全相同的地址。如下，表 6-3 给出了一例多接收通道地址配置的示例。

表 6-3 多通道地址设置

	Byte 4	Byte 3	Byte 2	Byte 1	Byte 0
Data pipe 0(RX_ADDR_P0)	0xF1	0xD2	0xE6	0xA2	0x33
Data pipe 1(RX_ADDR_P1)	0xD3	0xD3	0xD3	0xD3	0xD3
Data pipe 2(RX_ADDR_P2)	0xD3	0xD3	0xD3	0xD3	0xD4
Data pipe 3(RX_ADDR_P3)	0xD3	0xD3	0xD3	0xD3	0xD5
Data pipe 4(RX_ADDR_P4)	0xD3	0xD3	0xD3	0xD3	0xD6
Data pipe 5(RX_ADDR_P5)	0xD3	0xD3	0xD3	0xD3	0xD7

从表 6-3 可以看出数据通道 0 的 5byte 总共 40 位的地址都是可配的；数据通道 1~5 的地址配置为 32 位共用地址（与数据通道 1 共用）+8 位各自的地址（最低字节）。PAN1026 芯片在接收模式下可以与最多 6 路不同通道通信，如

图 6-3 所示。每一个数据通道使用不同的地址，共用相同的频道。所有的发射端和接收端设置为增强模式。

PRX 在接收到有效数据后记录 PTX 的 TX 地址，并以此地址为目标地址发送应答信号。PTX 数据通道 0 被用做接收应答信号时，数据通道 0 的 RX 地址要与 TX 地址相等以确保接收到正确的应答信号。

图 6-3 给出了 PTX 和 PRX 地址如何配置的例子。

TX\_ADDR:0XC2C3C4C5E2 TX\_ADDR:0XC2C3C4C5EF TX\_ADDR:0XC2C3C4C5E4 TX\_ADDR:0XC2C3C4C5D1 TX\_ADDR:0XC2C3C4C5C1 TX\_ADDR:0XCF3E410F02  
RX\_ADDR:0XC2C3C4C5E2 RX\_ADDR:0XC2C3C4C5EF RX\_ADDR:0XC2C3C4C5E4 RX\_ADDR:0XC2C3C4C5D1 RX\_ADDR:0XC2C3C4C5C1 RX\_ADDR:0XCF3E410F02

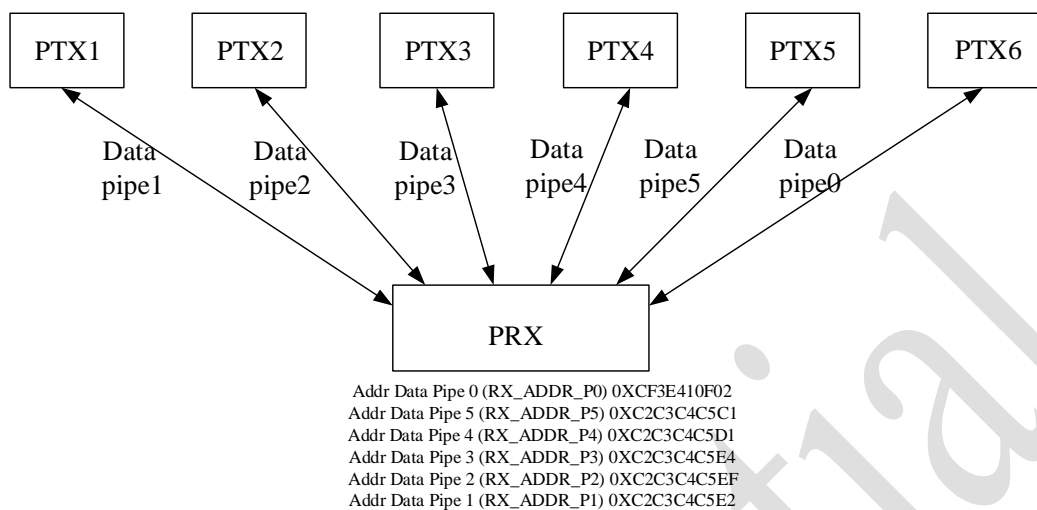


图 6-3 星状网络下的数据管道寻址示例

## 6.8 DATA FIFO

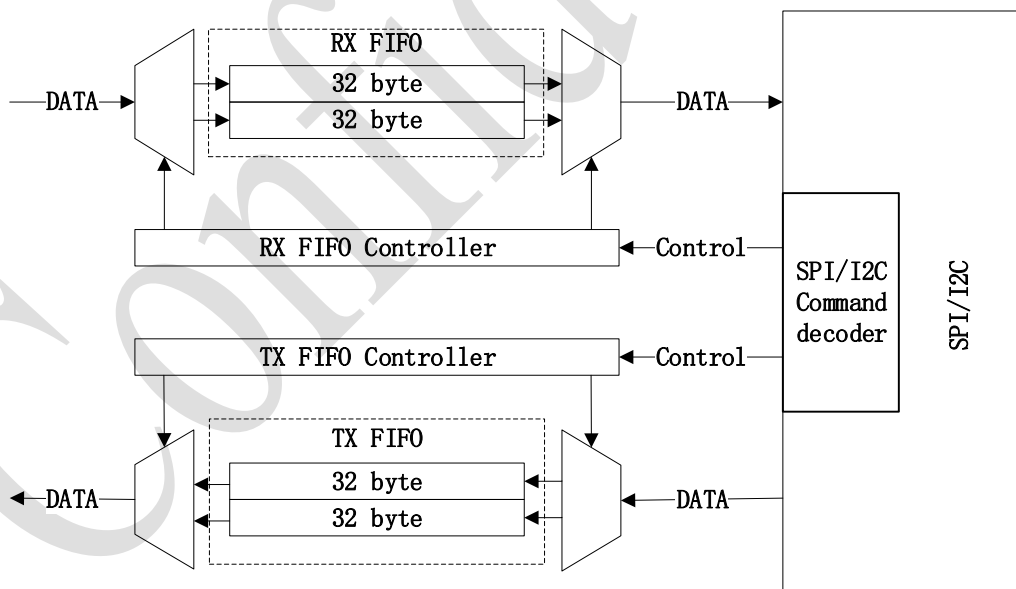


图 6-4 FIFO 框图

PAN1026 包含发 TX\_FIFO, RX\_FIFO。通过 SPI 命令可读写 FIFO。在发送模式下通过 W\_TX\_PAYLOAD 和 W\_TX\_PAYLOAD\_NO\_ACK 指令来写 TX\_FIFO。如果产生 MAX\_RT 中断, 在 TX\_FIFO 中的数据不会被清除。在接收模式下通过 R\_RX\_PAYLOAD 指令读取 RX\_FIFO 中的 payload, R\_RX\_PL\_WID 指令读取 payload 的长度。FIFO\_STATUS 寄存器指示 FIFO 的状态。

## 6.9 中断引脚

PAN1026 芯片的中断引脚（IRQ）为低电平触发，IRQ 引脚初始状态为高电平，当状态寄存器中 TX\_DS、RX\_DR 或 MAX\_RT 为 1，以及相应的中断上报使能位为 0 时，IRQ 引脚的中断触发。MCU 给相应中断源写‘1’时，清除中断。IRQ 引脚的中断触发可以被屏蔽或者使能，通过设置中断上报使能位为 1，禁止 IRQ 引脚的中断触发。

Confidential

## 7 数据包格式

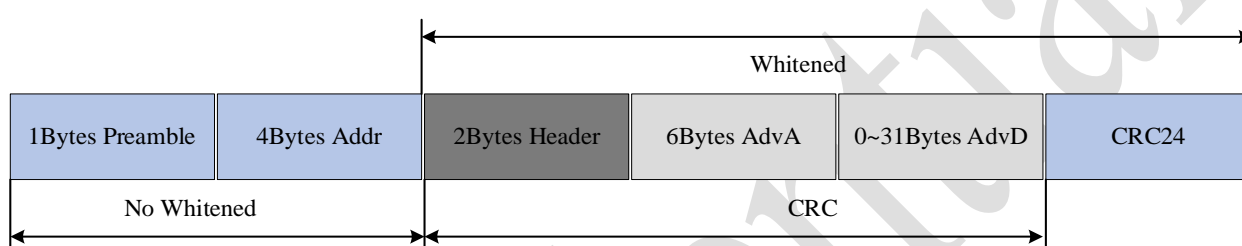
### 7.1 BLE 包格式

BLE 包格式如表 7-1 所示。

AdvD 的第 6、7 字节可作为过滤字节来使用。通过寄存器 WL\_MATCH\_MODE 来选择 0~2 Bytes 进行匹配。

注：2 Bytes Header 存储在 FIFO 中。

表 7-1 BLE 包格式



### 7.2 兼容 XN297L 的数据包格式

#### 7.2.1 普通模式的数据包格式

普通模式的数据包格式如表 7-2 所示，组帧方式 I。

表 7-2 中地址和数据部分可以选择扰码方式，根据使能/关闭扰码配置位。

表 7-2 普通模式的数据包格式

前导码	地址	数据	CRC
(3 bytes)	(3~5 bytes)	(1~32/64 bytes)	(1/2 bytes)

#### 7.2.2 增强模式的数据包格式

增强模式的数据包格式如表 7-3 所示，组帧方式 II。

表 7-3 中地址、标识和数据部分可以选择扰码方式，根据使能/关闭扰码配置位。

表 7-3 增强模式的数据包格式

前导码 (3 bytes)	地址 (3~5 bytes)	标识 (10bits)			数据 (1~32/64 bytes)	CRC (1/2 bytes)
		数据长度标识 (7bit)	PID 标识 (2bits)	NO_ACK 标识 (1bit)		

7.2.3 增强模式的 ACK 包格式

增强模式的 ACK 包格式如表 7-4 所示，组帧方式 III。

表 7-4 中地址和标识部分需要选择与 PTX 相同的使能/关闭扰码方式。

表 7-4 增强模式的 ACK 数据包格式

前导码 (3 bytes)	地址 (3~5 bytes)	标识(10bits)			CRC (1/2 bytes)
		数据长度标识(7bits)	PID 标识(2bits)	NO_ACK 标识(1bit)	

## 8 SPI/I2C控制接口

PAN1026 芯片通过 SPI/I2C 控制接口对各寄存器进行读写操作。PAN1026 芯片作为从机，SPI/I2C 接口的数据率一般取决于 MCU 的接口速度，其中 4 线 SPI 接口速率高达 16Mbps，3 线 SPI 接口速率高达 2Mbps，I2C 接口速率高达 1.5Mbps。

SPI 接口是标准的 SPI 接口见表 8-1，可以使用 MCU 的通用 I/O 口模拟 SPI 接口。CSN 引脚为 0 时，SPI 接口等待执行指令。一次 CSN 引脚由 1 到 0 的变化执行一条指令。在 CSN 引脚由 1 变 0 后可以通过 MISO 来读取状态寄存器的内容。

表 8-1 四线 SPI 接口

引脚名称	I/O 接口方向	SPI 引脚的功能描述
CSN	输入	片选使能，低电平使能
SCK	输入	时钟
MOSI	输入	串行输入
MISO	输出	串行输出

表 8-2 三线 SPI 接口

引脚名称	I/O 接口方向	SPI 引脚的功能描述
CSN	输入	片选使能，低电平使能
SCK	输入	时钟
MOSI	输入/输出	数据输入、输出接口
MISO	高阻	用不到

I2C 接口见表 8-3，用于对内部寄存器、FIFO 进行读写，其中 SCL 与 SPI 接口的 SCK 复用，SDA 与 SPI 接口的 MOSI 复用。在 I2C 模式下 CSN 必须一直为高电平。

由于 3V 寄存器的 I2C 协议电路与 1.8V 寄存器 I2C 协议电路共享，因此 I2C 设备通信地址只有一个，且为：0x71。

表 8-3 I2C 接口

引脚名称	I/O 接口方向	I2C 引脚的功能描述
CSN	输入	高电平
SCL	输入	与 SCK 复用
SDA	输入/输出	与 MOSI 复用
MISO	高阻	用不到

### 8.1 SPI 指令格式

<命令字：由高位到低位（每字节）>

<数据字节：低字节到高字节，每一字节高位在前>

表 8-4 SPI 指令格式

命令名	命令字	命令字 (二进制)	后带数据 (字节数)	操作
W_PAGE_OF_1P8V_REG	0xF0	1111 0000	1	写 1.8V 寄存器的 page，大部分位于 page0，个别位于 page1
R_PAGE_OF_1P8V_REG	0xFE	1111 1110	1	读 1.8V 寄存器的 page，大部分位于 page0，个别位于 page1
R_REGISTER	0x00+addr	000A AAAA	1 to 5 低字节在前	读状态寄存器 AAAAA=5bits 寄存器地址
W_REGISTER	0x20+addr	001A AAAA	1 to 5 低字节在前	写状态寄存器 AAAAA=5bits 寄存器地址 仅在休眠和待机模式-I 下执行。
R_RX_PAYLOAD	0x61	0110 0001	1 to 32/64 低字节在前	读接收数据，读操作通常由第 0 字节开始，读完过后数据将从 RX FIFO 中删除，接收模式下执行。
W_TX_PAYLOAD	0xA0	1010 0000	1 to 32/64 低字节在前	写发射数据，写操作通常由 0 字节开始。
FLUSH_TX	0xE1	1110 0001	0	清 TX FIFO，TX 模式下执行。
FLUSH_RX	0xE2	1110 0010	0	清 RX FIFO，RX 模式下执行。
REUSE_TX_PL	0xE3	1110 0011	0	用在 PTX 端，再次使用最后一帧发送的数据并且发送。该命令在刚发送数据或者执行 FLUSH_TX 命令后可用。该命令不可以在发送数据的过程中使用。
ACTIVATE	0x50	0101 0000	1	用该命令后跟数据 0x73，将激活以下功能 • R_RX_PL_WID • W_TX_PAYLOAD_NOACK 再次使用该命令后跟同样数据，将关闭上述功能。该命令仅在休眠模式和待机模式-I 下执行。
DEACTIVATE	0x50	0101 0000	1	用该命令后跟数据 0x8C，将关闭以下功能 • R_RX_PL_WID • W_TX_PAYLOAD_NOACK • W_ACK_PAYLOAD
R_RX_PL_WID	0x60	0110 0000	0	读 RX FIFO 最顶部 RX-payload 数据宽度。
W_ACK_PAYLOAD	0xA8+ PPP	1010 1PPP	1 to 32/64 低字节在前	Rx 模式下执行 写 PIPE PPP(PPP 的值从 000 到 101)响应 ACK 时同时回传的数据。最多可设置 2 个 ACK 数据包。同 PIPE 的数据将以先进先出的原则发送。写操作通常从 0 字节开始。
W_TX_PAYLOAD_NOACK	0xB0	1011 0000	1 to 32/64 低字节在前	写发射数据，写操作通常由 0 字节开始。TX 模式下执行，使用该命令发送数据，发送完成后

				给出 TX_DS 标志并且不判自动应答。
3V_REG0_WR	0xF1	1111 0001		3V 寄存器 0 写操作
3V_REG0_RD	0xF2	1111 0010		3V 寄存器 0 读操作
3V_REG1_WR	0xF3	1111 0011		3V 寄存器 1 写操作
3V_REG1_RD	0xF4	1111 0100		3V 寄存器 1 读操作
CE_SPI_ON	0xFD	1111 1101	00	SPI 命令使 CE 内部逻辑置 1
CE_SPI_OFF	0xFC	1111 1100	00	SPI 命令使 CE 内部逻辑置 0
RST_SPI_HOLD	0x53	0101 0011	1	用该命令后跟数据 0x5A，使得进入复位状态并保持。
RST_SPI_RELS	0x53	0101 0011	1	用该命令后跟数据 0xA5，使得释放复位状态并开始正常工作。
NOP	0xFF	1111 1111	0	无操作

R\_REGISTER 和 W\_REGISTER 寄存器可能操作单字节或多字节寄存器。当访问多字节寄存器时首先要读/写的是最低字节的高位。对于多字节寄存器可以只写部分字节，没有写的高字节保持原有内容不变。例如：RX\_ADDR\_P0 寄存器的最低字节可以通过写一个字节给寄存器 RX\_ADDR\_P0 来改变。

## 8.2 3 线 SPI 时序

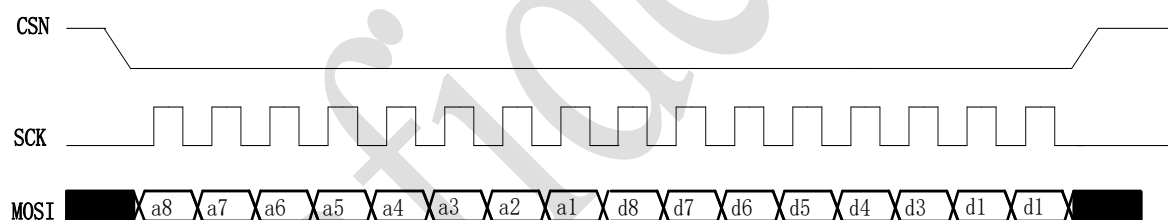


图 8-1 3 线 SPI 写时序

3 线 SPI 读时序与 3 线 SPI 写时序的时序一致，区别在于写时序时，数据是输入，读时序时数据是输出。



## 8.3 I2C 时序

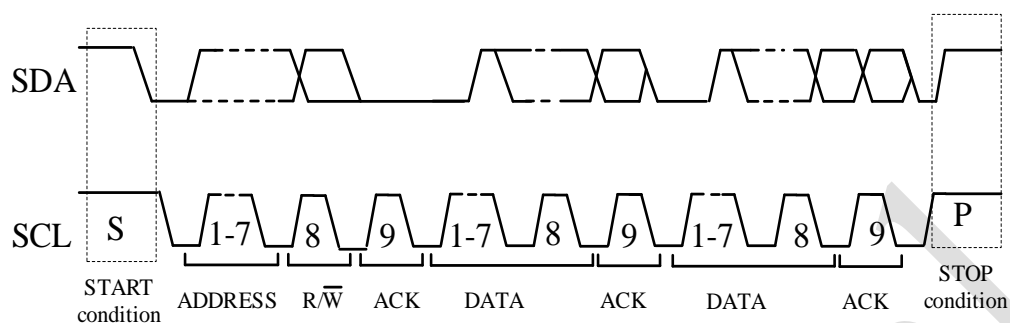


图 8-2 I2C 时序

## 8.4 4 线 SPI 时序

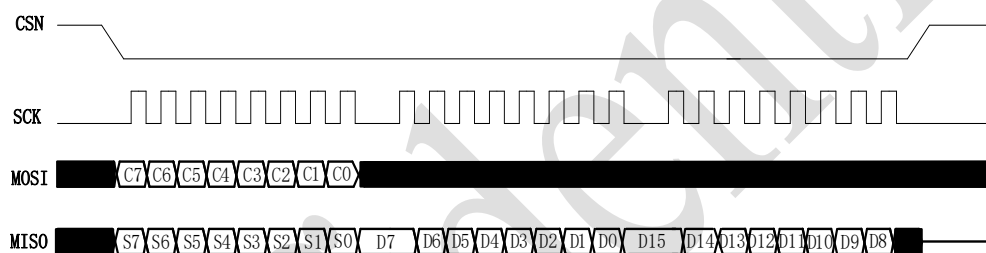


图 8-3 SPI 读操作

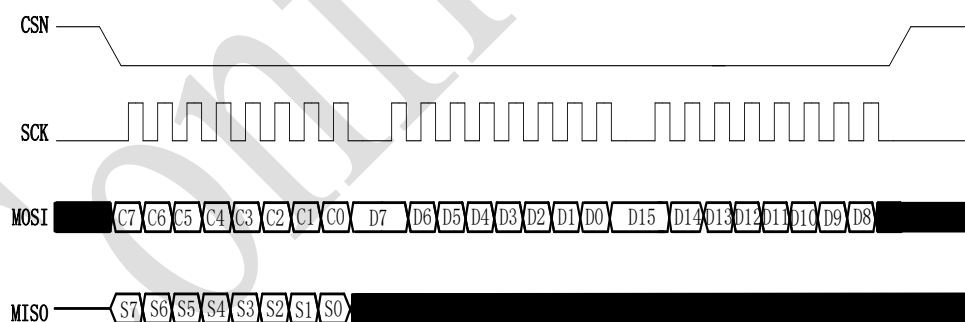


图 8-4 SPI 写操作



表 8-5 SPI 操作参考时间

\*注：表 8-5 的参数可根据选择的 MCU 进行调整

图 8-3~图 8-5 和表 8-5 给出了 SPI 操作及时序。在图中用到了下面的符号:

 $S_i$ -状态寄存器位

$D_i$ -数据位（备注：由低字节到高字节，每个字节中高位在前）

其中:  $i = 1, 2, 3, \dots, n$ 。

## 9 控制寄存器

可以通过 SPI/I2C 读写操作表中的寄存器，来配置和控制 PAN1026。表中未定义的寄存器，读取结果为“0”。

### 9.1 3V 寄存器映射

表 9-1 3V 寄存器映射

CMD (hex)	寄存器	位	默认值	读写	说明
F1 写 F2 读	3V_REG0_WR	7:0	0x14	W/R	3V 寄存器
	保留	7:5	000	-	-
	CSK_PAD_PU	4	1	W/R	CSK PAD 上拉控制, 4 线 SPI 模式需要将其配 0, 3 线 SPI 模式自动切到 0, I2C 模式为 1 0: 关掉上拉 1: 打开上拉
	CSK_PAD_PD	3	0	W/R	CSK PAD 下拉控制: 0: 关掉下拉 1: 打开下拉
	CSN_PAD_PU	2	1	W/R	CSN PAD 上拉控制, 上拉电阻 234K: 0: 关掉上拉 1: 打开上拉
	CSN_PAD_PD	1	0	W/R	CSN PAD 下拉控制: 0: 关掉下拉 1: 打开下拉
	NRESET_1P8V	0	0	W/R	1.8V 逻辑复位控制 0: 1.8V 逻辑复位 1: 1.8V 逻辑正常工作
F3 写 F4 读	3V_REG1_WR	15:0	0x0D40	-	3V 寄存器
	EN_COUNTER	15	0	W/R	时钟快速启动计数器时钟 buf 模块使能: 1: 打开 0: 关掉
	COUNT_EXTEND	14	0	W/R	晶振快速启动 3V 控制信号: 计数器计数长度选择, 即延时长度 1: $(2^{11})/16M$ 0: $(2^{10})/16M$
	EN_CONT_RST	13	0	W/R	晶振快速启动 3V 控制信号, 计数 reset 信号: 0: 复位状态

					1: 释放复位
	EN_STARTUP	12	0	W/R	晶振快速启动 3V 控制信号: 时钟快速启动模块使能: 1: 打开 0: 关掉
	MOSI_PAD_DIEN	11	1	W/R	PAD MOSI 工作模式选择 0: 数字输出/模拟模式 1: 数字输入
	MOSI_PAD_PU	10	1	W/R	MOSI PAD 上拉, 4 线 SPI 模式需要将其配 0, 3 线 SPI 模式自动切到 0, I2C 模式为 1 1: 上拉 0: 不上拉
	MOSI_PAD_PD	9	0	W/R	MOSI PAD 输出下拉 1: 下拉 0: 不下拉
	SPI_3_WIRE_EN	8	1	W/R	3 线 SPI 使能位 0: 4 线 SPI 1: 3 线 SPI (MISO_PAD 弃用)
	MISO_PAD_DIEN	7	0	W/R	PAD MISO 工作模式选择 0: 数字输出/模拟模式 1: 数字输入
	MISO_PAD_OE	6	1	W/R	MISO PAD 输出使能: 1: 输出模式 0: 输入模式
	MISO_PAD_PU	5	0	W/R	MISO PAD 输出上拉 1: 上拉 0: 不上拉
	MISO_PAD_PD	4	0	W/R	MISO PAD 输出下拉 1: 下拉 0: 不下拉
	PWR_UP	3	0	W/R	3V 逻辑开启晶体振荡器 1: 打开 0: 关闭
	EN_LS	2	0	W/R	3V 逻辑电平转换控制信号 1: 打开 0: 关闭
	EN_LDO_DVDD	1	0	W/R	3V 逻辑开启 1.8V 数字 LDO DVDD 1: 打开 0: 关闭
	EN_PM	0	0	W/R	3V 逻辑开启电源管理单元, 包括带隙、电流源等 1: 打开 0: 关闭

## 9.2 1.8V 寄存器映射

### 9.2.1 PAGE0

表 9-2 PAGE0

地址 (hex)	寄存器	位	默认值	读写	说明
00	CONFIG	7:0	0x06	-	工作配置寄存器
	WORK_MODE	7:6	00	R/W	工作模式选择: 00: 297L 模式 01: BLE 广播包模式 10: 保留 11: 保留
	MASK_RX_DR	5	0	R/W	接收数据成功的中断上报使能位: 1: 中断不反映到 IRQ 引脚 0: RX_DR 中断反映到 IRQ 引脚
	MASK_TX_DS	4	0	R/W	发送数据成功的中断上报使能位: 1: 中断不反映到 IRQ 引脚 0: TX_DS 中断反映到 IRQ 引脚
	MASK_MAX_RT	3	0	R/W	发送失败并达到最大传输次数的中断上报使能位: 1: 中断不反映到 IRQ 引脚 0: MAX_RT 中断反映到 IRQ 引脚
	CRC16_SEL	2	1	R/W	1: CRC16 0: CRC8
	CRC_EN	1	1	R/W	CRC 使能位: 1: CRC 使能 0: CRC 不使能
	PRIM_RX	0	0	R/W	RX/TX 控制位: 1: PRX 0: PTX
01	EN_AA	7:0	0x01	-	接收通道的自动应答使能
	RF_DR[1:0]	7:6	00	R/W	模拟滤波器速率设置, 注意与 MDM 的 DIG_DR 分开配置: 01: 2Mbps 00: 1Mbps 11: 250kbps
	ENAA_P5	5	0	R/W	使能 pipe5 自动应答
	ENAA_P4	4	0	R/W	使能 pipe4 自动应答
	ENAA_P3	3	0	R/W	使能 pipe3 自动应答
	ENAA_P2	2	0	R/W	使能 pipe2 自动应答

	ENAA_P1	1	0	R/W	使能 pipe1 自动应答
	ENAA_P0	0	1	R/W	使能 pipe0 自动应答
02	AW_RXADDR	7:0	0xC1	-	接收通道使能
	AW	7:6	11	R/W	RX/TX 地址宽度，如果地址宽度设置低于 5 字节，地址使用低字节： 00: 无效 01: 3 字节 10: 4 字节 11: 5 字节
	ERX_P5	5	0	R/W	使能 data pipe 5
	ERX_P4	4	0	R/W	使能 data pipe 4
	ERX_P3	3	0	R/W	使能 data pipe 3
	ERX_P2	2	0	R/W	使能 data pipe 2
	ERX_P1	1	0	R/W	使能 data pipe 1
	ERX_P0	0	1	R/W	使能 data pipe 0
03	SETUP_RX	23:0	0x5D501E	-	接收通道设置
	BN_CTM[2:0]	23:21	010	R/W	用于 balun 低噪声放大器接口的调谐电容控制位
	LNA_GC[1:0]	20:19	11	R/W	LNA 增益控制： 11: 高增益 00: 低增益
	LNA_BC	18	1	R/W	LNA 电流控制： 1: 高电流 0: 低电流
	LNA_CTM[2:0]	17:15	010	R/W	LNA 和 PA 驱动负载电容控制
	BPF_CTRL_GAIN	14	1	R/W	BPF 增益控制位： 0: 高增益 1: 低增益
	BPF_CTRL_BW	13	0	R/W	BW 控制附加位
	IB_BPF_TRIM	12	1	R/W	控制 BPF 电流
	保留	11:8	000	-	-
	BW_500K	7	0	R/W	500K 带宽（同 297）
	GC_500K	6	0	R/W	500K 增益控制
	RCCAL_IN[5:0]	5:0	011110	R/W	手动控制 RC 校准信号
04	SETUP_RETR	7:0	0x03	-	自动传输设置
	ARD	7:4	0000	R/W	自动传输延时： 0000: 250μs 0001: 500μs 0010: 750μs ..... 1111: 4000μs
	ARC	3:0	0011	R/W	自动传输次数设置： 0000: 不带自动重传不带 ACK 的通信模式

					0001~1111: 带自动重传的通信模式 0001: 带 ACK 的 1 次传输 0010: 带自动重传带 ACK 的 2 次传输 ..... 1111: 带自动重传带 ACK 的 15 次传输
05	RF_CH	15:0	0x008E	-	通信频道设置
	保留	15:9	0000000	-	-
	HIGH_RF	8	0	R/W	RX 高频/低频选择: 0: 高频, 通道+ 2M 1: 低频, 通道- 2M
	RF_CH	7:0	10001110	R/W	设置 TX 使用频道为 Channel=RF_CH + 2336
06	SETUP_RXTX	23:0	0x492A48	-	通信参数配置
	AMP_SEL_I[2:0]	23:21	010	R/W	同相 LO 缓冲器振幅控制
	AMP_SEL_Q[2:0]	20:18	010	R/W	正交 LO 缓冲器振幅控制
	PH_SEL_I[2:0]	17:15	010	R/W	同相 LO 缓冲相位控制
	PH_SEL_Q[2:0]	14:12	010	R/W	正交 LO 缓冲相位控制
	RCCAL_EN	11	1	R/W	接收带通滤波器的自动校正使能: 1: 使能 0: 关闭
	保留	10	0	-	-
	DA_GC	9	1	R/W	DAC 增益控制: 1: 高增益 0: 低增益
	DA_LPF_BW	8	0	R/W	BW 控制 1Mbps 或 2Mbps 的 DAC 输出滤波器
	DA_VREF_MB[2:0]	7:5	010	R/W	DAC 高参考电压控制
	DA_VREF_LB[2:0]	4:2	010	R/W	DAC 低参考电压控制
	DIG_DR[1:0]	1:0	00	R/W	MDM 速率设置, 与模拟滤波器分开配置: 01: 2Mbps 00: 1Mbps 11: 250kbps
07	STATUS	7:0	0x0E	-	状态寄存器
	保留	7	0	-	-
	RX_DR	6	0	R/W	RX FIFO 接收数据中断位, 在新数据被接收并到达 RX FIFO 时产生中断。 写 1 清中断
	TX_DS	5	0	R/W	TX FIFO 发送数据成功中断位, 在不带自动重传模式下, 数据发送完成后产生中断。 在带自动重传模式下, 仅在发送端收到 ACK 信号后才会将该位置高。 写 1 清中断
	MAX_RT	4	0	R/W	发送达到最大传输次数未成功中断位。

					写 1 清中断 产生该中断后，继续进行通信必须先清该中断
	RX_P_NO	3:1	111	R	可从 RX_FIFO 读取的 pipe 号： 000-101: pipe 号 110: Not Used 111: RX_FIFO 空
	TX_FULL	0	0	R	TX FIFO 满标志： 1: TX FIFO 满 0: TX FIFO 未可用
08	OBSERVE_TX	7:0	0x00	-	传输状态寄存器
	PLOS_CNT	7:4	0000	R	丢包计数器 该计数器达到最大值 15 时将停止计数，该计数器在写 RF_CH 时被复位，未复位该值时可以继续进行通信。
	ARC_CNT	3:0	0000	R	自动重传的传输次数计数器 自动重传增加一次，ARC_CNT 加一；在 ARC_CNT 达到 ARC 限定值时，视为丢包，并将 PLOS_CNT 加一；当新数据写入 TX FIFO 时该计数器复位。
09	DATAOUT	15:0	0x8000		只读寄存器
	VCO_CODE_VAL[3:0]	15:12	1000	RO	VCO 校正结果
	保留	11:7	00000	-	-
	CHIRPFLAG	6	0	RO	晶振快速启动只读信号： 1: 快速启动正在工作 0: 快速启动不工作
	RCCAL_VAL[5:0]	5:0	000000	RO	-
0A	RX_ADDR_P0	39:0	0xE7E7E7E7E7	R/W	data pipe 0 的接收地址，最长 5 字节。（由低字开始写。地址长度由 AW 定义）
0B	RX_ADDR_P1	39:0	0xC2C2C2C2C2	R/W	data pipe 1 的接收地址，最长 5 字节。（由低字开始写。地址长度由 AW 定义）
0C	RX_ADDR_P2P3	15:0	0xC3C4	-	-
	RX_ADDR_P2	15:8	0xC3	R/W	data pipe 2 的接收地址，仅最低 8 位，高位等于 RX_ADDR_P1[39:8]
	RX_ADDR_P3	7:0	0xC4	R/W	data pipe 3 的接收地址，仅最低 8 位，高位等于 RX_ADDR_P1[39:8]
0D	RX_ADDR_P4P5	15:0	0xC5C6	-	-
	RX_ADDR_P4	15:8	0xC5	R/W	data pipe 4 的接收地址，仅最低 8 位，高位等于 RX_ADDR_P1[39:8]
	RX_ADDR_P5	7:0	0xC6	R/W	data pipe 5 的接收地址，仅最低 8 位，高位等于 RX_ADDR_P1[39:8]
0E	SETUP_RF	15:0	0x3FFB	-	-
	TXSYN_ALWAYS_ON	15	0	R/W	1: EN_TX_SYN 常高



					0: EN_TX_SYN 受状态机控制
	RXSYN_ALWAYS_ON	14	0	R/W	1: EN_RX_SYN 常高 0: EN_RX_SYN 受状态机控制
	EN_RX_LNA	13	1	R/W	接收 LNA 使能控制: 1: 打开 0: 关掉
	EN_RX_MIX	12	1	R/W	接收混频器使能控制: 1: 打开 0: 关掉
	EN_RX_BPF	11	1	R/W	接收滤波器使能控制: 1: 打开 0: 关掉
	EN_RX_LIMITER	10	1	R/W	接收 LIMITER 使能控制: 1: 打开 0: 关掉
	EN_RX_DPLL	9	1	R/W	接收 DPLL 使能控制: 1: 打开 0: 关掉
	EN_TX_DAC	8	1	R/W	发射 DAC 使能控制: 1: 打开 0: 关掉
	EN_TX_PABUF	7	1	R/W	发射 PA buf 使能控制: 1: 打开 0: 关掉
	EN_SYN_PFD	6	1	R/W	PLL PFD 使能控制: 1: 打开 0: 关掉
	EN_SYN_CP	5	1	R/W	PLLCP 使能控制: 1: 打开 0: 关掉
	CAL_VREF_SEL	4	1	R/W	VCO Calibration reference voltage control
	EN_XTAL_FB	3	1	R/W	晶振反馈环使能: 1: 闭环 0: 开环
	XTAL_FC[2:0]	2:0	011	R/W	晶振频率微调控制
0F	AGC_TABLE[47:0]	47:0	0xffff79c4100	R/W	AGC 增益控制 look-up table
10	TX_ADDR	39:0	0xE7E7E7E7E7	R/W	发送端地址（由低字节开始写） 只能在配置为 PTX 模式的芯片中使用，需要设置 RX_ADDR_P0 等于该地址以便接收 ACK 自动应答。
11	RX_PW_P0	7:0	0x00	-	data pipe 0 中的 RX payload 的数据长度
	保留	7	0	-	-

	RX_PW_P0	6:0	0000000	R/W	data pipe 0 中的 RX payload 的数据长度（1 到 32/64 字节） 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64bytes
12	RX_PW_P1	7:0	0x80	-	data pipe 1 中的 RX payload 的数据长度
	IBUF2X	7	1	R/W	LO buf I 路电流控制: 0: 电流最小 1: 电流加倍
	RX_PW_P1	6:0	0000000	R/W	data pipe 1 中的 RX payload 的数据长度（1 到 32/64 字节） 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
13	RX_PW_P2	7:0	0x80	-	data pipe 2 中的 RX payload 的数据长度
	IRQ_OE	7	1	R/W	IRQ PAD 复用: 0: 测试功能 PAD 1: IRQ 功能 PAD
	RX_PW_P2	6:0	0000000	R/W	data pipe 2 中的 RX payload 的数据长度（1 到 32/64 字节） 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
14	RX_PW_P3	7:0	0x00	-	data pipe 3 中的 RX payload 的数据长度
	AGC_GAIN_RST	7	0	WO	AGC 使能的时候，将 RX GAIN 复位到最大值，只写寄存器，写 1 后自动清除
	RX_PW_P3	6:0	0000000	R/W	data pipe 3 中的 RX payload 的数据长度（1 到 32/64 字节） 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
15	RX_PW_P4	7:0	0x00	-	data pipe 4 中的 RX payload 的数据长度
	AGC_EN	7	0	R/W	接收通道 AGC 使能: 0: 关闭 1: 使能
	RX_PW_P4	6:0	0000000	R/W	data pipe 4 中的 RX payload 的数据长度（1 到 32/64 字节） 0: 该 Pipe 未用 1 = 1 byte

					... 32/64 = 32/64 bytes
16	RX_PW_P5	7:0	0x00	-	data pipe 5 中的 RX payload 的数据长度
	RX_DATA_JUST	7	0	R/W	会影响 FSM 中 rx_data_mark 的产生, 297L 是常低
	RX_PW_P5	6:0	0000000	R/W	data pipe 5 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
17	FIFO_STATUS	7:0	0x11	RO	FIFO 状态寄存器
	CLOCK_RDY	7	0	R	晶振快速启动只读信号 比 COUNT_DONE 延迟 3 个时钟周期
	TX_REUSE	6	0	R	调用上一帧数据发送的指示位 在使用 REUSE_TX_PL 命令后, 该位为 1, 重传上一次发送中最后一帧数据。该位可以由命令 W_TX_PAYLOAD、W_TX_PAYLOAD_NOACK、DEACTIVATE、FLUSH TX 进行复位操作。
	TX_FULL	5	0	R	TX FIFO 满标志位: 1: TX FIFO 满 0: TX FIFO 可用
	TX_EMPTY	4	1	R	TX FIFO 空标志位: 1: TX FIFO 空 0: TX FIFO 有数据
	VCO-CAL_1TIME_FLAG	3	0	R	只做 1 次 VCO 校正标志位, EN_VCO_CAL_ONLY1 置 1 时有效: 1: 做了一次 VCO 校正 0: 一次 VCO 校正都没做
	保留	2	0	-	-
	RX_FULL	1	0	R	RX FIFO 满标志位: 1: RX FIFO 满 0: RX FIFO 可用
	RX_EMPTY	0	1	R	RX FIFO 空标志位: 1: RX FIFO 空 0: RX FIFO 有数据
18	SETUP_PLL	23:0	0x4460AC	-	PLL 相关寄存器设置
	RX_VCO_BIAS[3:0]	23:20	0100	R/W	VCO 电流控制
	TX_VCO_BIAS[3:0]	19:16	0100	R/W	VCO 电流控制
	VCO_CT[1:0]	15:14	01	R/W	VCO 手动电容控制器
	PRE_BC[2:0]	13:11	100	R/W	预分频器偏置电流控制

	BUF_IC[1:0]	10:9	00	R/W	LO 缓冲电流控制
	CPSEL[1:0]	8:7	01	R/W	电荷泵电流控制位
	IVCO_SEL[1:0]	6:5	01	R/W	VCO-PTAT 与带隙电流选择
	OSC_IC	4	0	R/W	振荡器电流控制位
	PRE_EN	3	1	R/W	预分频器使能位
	DIV2_IB[2:0]	2:0	100	R/W	VCO 分频器电流控制位
19	DEMOCAL	7:0	0x0F	-	调制解调参数寄存器（可由方案需要来配置）
	CHIP	7	0	R/W	设置芯片是否进入测试模式： 1：进入测试模式 0：退出测试模式
	CARR_MOSI	6	0	R/W	代替 MOSI，进单载波，只影响 RX： 1：CHIP=1 并且 CE=1 并且 en_rx_mode=0， EN_RF_RX=1 0：CHIP=1 并且 CE=1 并且 en_rx_mode=0， EN_RF_RX=0
	CARR_CSK	5	0	R/W	代替 CSK，进单载波，影响 TX 跟 RX。 对 TX 的影响： 1：CHIP=1 并且 CE=0，EN_RF_TX=1 0：CHIP=1 并且 CE=0，EN_RF_TX=0 对 RX 的影响： 1：CHIP=1 并且 CE=1 并且 en_rx_mode=1， EN_RF_RX=1 0：CHIP=1 并且 CE=1 并且 en_rx_mode=1， EN_RF_RX=0
	GAUS_CAL	4:1	0111	R/W	高斯滤波器输出到 DAC 的信号大小调整，该输出信号大小是发射调制频偏大小的决定因素之一： 1111：信号较小 ... 1000：信号中等 ... 0000：信号较大
	SCR_EN	0	1	R/W	扰码功能是否使能： 1：使能 0：关闭
1A	RF_CAL2	23:0	0xDFCC00	-	补充射频寄存器（一般使用默认值）
	LOBUF_EN	23	1	R/W	LO 缓冲使能信号
	QBUF2X	22	1	R/W	LO buf Q 路电流控制： 0：电流最小等于 I 路电流 1：Q 路电流加倍
	FREQ_SEL	21	0	R/W	收发机小 Kvco 可变电容切换： 1：RX 模式 0：TX 模式

	PA_GC[2:0]	20:18	111	R/W	PA 输出功率控制
	RF_PA_PWR[2:0]	17:15	111	R/W	PA 输出功率控制
	PA_RAMP_SEL[1:0]	14:13	10	R/W	选择 PA ramp 的方式： 00: NO ramp 01: 1 us ramp UP & DOWN each step 10: 2 us ramp UP & DOWN each step 11: 4 us ramp UP & DOWN each step
	PMU_IBG_RES[1:0]	12:11	01	R/W	控制 Bandgap 电流电阻器
	PMU_VBG_TRIM[4:0]	10:6	10000	R/W	Bandgap 电压微调控制器
	LDO_VSEL_1P8	5	0	R/W	1.8V LDO 电压控制器
	保留	4	0	-	-
	TST_BPF	3	0	R/W	测试 BPF 滤波器输出
	TST_DAC	2	0	R/W	测试 DAC 电压
	TST_MIXER	1	0	R/W	测试 MIXER 输出
	TST_VC	0	0	R/W	测试 PLL 控制电压
1B	DEM_CAL2	23:0	0x00DF0B	-	补充解调参数寄存器（一般使用默认值）
	PIN	23:21	000	R/W	设置芯片进入测试模式后的输出 PIN（MISO 引脚/IRQ 引脚）： 000（且 CHIP 为 0）为工作模式，作数据输出和中断输出 000（且 CHIP 为 1）为测试灵敏度模式，作解调数据和时钟输出 110（且 CHIP 为 1）为测试接收模式，作 limit I 和 Q 两路输出
	EN_RX	20	0	R/W	接收通道是否与锁相环同时开启： 1: 同时打开 0: 分时打开
	DELAY1	19	0	R/W	锁相环开环是否使能，锁相环使能开环状态可以作为发射的载波漂移测试： 1: 锁相环使能开环 0: 锁相环开环受状态机控制
	DELAY0	18	0	R/W	解调器是否叠加收报的初始偏移量，解调器不叠加初始偏移量可作为接收灵敏度测试： 1: 不叠加初始偏移量 0: 叠加初始频偏，接收状态下可以抵消由于中心频偏引起的误码
	TH1	17	0	R/W	发射单载波测试模式下，LDO（除 DVDD 的 LDO 外）是否使能： 1: EN_LDO_1P8V=1 0: EN_LDO_1P8V=ldo_en（状态机控制）
	PTH	16:13	0110	R/W	接收机数字解调器前导码相关阈值设置，24 位前导码的相关阈值=PTH+16： 1000: 24 位

					0110: 22 位 0000: 16 位
	SYNC_SEL	12	1	R/W	接收机数字解调器的 4 倍采样, 取几点相关上计算该位数据正确: 1: 3bits 0: 2bits
	DECOD_INV	11	1	R/W	前导码是否按位取反, 一般置 1, 使能该功能需要收发两端进行: 1: 不按位取反 0: 按位取反
	GAIN1	10:7	1110	R/W	频率环路增益 1, 置 1110
	GAIN2	6:1	000101	R/W	频率环路增益 2, 置 000101
	AGGRESSIVE	0	1	R/W	解调器的码率同步单元的速度选择: 1: 大步长调整, 速度快 0: 小步长调整, 速度慢
1C	DYNPD		0x00		动态 PAYLOAD 长度使能
	EN_VCOCAL_ONLY1	7	0	R/W	只做一次 VCO 校正使能位, 前提是不切换频点: 1: 只做一次 VCO 校正, 后续 TX/RX 不做 VCO 校正并且会省掉 VCO 校正的时间 0: 该功能关闭
	noIRQ_noWORK	6	0	R/W	1: 不清 IRQ 数字 FSM 不工作 0: 不清 IRQ 数字 FSM 也工作
	DPL_P5	5	0	R/W	使能 PIPE 5 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P5)
	DPL_P4	4	0	R/W	使能 PIPE 4 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P4)
	DPL_P3	3	0	R/W	使能 PIPE 3 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P3)
	DPL_P2	2	0	R/W	使能 PIPE 2 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P2)
	DPL_P1	1	0	R/W	使能 PIPE 1 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P1)
	DPL_P0	0	0	R/W	使能 PIPE 0 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P0)
1D	FEATURE	7:0	0x00	R/W	特征寄存器
	IRQ_INV_SEL	7	0	R/W	IRQ 输出是否取反: 0: 不取反 1: 取反
	MUX_PA_IRQ	6	0	R/W	选择 IRQ 信号输出还是 EN_PA 信号输出到 PIN: 0: IRQ 信号输出到 PIN 1: EN_PA 信号输出到 PIN
	IQ_SW	5	0	R/W	I/Q phase switch

	DATA_LEN_SEL	4:3	00	R/W	数据长度选择: 11: 64bytes (512bits) 模式 00: 32bytes (256bits) 模式
	EN_DPL	2	0	R/W	使能动态 PAYLOAD 长度
	EN_ACK_PAY	1	0	R/W	使能 ACK 带 PAYLOAD
	EN_DYN_ACK	0	0	R/W	使能 W_TX_PAYLOAD_NOACK 命令
1E	RF_CAL	15:0	0x0E68		射频参数寄存器 (可由方案需要来配置)
	XTAL_OCLK_OE	15	0	R/W	CLK_OUT PAD 复用: 0: 测试 PAD 1: 时钟输出 PAD
	EN_XTAL_OCLK	14	0	R/W	晶振时钟输出到 PAD 模块的 buf 使能: 1: 打开 0: 关闭
	CLK_SEL[1:0]	13:12	00	R/W	晶振时钟输出到 PAD 频率选择: 00: 16M 01: 8M 10: 4M 11: 2M
	OTA_GC[2:0]	11:9	111	R/W	RX 通道增益设置
	TST_VBG	8	0	R/W	测试 bandgap 电压
	REF_DIV_SEL	7	0	R/W	参考时钟频率选择: 0: 1M 1: 2M
	VCO_CAL_EN	6	1	R/W	vco 校准使能
	VCO_DLY_SEL[1:0]	5:4	10	R/W	Vco 校准延迟时间选择: 00: 3us 01: 6us 10: 9us 11: 12us
	VCO_CODE_IN[3:0]	3:0	1000	R/W	vco 代码保留
1F	BB_CAL	39:0	0x9C600EA 50A	-	数字基带参数寄存器 (一般使用默认值)
	INVERTER	39	1	R/W	进入 RX_block 前是否取反 RX 通路数据: 1: 取反 0: 保持不变
	DAC_MODE	38	0	R/W	dac_out[5: 0]是否需要取反输出, dac_out[5: 0] 为 DAC 数据输入端: 1: dac_out[5: 0]<= [0: 5] 0: dac_out[5: 0]<= [5: 0]
	DAC_BASAL	37:32	011100	R/W	预发送阶段的 DAC 数据输入的初始值
	CE_JUST_TIME	31:30	01	R/W	主状态机从 STANDBY 进入 TX_SET 的等待时间, 时间长度计算:

					CE_JUST_TIME $\times 4$ ，单位 us，范围 0~12us，默认 4us。
	LDO_WAIT_TIME	29:27	100	R/W	LDO 稳定时间，时间长度计算： LDO_WAIT_TIME $\times 8$ ，单位 us，范围 0~56us，默认 32us。
	TRX_TIME	26:23	0000	R/W	锁相环开环/PA 使能（以后开者为准）到开始发射数据的时间间隔，时间长度计算： TRX_TIME $\times 8$ ，单位为 us，范围 0~120us，默认 0us。
	EX_PA_TIME	22:17	000111	R/W	发射锁相环使能到 PA 使能的时间间隔，时间长度计算： EX_PA_TIME $\times 16$ ，单位为 us，范围 0~1008us，默认 112us。
	TX_SETUP_TIME	16:11	010100	R/W	发射锁相环使能到锁相环开环的时间间隔，时间长度计算： TX_SETUP_TIME $\times 16$ ，单位为 us，范围 0~1008us，默认 320us。
	RX_SETUP_TIME	10:6	10100	R/W	RX 射频通路锁相环稳定时间，时间长度计算： RX_SETUP_TIME $\times 16$ ，单位为 us，范围 0~496us，默认 320us
	RX_ACK_TIME	5:0	001010	R/W	PTX 转为接收模式后等待 ACK 的最长时间，超出该时间则认为本次传输失败。 2Mbps 模式下的时间长度计算： RX_ACK_TIME $\times 16$ ，单位为 us 1Mbps 模式下的时间长度计算： RX_ACK_TIME $\times 32$ ，单位为 us 250kbps 模式下的时间长度计算： RX_ACK_TIME $\times 128$ ，单位为 us

## 9.2.2 PAGE1

表 9-3 PAGE1

地址 (hex)	寄存器	位	默认值	读写	说明
00	P1_REG_00	47:0	0x00000000 0000	-	-
	WL_ADDR	47:0	0x00000000 0000	R/W	BLE 模式白名单地址设置，该地址实际为 payload 当中的一段数据，用于 RX 过滤功能。推荐 WL_MATCH_MODE 设为 1，使用 payload 第 7 个字节作为过滤字节，或者将 WL_MATCH_MODE 设为 2，使用 payload 的第 6、7 字节作为过滤字节
01	P1_REG_01	7:0	0x00	-	-



	保留	7:4	0000	R/W	-
	FIR_CUT_MODE	3	0	R/W	解调器内部 fir_filter 模式选择: 0: 297L 模式 1: 新增滤波器溢出保护模式
	WL_MATCH_MODE	2:0	000	R/W	白名单过滤模式选择: 000: 不过滤, 全部上报 001: 只需匹配上 WL_ADDR[47: 40] 即上报, 对应 AdvD 的第 7 字节 010: 只需匹配上 WL_ADDR[47: 32] 即上报, 对应 AdvD 的第 6、7 字节 011: 未定义 100: 未定义 101: 未定义 110: 未定义 111: 同 000, 不过滤全部上报
02	P1_REG_02	31:0	0x8E89BED 6	-	-
	ACCESS_ADDRESS	31:0	0x8E89BED 6	R/W	BLE 模式 Access Address 设置: 广告包: 始终为 0x8e89bed6 数据包: 每个链路层连接都不同
03	P1_REG_03	15:0	0x0000	-	-
	DEV_COM_POS	15:0	0x0000	R/W	整体定向频偏调节, 向上调值, 步进值为: 2M 模式: 步进值约 4KHz; 1M 模式: 步进值约 514Hz;
04	P1_REG_04	15:0	0x0000	-	-
	DEV_COM_NEG	15:0	0x0000	R/W	整体定向频偏调节, 向下调值, 步进值为: 2M 模式: 步进值约 4KHz; 1M 模式: 步进值约 514Hz;
05	P1_REG_05	7:0	0x35	-	RX Path
	保留	7	0	-	-
	OTA_VSEL<2:0>	6:4	011	R/W	混频器 OTA DC 工作点控制: 1.044~1.376
	MIX_ISEL<1:0>	3:2	01	R/W	混频器基准电流控制
	MIX_RSEL<1:0>	1:0	01	R/W	混频器输出 DC 工作点控制

注 1: PAN1026 芯片上电复位后的所有寄存器（包括读/写在内）的初始值如表格中所述。

当访问多字节寄存器/地址/数据时, 读/写顺序为低字节在前高字节在后。单个字节内部高 bit 在前, 低 bit 在后。

## 10 应用参考图

### 10.1 SOP8 应用参考图

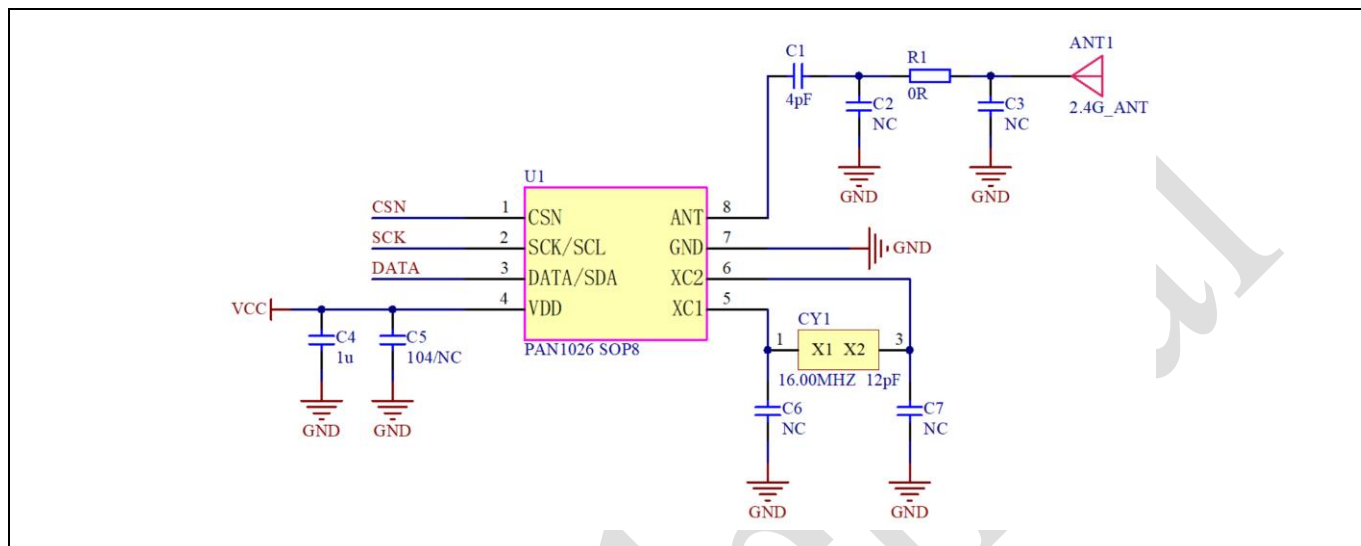


图 10-1 SOP8 应用参考图

### 10.2 QFN16 应用参考图

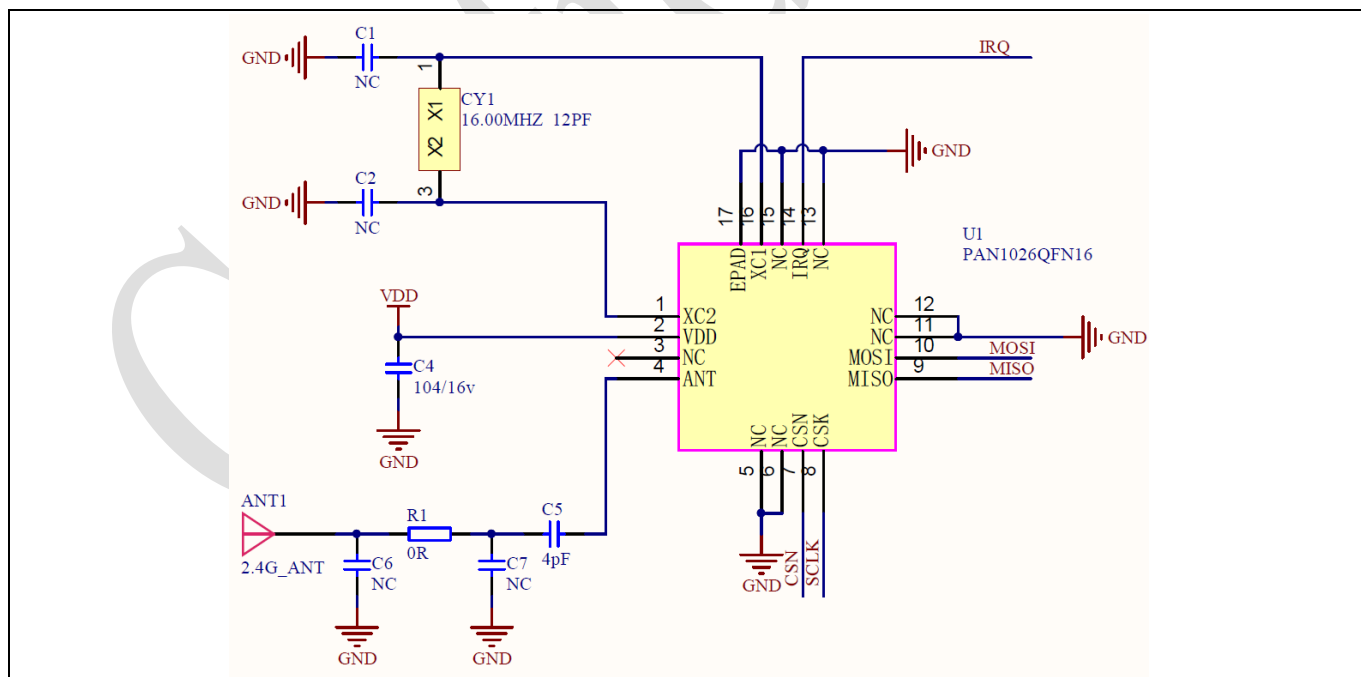


图 10-2 QFN16 应用参考图

注意：由于晶体的负载电容内缩到芯片内部，芯片内部晶体电路的电容无法适配所有晶体，晶体选型时需要严格按照《PAN1026 硬件设计参考》来执行。

## 11 封装尺寸

### 11.1 SOP8 封装尺寸

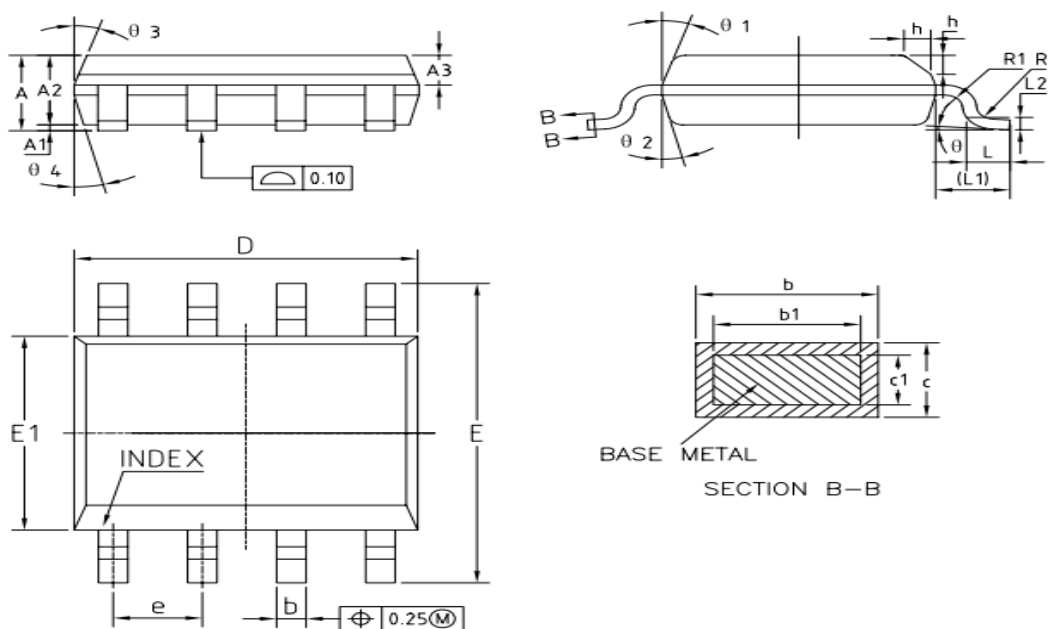


图 11-1 SOP8 封装图

表 11-1 SOP8 封装尺寸

符号	最小	正常	最大
A	1.35	1.55	1.75
A1	0.10	0.15	0.25
A2	1.25	1.40	1.65
A3	0.50	0.60	0.70
b	0.38	-	0.51
b1	0.37	0.42	0.47
c	0.17	-	0.25
c1	0.17	0.20	0.23
D	4.80	4.90	5.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.45	0.60	0.80
L1	1.04REF		
L2	0.25BSC		
R	0.07	-	-
R1	0.07	-	-

h	0.30	0.40	0.50
Ø	0°	-	8°
Ø1	15°	17°	19°
Ø2	11°	13°	15°
Ø3	15°	17°	19°
Ø4	11°	13°	15°

Confidential

## 11.2 QFN16 封装尺寸

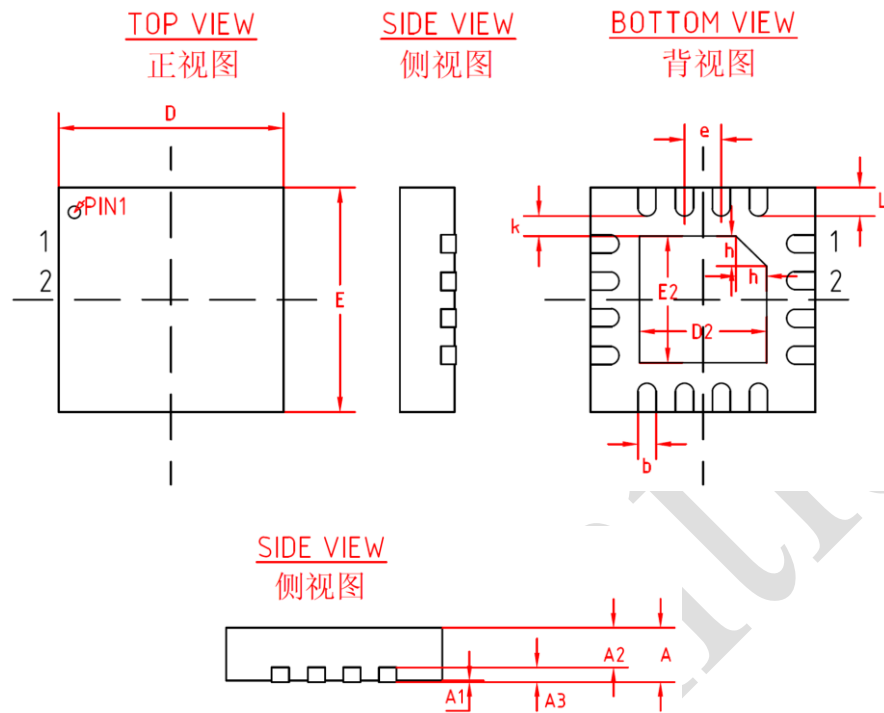


图 11-2 QFN16 封装图

表 11-2 QFN16 封装尺寸

符号	最小	正常	最大
A	0.70	0.75	0.80
A1	0	0.02	0.05
A2	-	0.55	-
A3	0.203REF		
b	0.18	0.24	0.30
D	3BSC		
E	3BSC		
e	0.50BSC		
D2	1.6	1.7	1.8
E2	1.6	1.7	1.8
K	0.20BCS		
L	0.30	0.40	0.50
h	0.35	0.40	0.45

## 12 注意事项

- (1) 该产品属 CMOS 器件，在储存、运输、使用过程中要注意防静电。
- (2) 器件使用时接地要良好。
- (3) 回流焊温度不能超过 260℃。

无铅回流焊工艺曲线如下图：

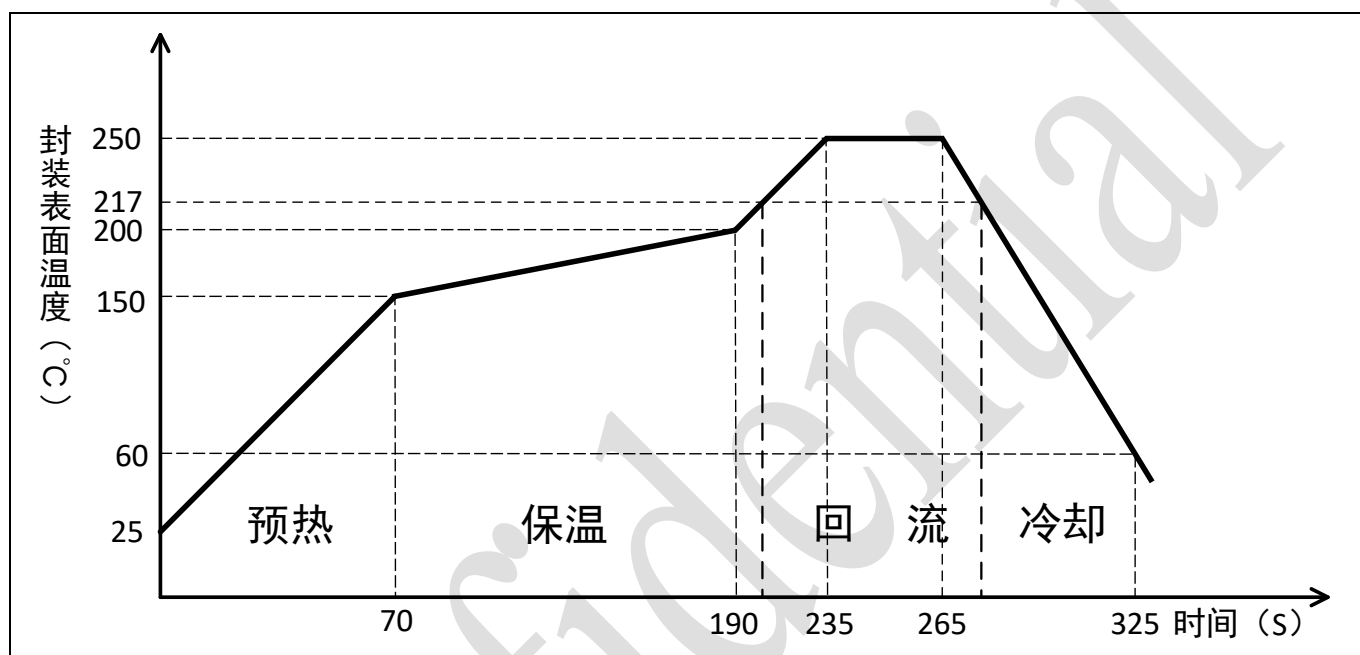


图 12-1 回流焊工艺曲线图

## 13 储存条件

- (1) 产品在密封包装中储存：温度小于 30°C 且湿度小于 90%时，可达 12 个月。
- (2) 包装袋被打开后，元器件将被回流焊制程或其他的高温制程所采用时必须符合：
  - 1) 在 72 小时内且工厂环境为小于 30°C≤60%RH 完成；
  - 2) 保存在 10%RH 环境下；
  - 3) 使用前进行 125°C，24H 烘烤去除内部水汽。
- (3) MSL（包装湿度敏感性）：3 级（根据 IPC/JEDEC J-STD-020 确定）