



Panchip Microelectronics Co., Ltd.

APPLICATION NOTES

PAN2025 硬件设计

用户指南

当前版本: 1.0

发布日期: 2020.11

上海磐启微电子有限公司

地址: 上海张江高科技园区盛夏路 666 号 D 栋 3 楼

联系电话: 021-50802371

网址: <http://www.panchip.com>

文档说明

由于版本升级或存在其他原因，本文档内容会不定期进行更新。除非另有约定，本文档内容仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标

磐启是磐启微电子公司的商标。本文档中提及的其他名称是其各自所有者的商标/注册商标。

免责声明

本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，磐启微电子公司对本文档内容不做任何明示或暗示的声明或保证。

概述

本文档主要介绍 PAN2025B/PAN2025D 芯片方案的硬件原理图设计、PCB 设计、安规建议等。本文档提供 PAN2025B/PAN2025D 芯片的硬件设计方法。

产品版本

PAN2025B, PAN2025D

读者对象

本文档主要适用于以下工程师：

1. 技术支持工程师
2. 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新说明。最新版本的文档包含以前所有文档版本的更新内容

版本	修订时间	描述
1.0	2020.11.22	初始版本创建

目 录

1	原理图参考设计	3
1.1	QFN32 参考原理图	3
1.2	QFN40 参考原理图	4
1.3	最小系统外部电路要求	4
1.3.1	晶振电路	4
1.3.2	复位电路	5
1.4	下载接口	5
1.5	电源设计建议	5
1.5.1	CORE 电源设计	5
1.5.2	电源复位	6
1.6	外围接口设计建议	6
1.6.1	ADC	6
1.6.2	PWM	8
1.6.3	UART	8
1.6.4	IIC	8
1.6.5	SPI	8
1.6.6	GPIO	8
1.6.7	未使用管脚处理	8
1.6.8	天线摆放	8
1.6.9	安规注意事项	8
2	PCB 参考设计	10
2.1	最小系统 PCB 设计建议	10
2.1.1	QFN32 PCB 参考图	10
2.1.2	QFN40 PCB 参考图	11
2.1.3	板层设计	12
2.1.4	射频线原则	13
2.1.5	PCB Layout 阻抗参数	13
2.1.6	时钟	15
2.1.7	CORE 电源	15
2.1.8	芯片封装	16
3	整机 ESD 设计建议	18
3.1	背景	18
3.2	整机 ESD 设计建议	18

1 原理图参考设计

1.1 QFN32 参考原理图

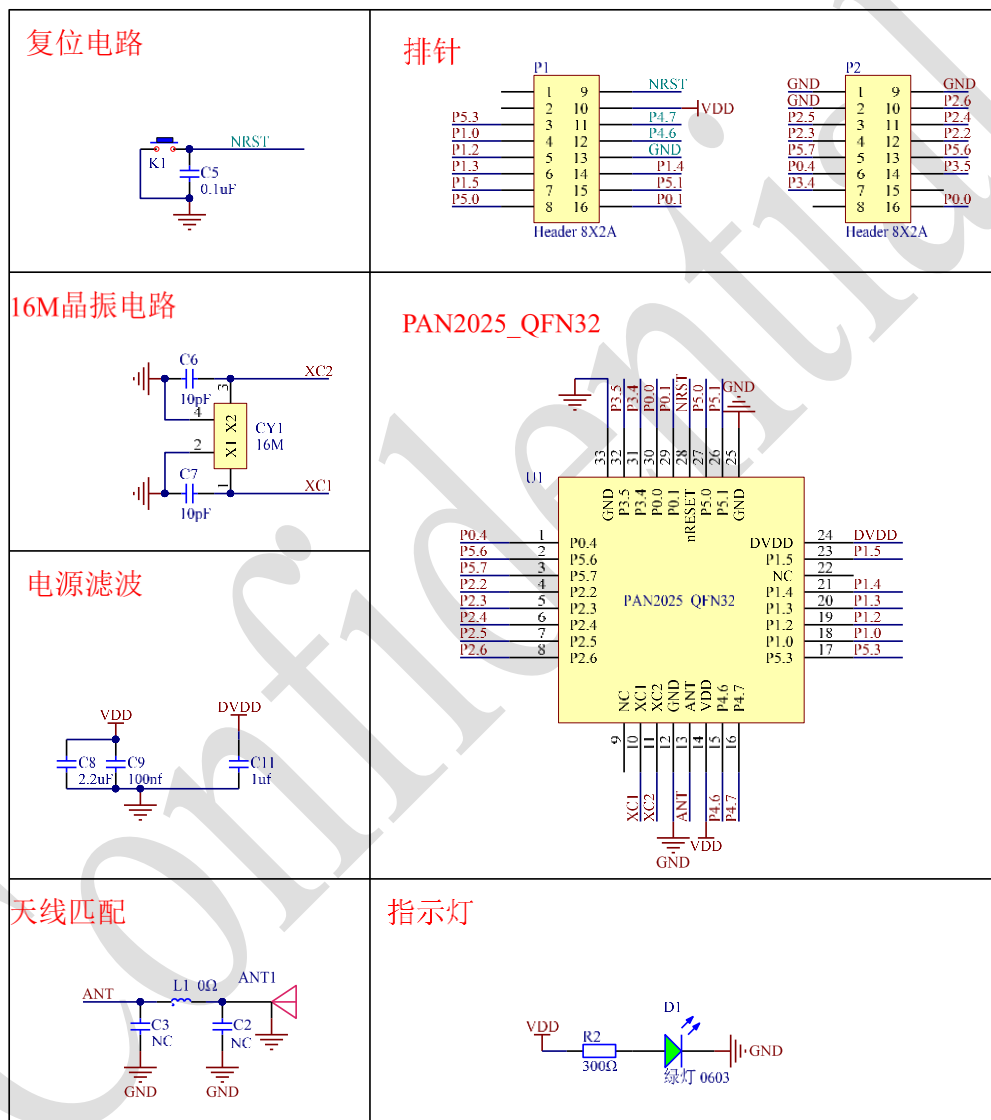


图 1-1 QFN32 原理图

1.2 QFN40 参考原理图

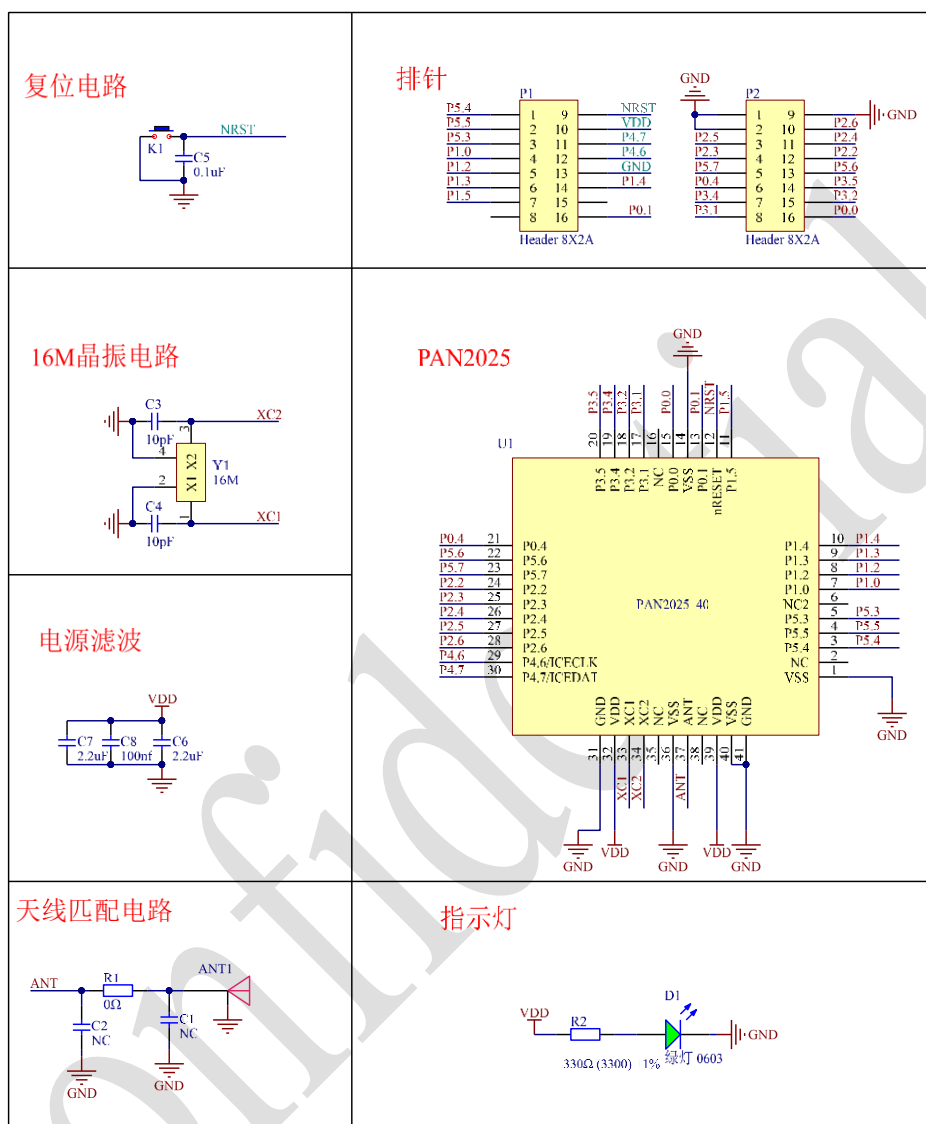


图 1-2 QFN40 原理图

1.3 最小系统外部电路要求

1.3.1 晶振电路

对于外部晶体的推荐参数如下：

- 1) 晶体频率 16MHz；
- 2) ESR 小于等于 60ohm；

- 3) 晶体负载电容小于等于 20pF;
- 4) 晶体频率精度高于±20ppm; (250Kbps 速率选择±10ppm)

表 1-1 晶振选项推荐

晶振封装形式	晶振负载电容/pF	焊接电容值/pF
3225	9	10
	12	12
	20	30
圆柱	9	10
	12	12
	20	30
49S	9	10
	12	15
	20	30

表 1-1 焊接电容选取值: $C = \frac{C6 * C7}{C6 + C7} + C_{\text{电路寄生}}$ (正常选取值 $C6 = C7$)。从测试数据看, 寄生大概在 5pF 左右。

晶振 ESR 要求: 选型时, 需要满足 $SF = 1 + 1000/ESR > 3$ 。

1.3.2 复位电路

为了防止大纹波干扰, 推荐复位脚接 100nf 滤波电容。芯片内部自带 40K 上拉电阻。100nf 电容和 40K Ω 上拉电阻组成 RC 充电电路, 保证电源稳定后再释放复位。

1.4 下载接口

1. 使用 PANLINK SWD 模式下载时需要预留 4 线: GND、VDD、P47、P46。
2. 使用 PANLINK UART 模式下载时需要预留 5 线: GND、VDD、NRST、P47、P46。
3. 使用 JILINK 下载时需要预留 4 线: GND、VDD、P47、P46。

1.5 电源设计建议

1.5.1 CORE 电源设计

电源设计的完整性影响模块性能, 好的电源设计更容易发挥无线模块的性能。芯片峰值电流最大为 120mA, 电压范围 2.3-3.3V, 纹波小于±100mV, 频率小于 1Mhz。为电源设计需要留有裕量。一般来说, 在条件允许的情况下, 输出电流能力需要大于峰值电流的 2 倍。如果电流裕量有限, 至少也需要 1.5 倍峰值电流以上。在 3.3V 供电系统中, 过大的纹波可能通过导线或者地平面积耦合到系统容易受到干扰的线路上, 例如天线、馈线、时钟线等敏感信号线上, 容易引起模块

的射频性能变差，所以我们推荐使用 LDO 作为无线模块的供电电源。客户使用 LDO 时，需要注意电源的散热以及输出电流。

1.5.2 电源复位

芯片 VDD 供电不能停留在 2V 以下，否则恢复供电到 3V 芯片仍无法工作。

1. 避免上电台阶

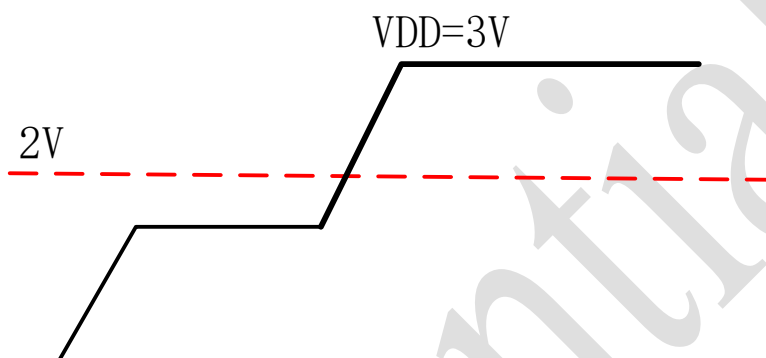


图 1-3 阶梯上电时序

如图 1-3，阶梯上电（中途有短暂停留在 2V 以下）到 3V 会导致芯片无法正常工作。因此电源从低电平上升到高电平有时间要求。建议电源从 0 上升到 3V 时间最多为 100us。如果想延长 VDD 上电时间，可以在 NREST 脚接电容，利用 RC 充电延长 NREST 脚复位时间，使芯片供电到达 3V 后再释放 NREST 复位。

2. 避免掉电不彻底

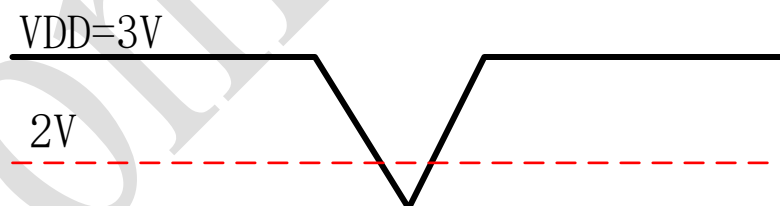


图 1-4 掉电时序

避免 VDD 电源出现较大电压波动，当 VDD 电压下降到 2V 后再恢复到 3V 会导致芯片复位异常，无法工作。

1.6 外围接口设计建议

1.6.1 ADC

PAN2025 支持 1 路模拟信号输入，进行 AD 转换。ADC 的分辨率为 12bit，这个管脚可以复

用为 GPIO 功能。

1. ADC 测试范围:

表 1-2 ADC 输入范围

芯片版本	ADC 输入电压范围
PAN2025B	0~2V or 0~VDD
PAN2025D	0~2V or 0~ (VDD - 0.7)

2. ADC 采样电路:

在使用 ADC 接口测量电池电量时需要注意，不要直接将 ADC 接口连接到电池上，否则当电源 IO_VDD 断电时，电池会通过 D1 放电到 IO_VDD，如图 1-5，会降低电池工作时间。使用 ADC 接口检测电池的方案推荐采样 1-6 电路结构图。R1, R2 取值推荐 $1M\Omega$ ，采样频率为 5khz。

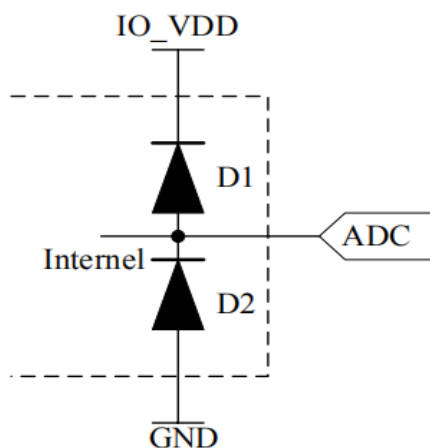


图 1-5 芯片 ADC 接口内置 ESD 保护电路示意图

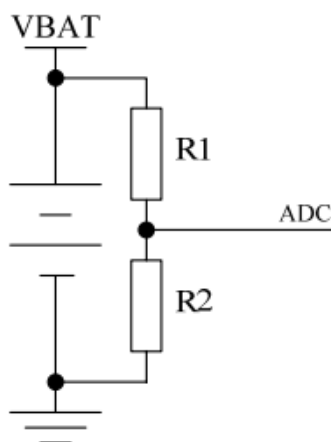


图 1-6 使用 ADC 接口检测电池的电路

1.6.2 PWM

QFN32/QFN40 支持 8 个 PWM 接口。所有 PWM 接口不使用时均可复用为 GPIO 使用。

1.6.3 UART

QFN32/QFN40 支持 3 组 UART 信号。

1.6.4 IIC

QFN32/QFN40 支持 1 组 IIC 信号,需要外加上拉 4.7K 电阻,速度最高可达 3.2Mhz。

1.6.5 SPI

QFN32/QFN40 支持 1 组 4 线 SPI, 速度最高可达 24Mhz。

1.6.6 GPIO

GPIO 作为输入时原则上禁止外部输入电压高于 VDD,否则影响芯片性能。

1.6.7 未使用管脚处理

建议悬空。

1.6.8 天线摆放

天线不能与地线铺铜靠很近,至少 3cm。天线部分对应的底层 PCB 严禁铺地。天线与参考地线铺铜间距要大于 1mm。天线周边最好不要有金属结构或元器件、走线,保证在 PCB 上间隔至少 3cm 范围内不摆放较大的带金属元器件。

1.6.9 安规注意事项

安规推荐匹配结构由 3 个器件构成,结构如下图所示,实际的值跟 PCB 有关,需要微调。

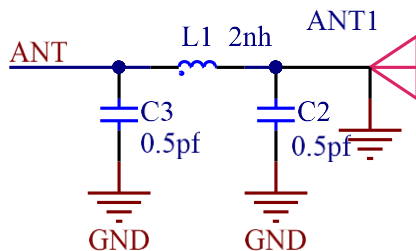


图 1-7 RF 安规匹配

1. L1、C2、C3 要根据实际效果来进行微调。
2. 电容推荐用 Murata 0402。

天线匹配推荐：

低功率挡位（4dbm）不加匹配可以过 R&TTE 认证，参考第一组值。发射大功率（10dbm）下需要过认证，匹配参数参考第二和第三组值。以下值仅供参考，根据做板子不同，需要微调电容电感值才可达到 50 欧姆阻抗。

表 1-3 天线安规推荐

分组	C3	L1	C2
1	NC	0R	NC
2	0.5pF	2nH	NC
3	0.5pF	2nH	0.5pF

2 PCB参考设计

2.1 最小系统 PCB 设计建议

2.1.1 QFN32 PCB 参考图

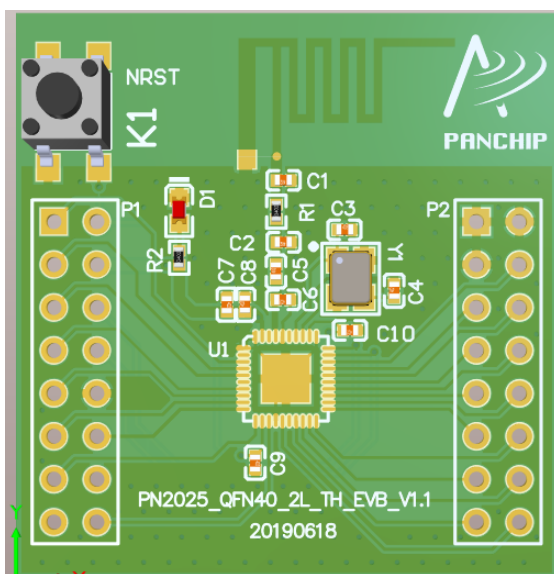


图 2-1 QFN32 双面板 3D

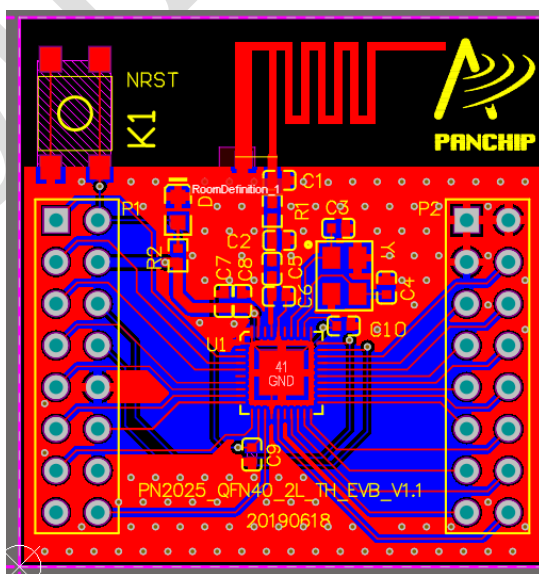


图 2-2 QFN32 双面板顶层

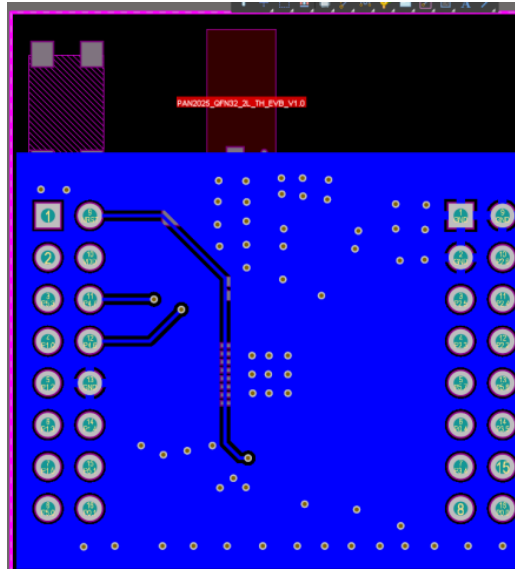


图 2-3 QFN32 双面板底层

2.1.2 QFN40 PCB 参考图

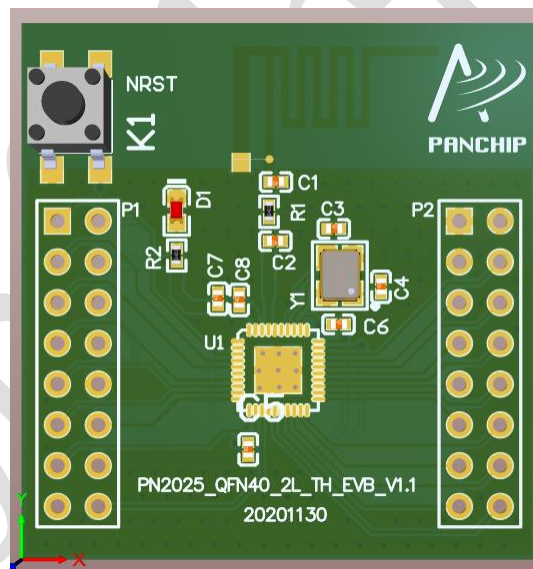


图 2-4 QFN40 双面 3D

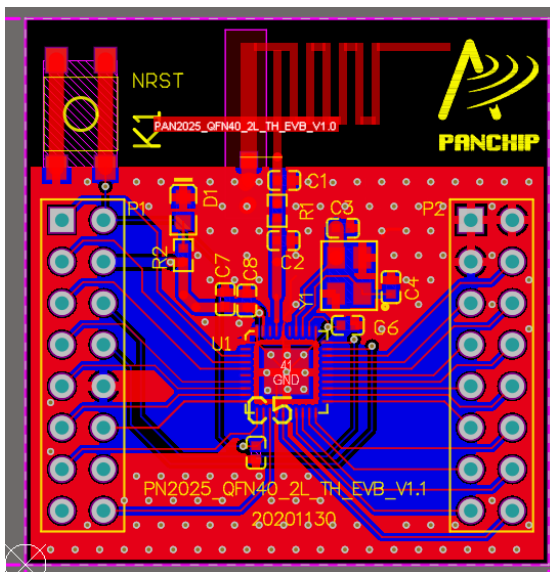


图 2-5 QFN40 双面板顶层

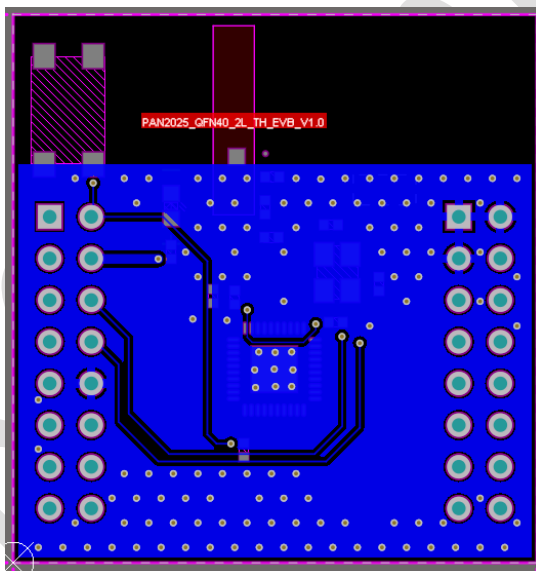


图 2-6 QFN40 双面板底层

2.1.3 板层设计

本文主要对双面板且单面贴设计，双面 FR4 板材结构，叠层如下图所示。

			厚度 (mil)	单端阻抗 50omh
TOP 层		外层 (完成铜厚 1OZ)	1.4	线宽 25mil
		CORE	61	
BOT 层		外层 (完成铜厚 1OZ)	1.4	

图 2-7 板厚推荐

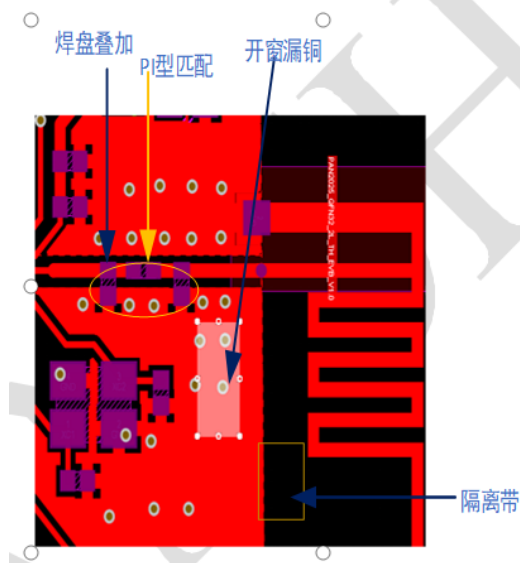


图 2-8 天线走线

2.1.4 射频线原则

射频匹配部分电感电容（0402 封装）要严格按照原理图推荐值来设计，由于布局差异可微调电感的值。射频匹配元器件 layout 原则：

- （1） 为了防止射频前端能量损耗，从管脚 ANT 到天线的走线小于 2mm，并且按照 50 欧姆阻抗走线，射频匹配部分走线周边的铺地要连贯牢固（多打过孔），可以使得发射能量较多地从天线端出去。
- （2） 为了保证阻抗的连续性，射频匹配部分对应的背面参考地要避免放置元器件和走线，需要完整的地平面。天线的 PI 型匹配电路要走顺，并联元件焊盘和走线重合为好。
- （3） 覆地建议用实心铜。
- （4） ANT Pin 和 Pi 匹配之间串联的 0R 电阻旁可以露一块 GND 属性铜皮方便调试天线。
- （5） RF 参考地和 EPAD 需要良好连接。
- （6） 禁止射频线打过孔换层。

2.1.5 PCB Layout 阻抗参数

由于电路存在高频信号，芯片在制板过程中需要考虑 PCB 加工工厂的阻抗控制参数，参考设计选用以下制板工艺，高频电路获得较好的性能。用户可根据自身设计需求与 PCB 加工工厂

确认相关制板工艺，已使芯片获得最佳射频性能。

RF 电路板上的射频信号线一般采用共面微带线。RF 信号线的特征阻抗受 PCB 板材的介电常数、信号线的线宽、板厚、铜厚等因素影响。这里给出的参数，是按照射频微带线结构，用 SI9000 仿真的结果。射频共面微带线的仿真结构如图 2-8 所示，W 为射频微带线的线宽，D 为接地细铜和走线间距，H1 为 PCB 的基板厚度，T1 为铜箔厚度。从结构图可知，射频共面微带线，其实就是“包地”的射频信号线，如果射频信号线没有“包地”，则要求增加线宽才能满足阻抗为 50 欧姆的要求。另外，不同的板厚也会影响射频微带线的线宽。下面给出不同板厚仿真值以供参考。

假设 FR4 的介电常数为理想值 4.3，绿油介电常数为 4.2，这些参数对仿真结果影响较大，具体参数请与 PCB 厂家确认后自行仿真，如果需要更加准确的结果，则需要 PCB 厂家进行阻抗控制。

◆ 若 RF 微带线采用 20mil 线宽:

板厚为 1.0mm 时，接地铺铜与走线间距为 5.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 5.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5mil

◆ 若 RF 微带线采用 25 mil 线宽:

板厚为 1.0mm 时，接地铺铜与走线间距为 6.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 6mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5.7mil

◆ 若 RF 微带线采用 30mil 线宽:

板厚为 1.0mm 时，接地铺铜与走线间距为 7.6mil

板厚为 1.2mm 时，接地铺铜与走线间距为 7.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 6.6mil

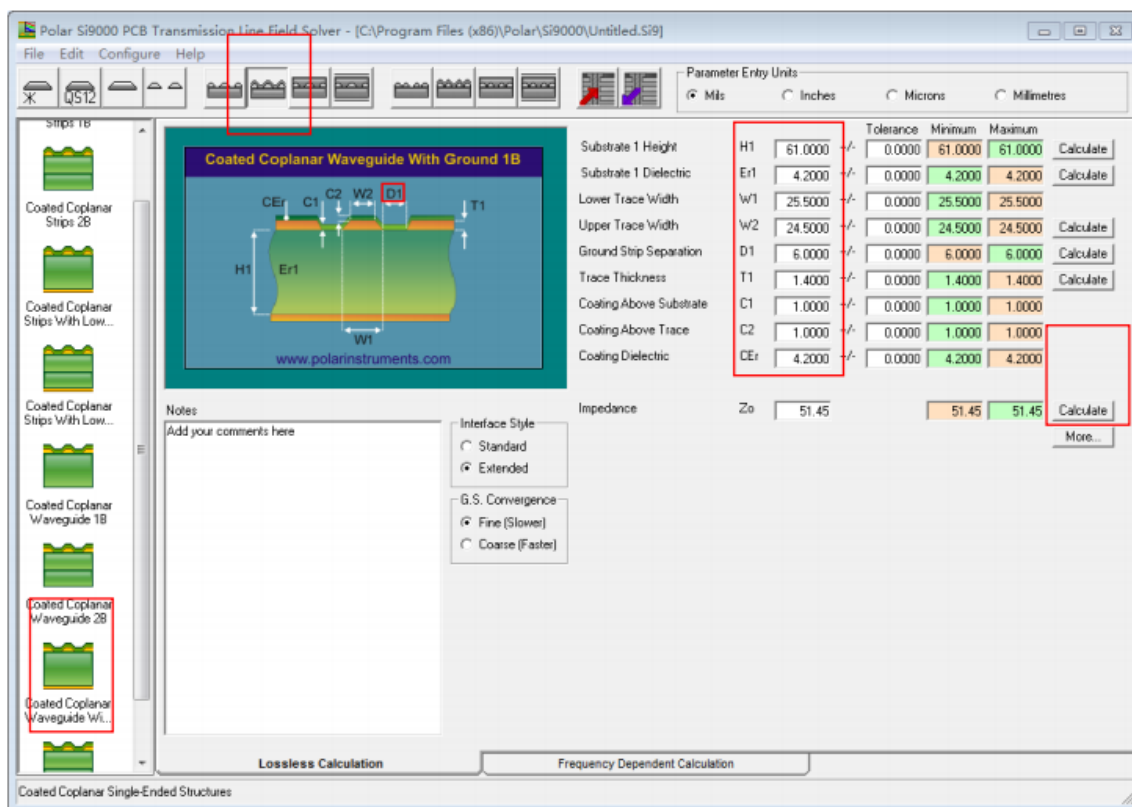


图 2-9 两层板（1.6mm）走线特性阻抗计算图

2.1.6 时钟

- 为保证晶振起振，16MHz 的晶振至芯片相关管脚的走线不宜超过 5mm；
- 晶振焊盘需要保证外径与内径差值有 0.2mm 以上；
- 为防止晶振信号干扰到射频信号，印制板上在晶振焊盘和走线的两边需要做包地处理；
- 为避免天线的高输出功率信号干扰到晶振信号，印制板上的天线部分与晶振焊盘走线部分之间要用 0.5mm 以上地线作为间隔带，同时晶振的外壳需要离天线 3mm 以上

2.1.7 CORE 电源

电源线承受 120mA 瞬态电流。在靠近芯片电源管脚放置去耦电容，其中小容量电容靠近芯片以便滤除高频噪声。

如果有条件的话，建议地线采用放射状的连接方式，即 RF 芯片与其它芯片或器件分开来，采用单点接地，并且从总参考地线单独引地线，防止受到干扰。另外，覆地的地线也建议与噪声较少的地线或者总参考地线连接，这样可以有效地减少整个印制板的工作噪声。

滤波电容类型和数量

Core 电源的滤波电容类型、数量和布局建议参考 EVB 板。电容材质推荐 X7R 材质，具体参考 PAN20205 原理图，如下：

走线方式和滤波电容的布局：**VDD 电源通道必须满足至少 240mA 过电流能力。**

Core 电源设计规则如下：

Core 电源使用平面供电，每个 100nF 滤波电容需靠近电源管脚放置，减少寄生电感。

图 2-9 是 PAN2025 QFN32 对应的 Core 电源管脚，其去耦电容布局需要特别注意以下几点：

Pin14 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。

Pin24 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。

Core 电源管脚图如下

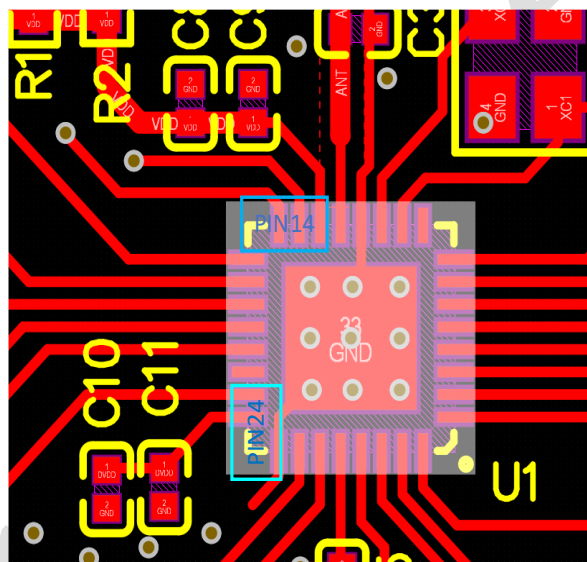


图 2-10 QFN32 CORE 电源管脚电容摆放

2.1.8 芯片封装

芯片下面的 PCB 板的 bottom 层尽量不要有走线和元器件，特别是靠近射频匹配电路的部分，完整的地平面能保证良好的射频性能。 PAN2025 推荐 PCB 封装如下图：

- 中间需要开窗处理。
- 均匀的 GND 过孔以便 E-PAD 充分连接 GND, 并改善散热效果。

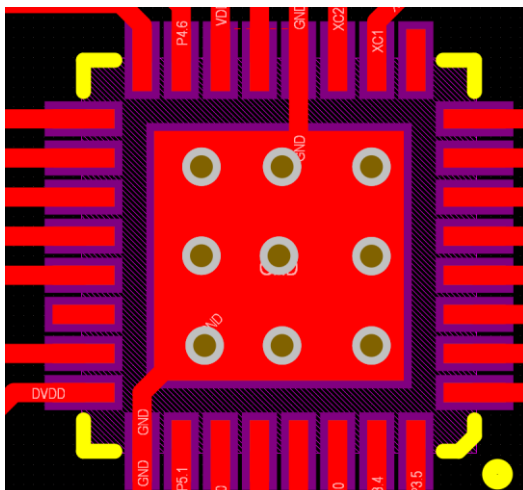


图 2-11 芯片 EPAD 过孔

3 整机 ESD 设计建议

3.1 背景

由于芯片性能提高，时钟频率越来越高，整机对外界干扰更敏感，客户在整机设计时，需要非常重视整机的 ESD 设计。

芯片本身的 ESD 测试是按照 JEDEC 标准，符合行业标准。客户需要根据自己企业的 ESD 测试标准，对单板硬件设计和整机设计做评估。本文针对整机 ESD 设计风险，提供一些设计建议和风险规避措施。

PAN2025 静电水平如下：

- ESD HBM Pass $\pm 5KV$;
- ESD CDM Pass $\pm 2KV$;
- ESD HBM Pass $\pm 300V$;

3.2 整机 ESD 设计建议

- 关于系统 16MHz 时钟设计，要求客户选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗干扰能力。其他的走线尽量远离晶振区域，不要在晶振底下有走线通过。
- 建议 PCB 器件布局设计时，小系统部分电路布局尽可能远离金属接口部分，可以改善整机 ESD 指标。
- 单板对外的接插件，需要增加 ESD 保护器件，加强接口的抗干扰能力。整机设计为浮地设备时，单板严禁采用分割地设计。
- 单板统一的只有一个 DGND，不能分割保护地。
- 单板定位孔采用金属化过孔，并与单板 DGND 连接，确保单板地通过螺丝孔与金属外壳充分连接。
- 建议客户整机设计中采用全金属化外壳。金属底壳，塑料上盖的设计，整机 ESD 风险更高，因为空间辐射影响更强，需要增加金属屏蔽罩设计。
- 不推荐采用全塑料壳设计。当选用全塑料壳设计时，有可能需要降低整机 ESD 测试标准或采取更多措施屏蔽空间辐射，比如通过金属罩屏蔽小系统背面。

以上措施请根据自身企业标准和工程经验综合评估。